



杭州领芯微电子有限公司

LCM08F003G 系列用户手册

文档版本：3.2.3

发布日期：2022.08.04

适用产品：LCM08F003GT20

LCM08F003GS20

LCM08F003GQ20





内置高精度振荡、12 位 ADC、4 个定时器、2 路 UART、1 路 I2C、1 路 SPI、16KB FLASH 存储器、低失调 OPA 和 256B 可编程 E2PROM 的 LCM08F003G 系列 8 位 MCU

主要特点

● 8 位单周期 8051 内核 CPU

- 兼容 MCS51 指令集
- 双 DPTR，增加软件陷阱指令

● 片上存储器

- 16K+64 字节 FLASH，数据保持时间大于 10 年，写周期>1000 次
- 256 字节 EEPROM，数据保持时间大于 10 年，写周期>10000 次
- 1024 字节 SRAM：256 字节 SRAM，768 字节 XRAM
- 支持在系统编程（ISP），仅需 4 个管脚（包括 VDD 和 VSS 在内）
- 支持 FLASH/EEPROM 的单字节写操作
- 支持 FLASH 分页加密，每 512 字节单独读写可控

● 电源和复位

- 工作电压 1.8V~5.5V
- 内置上电复位电路（POR）
- 内置低压复位电路（LVR），8 个复位点可选：1.8V、2.0V、2.5V、2.6V、2.8V、3.0V、3.5V 和 4.0V
- 内置低压检测电路（LVD），8 个检测点可选：2.2V、2.4V、2.5V、2.7V、2.9V、3.1V、3.65V 和 4.5V
- 内置低功耗低压复位/检测电路（LPLVD），8 个检测点可选：2V、2.2V、2.5V、2.8V、3V、3.5V、4V 和 4.5V；停机模式（STOP）下可用

● 时钟系统

- 内置 32 kHz 低频 RCL
- 内置 16 MHz 高精度 RCH，精度±1.5%， $T_A = -40^{\circ}\text{C} \sim +105^{\circ}\text{C}$
- 支持外部输入外部高频振荡 4~16 MHz，或者外部低频振荡 32.768 kHz，两者复用同一组管脚，由信息区配置，默认为 32.768 kHz 振荡
- 系统时钟分频：16/8/4/2/1/0.5/0.25 MHz
- CPU 最高主频为 16 MHz，16MHz@4.0~5.5V，8MHz@2.8~5.0V，4MHz@2.0~5.0V；Flash 访问时钟周期数根据时钟频率和电压配置

● I/O 引脚

- 最大支持 22 个 I/O 引脚
- 每个 I/O 都可设置成 4 种模式：悬空输入/上拉输入/推挽输出/开漏输出
- I/O 驱动能力和斜率可调节
- P0/P1/P2 均具有键盘中断唤醒功能，中断极性可设
- 4 路外部中断输入，覆盖所有引脚，中断极性可设

● 串行通信口

- 2 路 UART，可配置高精度波特率及同步工作模式
- 1 路 I2C，支持 100Kbps 和 400Kbps 传输速率；支持 STOP 模式下的地址匹配和系统唤醒
- 1 路 SPI，最高支持 8M 数据传输速率 @MCLK=16MHz



- **定时器**

- 2 个 16 位定时器 (T0、T1)，兼容传统 MCS51 功能；T0 支持方波输出，T1 支持 PWM 输出
- 1 个带捕获功能的 16 位定时器 T2，支持 4 路捕获通道，支持 1 对互补 PWM 输出，占空比可以任意配置，支持死区控制
- 1 个高级控制定时器 (T3)：16 位精度，支持 4 路捕获/比较通道，4 对互补 PWM 输出，支持死区控制和刹车输入
- 1 个 8 位 WT 定时器，可产生四种频率蜂鸣信号：8K/4K/2K/1KHz，支持定时自动唤醒系统
- 内置独立看门狗(WDT)和窗口看门狗(WWDT)

- **模拟模块**

- 2 路轨到轨的模拟比较器 (ACMP)，内置 16 级电阻分压参考电平，内置基准电压可被选为电阻分压源
- 内置 16 通道的 12 位精度 ADC，支持内部 OPA 输出，VBG 电压和 VTS 采样，支持外部 13 路外部信号采样。最高采样频率 1Mbps@4.5V，支持外部引脚触、定时器触发等多种工作模式
- 内置 10 位精度 DAC
- 内置 2 个轨到轨的运算放大器 OPA，内置调零功能，支持多种工作模式：固定放大模式 (25/50 倍)，自定义放大模式
- 内置温度传感器 (VTS)，精度 4mV/°C

- **工作模式**

- 正常工作 (RUN) 模式
- 休眠 (SLEEP) 模式
- 停机 (STOP) 模式

- **工作温度**

- 环境温度：-40°C~+105°C

注：LCM08F003G 最大支持 18 个 I/O 引脚，只支持 1 个 OPA (OPA0) 的功能，具体规格请参考 LCM08F003G 说明书。

目录

目录.....	4
图片目录.....	12
表格目录.....	15
1. 介绍.....	17
2. LC51 CPU 核.....	19
2.1 地址空间.....	19
2.1.1 数据存储器地址空间.....	19
2.1.2 程序存储器地址空间.....	20
2.2 工作寄存器.....	21
2.3 MCU 内核寄存器.....	22
2.5 指令集.....	24
2.5.1 符号说明.....	24
2.5.2 指令列表.....	25
3. 特殊功能寄存器（SFR）总表.....	30
4. 通用输入/输出端口（GPIO）.....	36
4.1 基本特征.....	36
4.2 复位配置.....	36
4.3 引脚复用.....	36
4.4 引脚功能.....	39
4.5 管脚结构.....	42
4.5.1 T0：与 RST 复用的 GPIO.....	42
4.5.2 T4：与晶振/AD 复用的 GPIO.....	43
4.6 功能描述.....	44
4.6.1 模式设置.....	44
4.6.2 功能复用.....	46
4.7 使用提示.....	46
4.8 寄存器说明.....	46
5. 时钟系统.....	55

5.1 基本特征	55
5.2 功能框图	55
5.3 工作模式	56
5.4 管脚配置	56
5.5 功能描述	56
5.5.1 时钟源	56
5.6.2 系统时钟配置	57
5.6 使用提示	59
5.7 寄存器说明	60
6. 复位系统	66
6.1 基本特征	66
6.2 工作模式	66
6.3 功能框图	67
6.4 功能说明	67
6.4.1 POR 复位时序	68
6.4.2 外部复位时序	68
6.4.3 LVR 复位时序	69
6.4.4 WDT 复位和软件复位	69
6.4.5 WWDT 复位	69
6.4.6 Boot 模式切换复位 BRST	70
6.5 寄存器说明	70
7. 电源管理	72
7.1 基本特征	72
7.2 功能框图	72
7.3 PMU 功能描述	73
7.3.1 带隙基准 BGR	73
7.3.2 低压检测 LVD	73
7.3.3 低压复位 LVR	73
7.3.4 低功耗低压检测 LPLVD	73
7.3.5 温度传感器输出 VTS	73

7.4 低功耗模式.....	74
7.4.1 SLEEP 模式.....	74
7.4.2 STOP 模式.....	75
7.4.3 模式转换.....	75
7.5 使用提示.....	76
7.5.1 时钟.....	76
7.5.2 LVR 模块.....	76
7.5.3 I/O 端口.....	77
7.5.4 低功耗模式.....	77
7.5.5 WDT 模块.....	77
7.6 寄存器说明.....	77
8. FLASH/E2PROM 在线编程控制器.....	82
8.1 基本特征.....	82
8.2 存储器安全机制简介.....	82
8.2.1 信息区字节说明.....	82
8.2.2 程序区读写说明.....	84
8.3 FLASH/E2PROM 读写参数.....	86
8.4 E2PROM 读写操作.....	87
8.5 程序区写操作.....	90
8.5.1 加密状态下的程序区写操作.....	90
8.5.2 写保护（IWP）下的程序区写操作.....	90
8.6 寄存器说明.....	91
9. 中断系统.....	98
9.1 基本特征.....	98
9.2 中断表.....	98
9.3 中断系统框图.....	100
9.4 管脚配置.....	101
9.5 功能描述.....	101
9.5.1 中断执行过程.....	101
9.5.2 中断时序.....	101

9.5.3 外部中断	102
9.6 使用提示	104
9.7 寄存器说明	104
10. 定时器 T0/T1	113
10.1 基本特征	113
10.2 管脚配置	113
10.3 功能描述	113
10.3.1 工作模式 0	113
10.3.2 工作模式 1	114
10.3.3 工作模式 2	114
10.3.4 工作模式 3	115
10.3.5 T0 方波输出模式	115
10.3.6 T1 PWM 输出模式	116
10.4 寄存器说明	117
11. 定时器 T2	121
11.1 基本特征	121
11.2 管脚配置	121
11.3 功能描述	121
11.3.1 定时器 2 捕获电路	121
11.3.2 16 位自动重载模式 (PPGEN=0, CP/RL2=0)	122
11.3.3 16 位捕获模式 (PPGEN=0, CP/RL2=1)	123
11.3.4 可编程波形生成器 (PPGEN=1, CP/RL2=0)	123
11.3.5 单脉冲发生器	125
11.3.6 定时器 2 死区互补波形输出	126
11.4 寄存器说明	127
12. 高级定时器 T3	134
12.1 基本特征	134
12.2 时基单元	135
12.2.1 读写 16 位计数器 CNT	136
12.2.2 16 位 ARR 寄存器的写操作	136

12.2.3 预分频器.....	137
12.2.4 向上计数模式.....	137
12.2.5 向下计数模式.....	137
12.2.6 中央对齐模式(向上/向下计数).....	138
12.2.7 重复计数器.....	139
12.3 时钟/触发控制器.....	140
12.3.1 预分频时钟.....	141
12.3.2 内部时钟源 (f_{MASTER}).....	141
12.3.3 外部时钟源模式 1.....	142
12.3.4 外部时钟源模式 2.....	143
12.3.5 触发同步.....	144
12.3.6 与其它 TIM 定时器的同步.....	146
12.4 捕获/比较通道.....	146
12.4.1 16 位 TIM_CCRi 寄存器的写流程.....	147
12.4.2 输入模块.....	147
12.4.3 输入捕获模式.....	148
12.4.4 PWM 输入信号测量.....	149
12.4.5 输出模块.....	150
12.4.6 强制输出模式.....	151
12.4.7 输出比较模式.....	151
12.4.8 PWM 模式.....	152
12.4.9 使用刹车功能.....	156
12.4.10 编码器接口模式.....	156
12.5 T3 中断.....	157
12.6 寄存器说明.....	157
13. 钟表定时器 WT.....	183
13.1 基本特征.....	183
13.2 管脚配置.....	183
13.3 功能描述.....	183
13.4 寄存器说明.....	184

14. 键盘中断 KBI.....	186
14.1 基本特征.....	186
14.2 管脚配置.....	186
14.3 功能描述.....	186
14.4 寄存器说明.....	187
15. 看门狗定时器 WDT.....	190
15.1 基本特征.....	190
15.2 功能描述.....	190
15.3 寄存器说明.....	191
16. 窗式看门狗 WWDT.....	193
16.1 基本特征.....	193
16.2 功能描述.....	193
16.2.1 计数器的刷新.....	193
16.2.2 在 STOP 模式产生 WWDT 复位.....	194
16.2.3 设置看门狗的超时.....	194
16.3 寄存器说明.....	194
17. 通用串行接口 UART0/1.....	196
17.1 基本特征.....	196
17.2 管脚配置.....	196
17.3 功能描述.....	197
17.3.1 方式 0.....	197
17.3.2 方式 1.....	198
17.3.3 方式 2 和 3.....	199
17.3.4 单线半双工方式.....	199
17.4 寄存器说明.....	199
18. 串行接口 I2C.....	204
18.1 基本特征.....	204
18.2 管脚配置.....	204
18.3 功能描述.....	204
18.3.1 主机发送模式.....	204

18.3.2 主机接收模式	205
18.3.3 从机发送模式	206
18.3.4 从机接收模式	207
18.3.5 广呼模式	208
18.3.6 其他状态	209
18.3.7 中断产生	209
18.3.8 SMBus 扩展	210
18.3.9 唤醒 STOP 模式	210
18.4 寄存器说明	210
19. 串行外设接口 SPI	215
19.1 基本特征	215
19.2 管脚配置	215
19.3 功能描述	215
19.3.1 信号说明	216
19.3.2 SPI 工作方式	218
19.3.3 中断源	220
19.3.4 串行时序	222
19.3.5 波特率限制	223
19.3.6 使用提示	226
19.4 寄存器说明	226
20. ADC 控制器	230
20.1 基本特征	230
20.2 管脚配置	231
20.3 功能描述	231
20.3.1 工作模式	232
20.3.2 触发机制选择	232
20.3.3 参考电源选择	232
20.3.4 VTS 采样配置	233
20.4 寄存器说明	233
21. DAC 控制器	241

21.1 基本特征	241
21.2 管脚配置	241
21.3 功能概述	241
21.4 寄存器说明	242
22. 模拟比较器 ACMP0/1	244
22.1 基本特征	244
22.2 管脚配置	244
22.3 功能描述	244
22.3.1 比较器使能	246
22.3.2 比较器输出选择	246
22.3.3 比较器输入选择	246
22.3.4 比较器中断	247
22.3.5 使用提示	247
22.4 寄存器说明	247
23. 运算放大器 OPA0/1	253
23.1 管脚配置	253
23.2 功能描述	253
23.2.1 校正过程	253
23.2.2 带偏置闭环模式 (x50)	254
23.2.3 开环模式	254
23.2.4 单端模式 (负端接地, x25)	254
23.3 寄存器说明	255
24. 反向电动势采样 HALL_MID	258
24.1 管脚配置	258
24.2 功能描述	258
24.3 寄存器说明	258
25. 历史版本	260

图片目录

图 1-1 LCM08F003G 内部框图	18
图 2-1 数据存储器结构	19
图 2-2 程序存储器空间分布	21
图 4-1 与 RST 复用的 I/O；该 I/O 适用于 P3.0	42
图 4-2 与晶振/AD 复用的 GPIO；该 I/O 适用于除 P3.0 外其它 I/O	43
图 5-1 时钟系统结构	55
图 5-2 RCH 切换到 CRYH 时序	58
图 5-3 CRYH 切换到 RCH 时序	58
图 5-4 外部晶振典型配置	59
图 5-5 外接晶振不恰当走线	60
图 6-1 复位简化逻辑	67
图 6-2 上电复位典型时序	68
图 6-3 外部复位时序	69
图 6-4 低压复位时序	69
图 7-1 PMU 结构框图	72
图 7-2 温度传感器 ADC 采样框图	74
图 7-3 STOP 模式退出时序（非复位）	75
图 7-4 工作模式转换	76
图 9-1 中断系统框图	100
图 9-2 基本中断时序	101
图 9-3 外部中断检测	103
图 10-1 工作模式 0	114
图 10-2 工作模式 1	114
图 10-3 工作模式 2	115
图 10-4 工作模式 3	115
图 10-5 T0 方波输出示意图	116
图 10-6 T1 PWM 输出示意图	116
图 11-1 捕获电路框图	122
图 11-2 16 位自动重载模式内部框图	123
图 11-3 16 位捕获模式内部框图	123
图 11-4 16 位 PPG 模式内部框图	124
图 11-5 16 位 PPG 模式重复触发禁止波形图	125
图 11-6 16 位 PPG 模式重复触发使能波形图	125
图 11-7 16 位单脉冲模式内部框图	126
图 11-8 16 位单脉冲模式波形图	126
图 11-9 PWM 死区互补波形图	127
图 12-1 TIM3 框图	135
图 12-2 时基单元	135
图 12-3 读 16 位计数器的过程	136
图 12-4 向上计数模式的计数器	137
图 12-5 向下计数模式的计数器	138
图 12-6 中央对齐模式的计数器	138
图 12-7 计数器时序图，内部时钟分频因子为 1，TIM3_ARR=0x6，ARPE=1	139

图 12-8	不同模式下更新速率的例子，及 TIM3_RCR 的寄存器设置.....	140
图 12-9	时钟/触发控制器框图.....	141
图 12-10	普通模式下的控制电路，fMaster 分频因子=1.....	142
图 12-11	TI2 外部时钟连接.....	142
图 12-12	外部时钟模式 1 下的控制电路.....	143
图 12-13	外部触发输入框图.....	143
图 12-14	外部时钟模式 2 下的控制电路.....	143
图 12-15	标准触发模式的控制电路.....	144
图 12-16	复位触发模式下的控制电路.....	145
图 12-17	门控触发模式下的控制电路.....	145
图 12-18	外部时钟模式 2+触发模式下的控制电路.....	146
图 12-19	定时器级联信号图.....	146
图 12-20	捕获/比较通道 1 的主要电路.....	147
图 12-21	输入模块的框图.....	148
图 12-22	T3 通道 1 的输入.....	148
图 12-23	PWM 输入信号测量.....	149
图 12-24	PWM 输入信号测量实例.....	150
图 12-25	输出模块框图.....	150
图 12-26	详细的带互补输出的输出模块框图（通道 1）.....	151
图 12-27	输出比较模式：OC1 的翻转.....	152
图 12-28	边沿对齐，PWM 模式 1 的波形（ARR=8）.....	153
图 12-29	中央对齐的 PWM 波形（APR=8）.....	154
图 12-30	单脉冲模式图例.....	154
图 12-31	带死区插入的互补输出.....	155
图 12-32	死区波形延迟大于负脉冲.....	155
图 12-33	死区波形延迟大于正脉冲.....	156
图 13-1	WT 功能框图.....	183
图 14-1	KBI 结构框图.....	186
图 15-1	WDT 功能框图.....	190
图 16-1	WWDT 内部框图.....	193
图 16-2	WWDT 计数器与超时时间的关系.....	194
图 17-1	UART 功能框图.....	197
图 17-2	UART 方式 0 时序.....	198
图 18-1	I2C 主机发送模式过程和状态.....	205
图 18-2	I2C 主机接收模式过程和状态.....	206
图 18-3	I2C 从机发送模式过程和状态.....	207
图 18-4	I2C 从机接收模式过程和状态.....	208
图 18-5	I2C 广呼模式过程和状态.....	209
图 19-1	SPI 功能框图.....	216
图 19-2	SPI 多主机连接（全双工方式）.....	217
图 19-3	SPI 单主机和单从机连接（全双工方式）.....	217
图 19-4	SPI 单主机和多从机连接（全双工方式）.....	217
图 19-5	SPI 单主机和单从机连接（半双工方式）.....	218
图 19-6	SPI 单主机和多从机连接（半双工方式）.....	218
图 19-7	SPI 主机模式数据传输流程.....	218

图 19-8	SPI 从机模式数据传输流程	219
图 19-9	SPRF 置位/清零示意图.....	220
图 19-10	SPTEF 置位/清零示意图.....	221
图 19-11	RXOV 置位/清零示意图.....	221
图 19-12	WCOL 置位/清零示意图.....	222
图 19-13	MODF 置位/清零示意图	222
图 19-14	SPI 主机模式数据和时钟时序图	223
图 19-15	SPI 从机模式数据和时钟的时序图	223
图 19-16	SPI 从机模式波特率限制时序示意图	224
图 19-17	SPI 主机模式时序要求 (CPHA=0)	224
图 19-18	SPI 主机模式时序要求 (CPHA=1)	225
图 19-19	SPI 从机模式时序要求 (CPHA=0)	225
图 19-20	SPI 从机模式时序要求 (CPHA=1)	225
图 20-1	ADC 结构框图	231
图 20-2	ADC 参考电压框图	232
图 20-3	ADC 通道 7 结构	233
图 21-1	DAC 连接框图	241
图 22-1	ACMP0 功能框图	245
图 22-2	ACMP1 功能框图	245
图 22-3	内部参考电压示意图	245
图 22-4	比较器比较原理	246
图 23-1	OPA 功能框图	253
图 23-2	OPA 校正流程	254
图 23-3	OPA 固定放大模式	254
图 23-4	OPA 开环模式	254
图 23-5	OPA 单端模式	255
图 24-1	HALL_MID 连接框图.....	258

表格目录

表 2-1	MCU 内核寄存器	22
表 2-2	指令列表	25
表 3-1	LCM08F003G 寄存器总表	30
表 4-1	引脚复用表	36
表 4-2	引脚功能描述	39
表 4-3	与 RST 复用的 I/O 端口信号说明	42
表 4-4	除 P3.0 外其它 I/O 端口信号说明	43
表 4-5	引脚配置表	44
表 4-6	GPIO 寄存器列表	46
表 5-1	不同工作模式下的时钟源配置	56
表 5-2	时钟系统管脚配置	56
表 5-3	时钟系统相关寄存器表	60
表 6-1	复位情况工作表	66
表 6-2	特殊复位源寄存器	67
表 6-3	复位系统相关寄存器寄存器表	70
表 7-1	PMU 管脚复用配置表	72
表 7-2	PMU 在 STOP 模式下工作情况	74
表 7-3	工作模式转换条件表	76
表 7-4	PMU 模块寄存器表	77
表 8-1	信息区字节意义说明	82
表 8-2	读保护说明	84
表 8-3	写保护字节说明	85
表 8-4	存储区和信息区读写参数	86
表 8-5	E2PROM 读写参数	86
表 8-6	FLASH 控制器相关寄存器表	91
表 8-7	FLASH 电压/频率与访问周期数的关系	96
表 9-1	LCM08F003G 中断资源	98
表 9-2	外部中断复用管脚配置	101
表 9-3	INT0 模式配置	104
表 9-4	INT2 模式配置	104
表 9-5	中断相关寄存器表	105
表 10-1	T0/T1 管脚配置	113
表 10-2	T0 方波周期表	116
表 10-3	T0/T1 相关寄存器表	117
表 11-1	T2 管脚配置	121
表 11-2	T2 寄存器表	127
表 12-1	触发输入互联	141
表 12-2	计数方向 vs 编码器信号	157
表 12-3	T3 寄存器表	157
表 12-4	带刹车功能的互补输出通道 OC _i 和 OC _{iN} 的控制	173
表 13-1	WT 管脚配置	183
表 13-2	WT 寄存器表	184
表 14-1	KBI 管脚配置	186

表 14-2	KBI 寄存器表.....	187
表 15-1	WDT 溢出时间范围	190
表 15-2	WDT 寄存器表	191
表 16-1	WWDT 寄存器表.....	194
表 17-1	UART0/1 管脚配置.....	196
表 17-2	UART 寄存器表	199
表 18-1	I2C 管脚配置.....	204
表 18-2	I2C 其他状态.....	209
表 18-3	I2C 寄存器表.....	210
表 19-1	SPI 管脚配置	215
表 19-2	NSS 脚功能.....	217
表 19-3	SPI 主机模式时序参数	225
表 19-4	SPI 从机模式时序参数	225
表 19-5	SPI 寄存器表	226
表 20-1	ADC 管脚配置	231
表 20-2	ADC 寄存器表	233
表 21-1	DAC 管脚配置	241
表 21-2	DAC 器寄存器表	242
表 22-1	ACMP0/1 管脚配置.....	244
表 22-2	ACMP0/1 寄存器表.....	247
表 23-1	OPA0/1 管脚配置.....	253
表 23-2	OPA0/1 寄存器表.....	255
表 24-1	反向电动势采样管脚配置	258
表 24-2	HALL_MID 寄存器表.....	258

1. 介绍

LCM08F003G 是一款集成前端模拟信号处理的增强型 8 位 8051 内核微控制器（1T 工作模式），指令集与标准的 80C51 完全兼容，整体框图如图 1-1 所示。

LCM08F003G 内置 16KB 的 FLASH，用于存储程序代码（APROM），256 字节 E2PROM，用于保存用户特定配置信息，这两个区域支持在应用编程（IAP）功能，即用户可在程序中配置程序区和 E2PROM 区。APROM 区还可划出 2K 区域，作为引导代码区域（LDROM），该区域一旦划定以后，和 APROM 区域均具有独立的地址空间、中断向量表，任何时刻 CPU 只能工作在一个区域，但可以通过 IAP 相互读写，LDROM 区通常存放用于系统编程（ISP）的引导代码（Boot Code），串口通常作为 ISP 编程的通讯接口。为了方便烧录和校验，整个 FLASH 区域支持两线在电路编程（ICP），并和调试接口复用。可通过加密位对 FLASH 加密，保障代码的安全。此外，LCM08F003G 还内置 256 字节 SRAM、768 字节 XRAM 及 256 字节 E2PROM，最多可达 22 个标准管脚，调试时钟引脚与 Reset 复用，调试与下载程序只需占用 2 个引脚。

LCM08F003G 提供了丰富的功能模块，包括：两个标准 16 位定时器 T0/T1，兼容传统 MCS51 功能，T0 支持方波输出，T1 支持 PWM 输出；一个带有 4 路捕获功能和 1 路 PWM 输出功能的 16 位定时器 T2；一个高级定时器 T3，支持 4 通道捕获/比较功能、4 对互补 PWM 输出、支持死区控制和刹车输入，能与其它模块灵活同步；一个独立的看门狗（WDT）和一个窗式看门狗（WWDT）；1 个 8 位 WT 定时器，可产生 8K/4K/2K/1KHz 四种频率蜂鸣信号，支持系统的低功耗自动唤醒；两个标准串行口（UART），支持波特率的灵活配置和同步工作模式；2 个内置低失调运算放大器 OPA，支持多种可选放大倍率；一个 SPI、一个 I2C、16 路 12 位 ADC 和一个 DAC；支持 4 路外部中断和键盘中断（KBI），全引脚覆盖。

LCM08F003G 支持 3 组时钟源输入，最高工作频率 16 MHz，所有时钟源支持软件切换立即生效。3 组时钟源包括：外部晶振（支持高低晶振），32 kHz 内部 RCL 振荡时钟和精度为 $\pm 1.5\%$ 的 16 MHz 内部高频时钟 RCH。LCM08F003G 提供多个电源检测模块，支持上电复位、低压复位、低压检测，以及专门的低功耗低压检测模块，用于停机（STOP）模式下电源电压的检测。

LCM08F003G 可运行在三种工作模式：正常工作（RUN）模式、休眠（SLEEP）模式和停机（STOP）模式。正常工作模式时，可以通过调节工作频率、关闭空闲模块等方式调准系统功耗；休眠（SLEEP）模式时，芯片主时钟关闭，处理器停止运行但部分功能模块仍能够正常工作。掉电模式下芯片全部时钟关闭确保芯片功耗达到最低。高能效、丰富的功能模块使 LCM08F003G 可以灵活用于各种家电产品、无线充电、马达控制等应用场合。

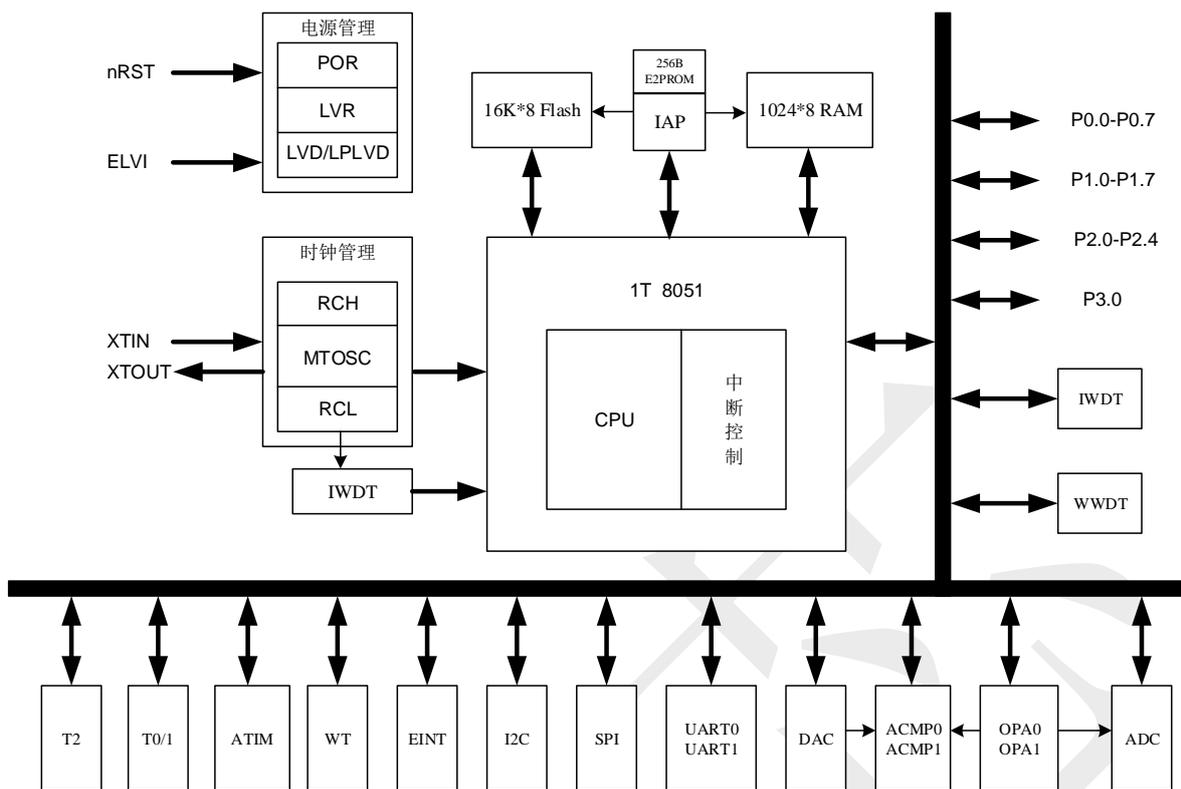


图 1-1 LCM08F003G 内部框图

2. LC51 CPU 核

LCM08F003G 中 CPU 采用增强型 8 位 LC51 核，其特点如下：

- ◇ 指令集兼容 MCS-51；双 DPTR；增加软件陷阱指令
- ◇ 改进的指令架构，90%的指令执行时间为 1 至 2 个系统时钟周期
- ◇ 内嵌 16K 字节 FLASH

2.1 地址空间

LCM08F003G 的片内存储器由数据存储器 and 程序存储器组成。

2.1.1 数据存储器地址空间

数据存储器分为内部数据存储器（RAM）和外部数据存储器（XRAM），由 MOV 指令访问内部数据存储器，由 MOVX 指令访问外部数据存储器。

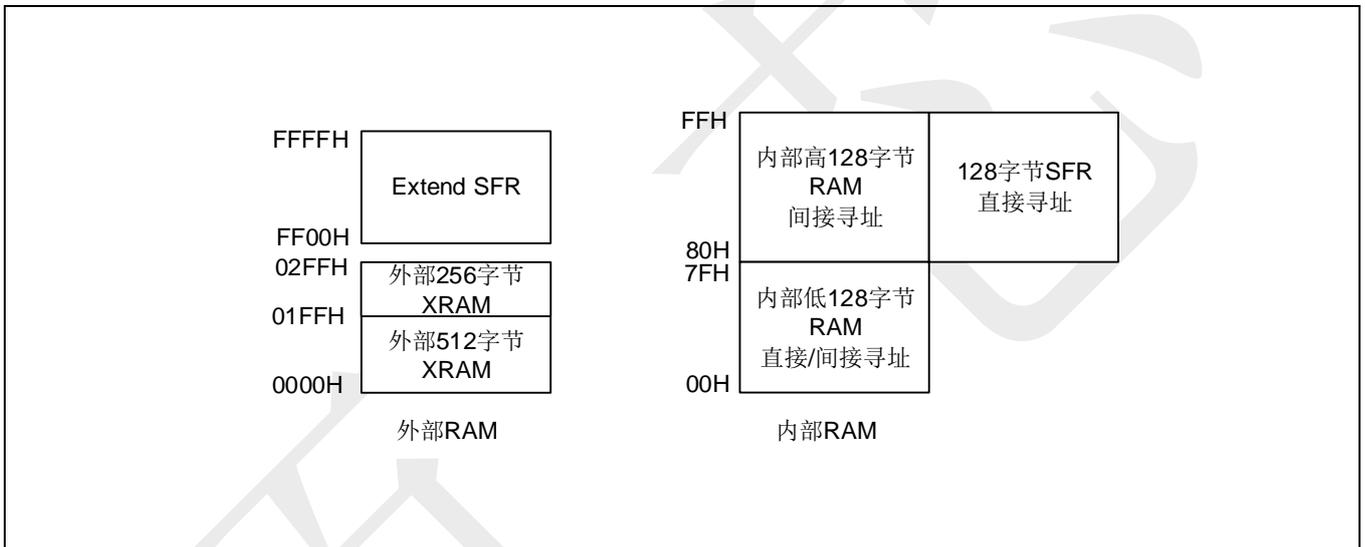


图 2-1 数据存储器结构

内部数据存储器地址空间为 00H~FFH，分为物理性质不同的几个存储区：RAM 区和特殊功能（SFR）寄存器区。

00H~7FH 的地址空间是低 128 字节 RAM 区，支持直接寻址与间接寻址。

80H~FFH 的地址空间是高 128 字节 RAM 和特殊功能寄存器（SFR）的重叠区，通过不同的寻址方式来区别：直接寻址指令访问 SFR，间接寻址指令访问 RAM。

```
MOV 30H, #0A5H           //RAM 区直接寻址，表示把立即数 A5H 送到地址为 30H 的 RAM 区
MOV 80H, #0A5H           //表示把立即数 A5H 送到地址为 80H 的特殊功能寄存器（PO）
MOV @R0, #0A5H          //RAM 区间接寻址，如果 R0 值为 30H，那么该指令表示把立即数 A5H 送到地址为 30H
                          //（由 R0 的值决定）的 RAM 区
```

外部数据存储器地址只能通过 MOVX 指令访问，其中 0000H~02FFH 作为外部 RAM 区，FF00H~FFFFH 作为扩展 SFR 区。外部数据存储器可通过寄存器间接寻址或 DPTR 指针访问。

假设要访问外部 RAM 的特殊功能寄存器，如系统配置寄存器 SYSCFG（地址：FFA2H）。可以这样实现：头文件中定义：

```
SYSCFG EQU FFA2H
```

操作程序如下：

```
MOV DPTR, #SYSCFG
MOV A, #80H
```

MOVX @DPTR, A

//通过上面三条指令便可把立即数 80H 装入到寄存器 SYSCFG 中

2.1.2 程序存储器地址空间

LCM08F003G 内部集成 16KB 的 FLASH 程序存储器，有两种不同的工作模式：1) 无 LDROM，16KB 全为用户程序区 APROM；2) 2KB LDROM 作为 ISP 编程启动代码，因此代码为 2KB LDROM+14KB APROM。任何时刻程序只能跑在一个区，由信息区 16H 字节最低位或者 CHIPCFG 寄存器决定目前程序跑在哪个区间，两块区间有独立的中断向量。程序存储器的某些地址被定义为中断程序的入口，这些地址称为中断向量。关于中断向量的部分描述请参考章节 9 中断系统。

LCM08F003G 的 16KB 字节 FLASH 程序存储器的空间分布如图 2-2 所示。

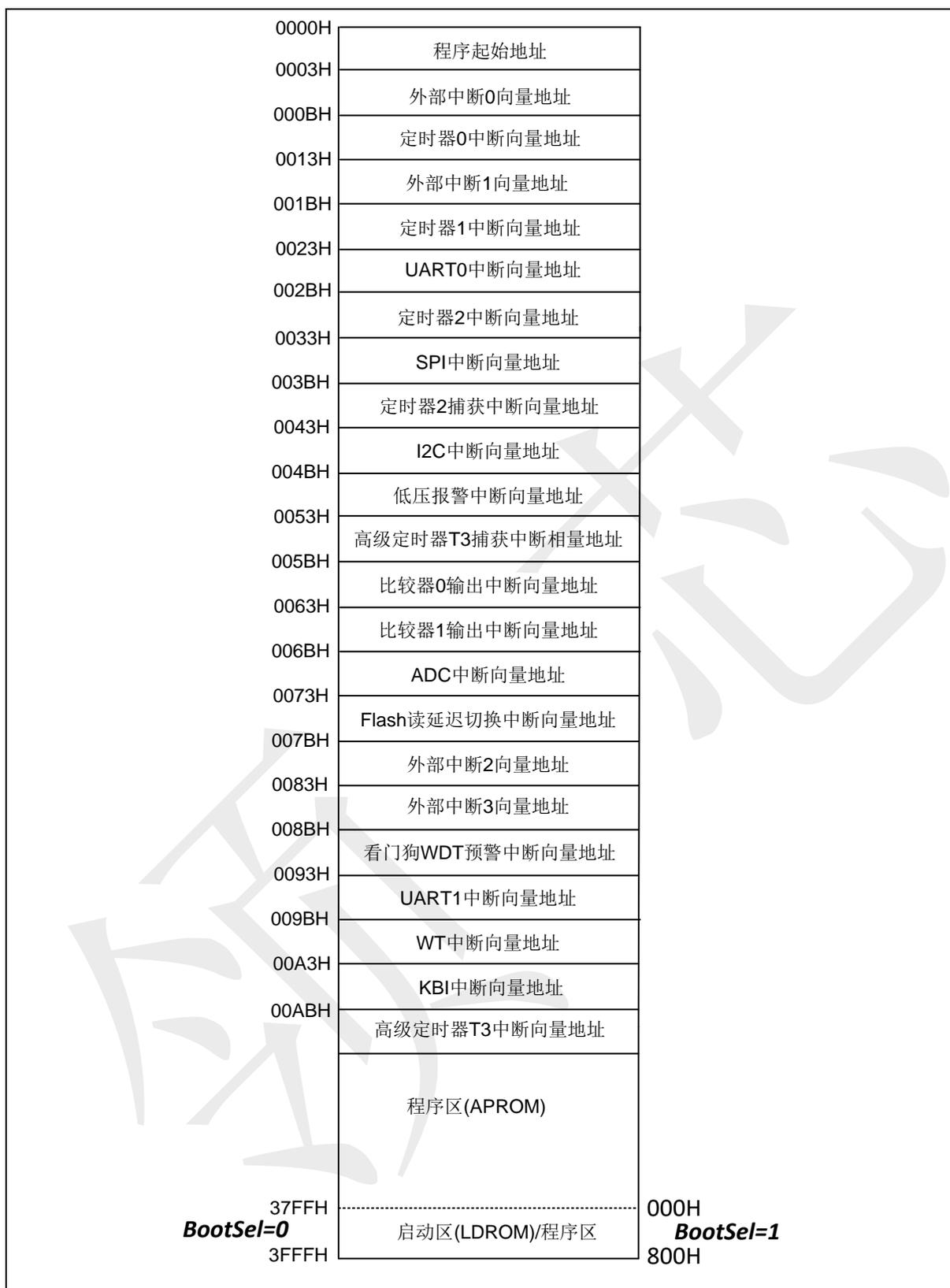


图 2-2 程序存储器空间分布

2.2 工作寄存器

内部数据存储区的低 32 个字节（地址范围：00H~1FH）也可以作为工作寄存器进行访问。同 MCS-51 一样，LC51 也支持 4 组工作寄存器，每组包括 8 个 8 位寄存器：R0~R7。设置程序状态字（PSW）中的 RS0

(PSW.3) 和 RS1 (PSW.4) 位可选择其中一个工作寄存器组作为当前工作寄存器组。调用子程序或进入中断服务程序时, 可通过设置工作寄存器组进行快速的现场切换, 未使用到的工作寄存器组可作为普通数据存储寄存器使用。

工作寄存器 R0 和 R1 还可作为间址寄存器, 具体用法请参考指令集。

2.3 MCU 内核寄存器

直接寻址空间的 80~FFH 的范围为特殊功能寄存器 (SFR) 区, 其中 MCU 内核寄存器如表 2-1 所示。

表 2-1 MCU 内核寄存器

名称	说明	可位寻址	读写权限	复位值	字节地址
SP	堆栈指针	×	R/W	0000_0111B	81H
DPL	数据指针低字节	×	R/W	0000_0000B	82H
DPH	数据指针高字节	×	R/W	0000_0000B	83H
PSW	程序状态字	√	R/W	0000_0000B	D0H
ACC	累加器	√	R/W	0000_0000B	E0H
B	B 寄存器	√	R/W	0000_0000B	F0H
MOVXRH	Ri 间接寻址高 8 位地址寄存器	×	R/W	0000_0000B	A1H
AUXR1	DPTR 选择寄存器	×	R/W	uuuu_0u00B	A2H

注: x 表示不确定; - 表示未实现; u 表示不受复位影响; c 表示该位复位值因复位源而异; R 只读; W 只写; R-0 表示只读且读 0; R/W 表示可读写 (以后章节同上述)。

MCU 内核寄存器的详细说明如下:

累加器 ACC (E0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
位地址:	E7H	E6H	E5H	E4H	E3H	E2H	E1H	E0H
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

寄存器 B (F0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
位地址:	F7H	F6H	F5H	F4H	F3H	F2H	F1H	F0H
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

程序状态字 PSW (D0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CY	AC	F0	RS[1]	RS[0]	OV	F1	P
位地址:	D7H	D6H	D5H	D4H	D3H	D2H	D1H	D0H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

程序状态字 PSW 是可按位寻址的 SFR, 它包含了程序执行后的状态信息, 供程序查询或判别使用。

Bit 7

CY: 进位标志位。

在执行加法指令之后, 若运算结果最高位有向前进位则 CY 置 1, 若运算结果最高位没有向前

进位则 CY 清 0；在执行减法指令之后，若运算结果最高位有向前借位则 CY 置 1，若运算结果最高位没有向前借位则 CY 清 0；乘、除法运算后，CY 总被清 0；CY 也是执行位操作时的位累加器，在指令集的汇编表达式中用 C 作为位累加器 CY 的助记符。

- Bit 6** AC: 半进位标志。
 在执行加法指令之后，若运算结果低半字节有向高半字节进位则 AC 置 1，若运算结果低半字节没有向高半字节进位则 AC 清 0；在执行减法指令之后，若运算结果低半字节有向高半字节借位则 AC 置 1，若运算结果低半字节没有向高半字节借位则 AC 清 0。
- Bit 5** F0: 用户标志位。
 其含义由用户自定义。
- Bit 4:3** RS[1:0]: 工作寄存器组选择位。
 设置 RS1、RS0 的值的组合，可切换当前的工作寄存器组，对应关系如下：
 00: 第 0 组寄存器组，内部 RAM 地址：00H~07H。
 01: 第 1 组寄存器组，内部 RAM 地址：08H~0FH。
 10: 第 2 组寄存器组，内部 RAM 地址：10H~17H。
 11: 第 3 组寄存器组，内部 RAM 地址：18H~1FH。
- Bit 2** OV: 溢出标志位。
 加、减法运算后，若补码结果超出 (-128, 127) 范围则 OV 置 1，无溢出则 OV 清 0；乘法运算后，若乘积大于 FFH，则 OV 置 1，否则 OV 清 0；除法运算后，正常情况下 OV 被清 0，但若除数为 0 导致结果无法确定，则 OV 置 1。
- Bit 1** F1: 用户标志位。
 其含义由用户自定义。
- Bit 0** P: 奇偶校验位。
 任意一条指令执行完之后，若累加器 ACC 中 8 个位的和为奇数时 P 置 1，为偶数时 P 清 0。

堆栈指针 SP (81H)

堆栈指针 SP 的地址为 81H。LC51 核的堆栈结构属于向上生成型。在使用堆栈之前，需先给 SP 赋值。数据进栈时，SP 先自动增 1，再把数据存到 SP 指向的 RAM 单元；数据出栈时，先把 SP 指向的 RAM 单元的值读出，SP 再自动减 1。SP 的复位值是 07H。

数据指针 DPTR (82H, 83H)

数据指针 DPTR 是一个 16 位的 SFR，不可按位寻址。其高位字节寄存器用 DPH 表示（地址 83H），低位字节用 DPL 表示（地址 82H）。DPTR 在 MOVX, MOVC, JMP 指令中主要用作 16 位间址寄存器，也可以作为两个独立的 8 位寄存器（DPH、DPL）使用。DPTR 的复位值为 0000H。

DPTR 选择寄存器 AUXR1 (A2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	F2	—	SPOVEN	DPS
访问权限:	R-0	R-0	R-0	R-0	R/W	R-0	R/W	R/W
复位值:	U	U	U	U	0	U	0	0

- Bit 7:4** 未实现位。
- Bit 3** F2: 用户标志位。
 其含义由用户自定义。
- Bit 2** 未实现位
- Bit 1** SPOVEN: 堆栈溢出复位控制位。



0: 禁止堆栈溢出复位。

1: 使能堆栈溢出复位。

Bit 0

DPS: 双 DPTR 切换控制位。

LC51 有 2 个 DPTR 寄存器，使用相同的地址。通过设置 AUXR1 的最低位 DPS 来选择其中一个 DPTR 作为当前的 16 位数据指针（或 DPH、DPL 寄存器）。双 DPTR 在查表操作时可以大大提高执行效率和代码效率。

AUXR1 只能按字节寻址。DPS=0 时，选择系统默认的第一个 DPTR 作为当前的 16 位数据指针（或 DPH、DPL 寄存器）；DPS=1 时，选择第二个 DPTR 作为当前的 16 位数据指针（或 DPH、DPL 寄存器）。

Ri 间接寻址高 8 位地址寄存器 MOVXRH (A1H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MOVXRH[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

LC51 核使用 Ri 的间接寻址时，可以通过设置 MOVXRH 来设定间接地址的高 8 位。

2.5 指令集

2.5.1 符号说明

- ✧ Rn — 当前选中的工作寄存器区的 8 个工作寄存器 R0~R7 (n=0~7)。
- ✧ Ri — 当前选中的工作寄存器区中可作间址寄存器的 2 个寄存器 R0、R1 (i=0 或 1)。
- ✧ dir — 8 位内部数据存储单元的地址。可以是内部 RAM 单元的地址 (00H~FFH) 或 SFR 的地址 (如 I/O 端口、控制寄存器、状态寄存器等)。
- ✧ #data — 包含在指令中的 8 位立即数。
- ✧ #data16 — 包含在指令中的 16 位立即数。
- ✧ addr16 — 16 位目的地址，用于 LCALL 和 LJMPL 指令中。
- ✧ addr11 — 11 位目的地址，用于 ACALL 和 AJMPL 指令中，它的地址必须与下一条指令的第一个字节的地址的高 5 位相同。
- ✧ rel — 8 位带符号的地址偏移量，用于 SJMPL 和所有的条件转移指令中；偏移值相对于下一条指令的第一个字节的地址计算，在 -128~+127 范围内取值。
- ✧ bit — 内部 RAM 或 SFR 中的直接寻址位。
- ✧ A — 累加器。
- ✧ B — B 寄存器，用于 MUL 和 DIV 指令中。
- ✧ C — 进位或借位标志，或布尔处理器中的累加器。
- ✧ @ — 间址寄存器或基址寄存器的前缀，如 @Ri, @A, @DPTR。
- ✧ \ — 表示余数。
- ✧ ~ — 按位取反。
- ✧ (X) — X 中的内容。
- ✧ ← — 箭头左边的内容被箭头右边的内容所代替。
- ✧ → — 箭头右边的内容被箭头左边的内容所代替。
- ✧ ↔ — 箭头两边的内容互换。
- ✧ ∧, ∨, ⊕ — 分别表示与，或，异或。
- ✧ [X1:X0] — 表示第 X1 位至第 X0 位。

- ◇ |←| — 表示循环左移一位。
- ◇ |→| — 表示循环右移一位。
- ◇ , — 用来分隔指令功能一栏顺序执行的步骤。
- ◇ ; — 用来分隔指令功能一栏里并行的步骤。

2.5.2 指令列表

表 2-2 指令列表

	助记符	指令功能	操作码	字节数	周期*	对标志位影响			
						CY	AC	OV	P
1	MOV A, Rn	A←Rn	E8H~EFH	1	1	×	×	×	√
2	MOV A, dir	A←(dir)	E5H	2	1	×	×	×	√
3	MOV A, @Ri	A←(Ri)	E6H, E7H	1	2	×	×	×	√
4	MOV A, #data	A←data	74H	2	1	×	×	×	√
5	MOV Rn, A	Rn←A	F8H~FFH	1	1	×	×	×	×
6	MOV Rn, dir	Rn←(dir)	A8H~AFH	2	1	×	×	×	×
7	MOV Rn, #data	Rn←data	78H~7FH	2	1	×	×	×	×
8	MOV dir, A	(dir)←A	F5H	2	1	×	×	×	×
9	MOV dir, Rn	(dir)←Rn	88H~8FH	2	1	×	×	×	×
10	MOV dir1, dir2	(dir1)←(dir2)	85H	3	2	×	×	×	×
11	MOV dir, @Ri	(dir)←(Ri)	86H, 87H	2	2	×	×	×	×
12	MOV dir, #data	(dir)←data	75H	3	2	×	×	×	×
13	MOV @Ri, A	(Ri)←A	F6H, F7H	1	1	×	×	×	×
14	MOV @Ri, dir	(Ri)←(dir)	A6H, A7H	2	2	×	×	×	×
15	MOV @Ri, #data	(Ri)←data	76H, 77H	2	1	×	×	×	×
16	MOV DPTR, #data16	DPTR←data16	90H	3	2	×	×	×	×
17	MOVC A, @A+DPTR	A←(A+DPTR)	93H	1	2	×	×	×	√
18	MOVCA, @A+PC	A←(A+PC)	83H	1	2	×	×	×	√
19	MOVX A, @Ri	A←(Ri)	E2H, E3H	1	2	×	×	×	√
20	MOVX A, @DPTR	A←(DPTR)	E0H	1	1	×	×	×	√
21	MOVX @Ri, A	(Ri)←A	F2H, F3H	1	1	×	×	×	×
22	MOVX @DPTR, A	(DPTR)←A	F0H	1	1	×	×	×	×
23	PUSH dir	SP←SP+1, SP←(dir)	C0H	2	1	×	×	×	×
24	POP dir	(dir)←(SP), SP←SP-1	D0H	2	1	×	×	×	×
25	XCH A, Rn	A↔Rn	C8H~CFH	1	1	×	×	×	√
26	XCH A, dir	A↔(dir)	C5H	2	1	×	×	×	√
27	XCH A, @Ri	A↔(Ri)	C6H, C7H	1	2	×	×	×	√
28	XCHD A, @Ri	A[3:0]↔(Ri)[3:0]	D6H, D7H	1	2	×	×	×	√
1	ADD A, Rn	A←A+Rn	28H~2FH	1	1	√	√	√	√
2	ADD A, dir	A←A+(dir)	25H	2	1	√	√	√	√

	助记符	指令功能	操作码	字节数	周期*	对标志位影响			
						CY	AC	OV	P
3	ADD A, @Ri	$A \leftarrow A+(Ri)$	26H, 27H	1	2	√	√	√	√
4	ADD A, #data	$A \leftarrow A+data$	24H	2	1	√	√	√	√
5	ADDC A, Rn	$A \leftarrow A+Rn+CY$	38H~3FH	1	1	√	√	√	√
6	ADDC A, dir	$A \leftarrow A+(dir)+CY$	35H	2	1	√	√	√	√
7	ADDC A, @Ri	$A \leftarrow A+(Ri)+CY$	36H, 37H	1	2	√	√	√	√
8	ADDC A, #data	$A \leftarrow A+data+CY$	34H	2	1	√	√	√	√
9	SUBB A, Rn	$A \leftarrow A-Rn-CY$	98H~9FH	1	1	√	√	√	√
10	SUBB A, dir	$A \leftarrow A-(dir)-CY$	95H	2	1	√	√	√	√
11	SUBB A, @Ri	$A \leftarrow A-(Ri)-CY$	96H, 97H	1	2	√	√	√	√
12	SUBB A, #data	$A \leftarrow A-data-CY$	94H	2	1	√	√	√	√
13	INC A	$A \leftarrow A+1$	04H	1	1	×	×	×	√
14	INC Rn	$Rn \leftarrow Rn+1$	08H~0FH	1	1	×	×	×	×
15	INC dir	$(dir) \leftarrow (dir)+1$	05H	2	1	×	×	×	×
16	INC @Ri	$(Ri) \leftarrow (Ri)+1$	06H, 07H	1	2	×	×	×	×
17	INC DPTR	$DPTR \leftarrow DPTR+1$	A3H	1	1	×	×	×	×
18	DEC A	$A \leftarrow A-1$	14H	1	1	×	×	×	√
19	DEC Rn	$Rn \leftarrow Rn-1$	18H~1FH	1	1	×	×	×	×
20	DEC dir	$(dir) \leftarrow (dir)-1$	15H	2	1	×	×	×	×
21	DEC @Ri	$(Ri) \leftarrow (Ri)-1$	16H, 17H	1	2	×	×	×	×
22	MUL AB	$BA \leftarrow A \times B$	A4H	1	1	0	×	√	√
23	DIV AB	$A \setminus B \leftarrow A \div B$	84H	1	4	0	×	√	√
24	DA A	对 A 进行十进制调整	D4H	1	1	√	√	×	√
1	ANL A, Rn	$A \leftarrow A \wedge Rn$	58H~5FH	1	1	×	×	×	√
2	ANL A, dir	$A \leftarrow A \wedge (dir)$	55H	2	1	×	×	×	√
3	ANL A, @Ri	$A \leftarrow A \wedge (Ri)$	56H, 57H	1	2	×	×	×	√
4	ANL A, #data	$A \leftarrow A \wedge data$	54H	2	1	×	×	×	√
5	ANL dir, A	$(dir) \leftarrow (dir) \wedge A$	52H	2	1	×	×	×	×
6	ANL dir, #data	$(dir) \leftarrow (dir) \wedge data$	53H	3	2	×	×	×	×
7	ORL A, Rn	$A \leftarrow A \vee Rn$	48H~4FH	1	1	×	×	×	√
8	ORL A, dir	$A \leftarrow A \vee (dir)$	45H	2	1	×	×	×	√
9	ORL A, @Ri	$A \leftarrow A \vee (Ri)$	46H, 47H	1	2	×	×	×	√
10	ORL A, #data	$A \leftarrow A \vee data$	44H	2	1	×	×	×	√
11	ORL dir, A	$(dir) \leftarrow (dir) \vee A$	42H	2	1	×	×	×	×
12	ORL dir, #data	$(dir) \leftarrow (dir) \vee data$	43H	3	2	×	×	×	×
13	XRL A, Rn	$A \leftarrow A \oplus Rn$	68H~6FH	1	1	×	×	×	√
14	XRL A, dir	$A \leftarrow A \oplus (dir)$	65H	2	1	×	×	×	√
15	XRL A, @Ri	$A \leftarrow A \oplus (Ri)$	66H, 67H	1	2	×	×	×	√

	助记符	指令功能	操作码	字节数	周期*	对标志位影响			
						CY	AC	OV	P
16	XRL A, #data	$A \leftarrow A \oplus \text{data}$	64H	2	1	x	x	x	√
17	XRL dir, A	$(\text{dir}) \leftarrow (\text{dir}) \oplus A$	62H	2	1	x	x	x	x
18	XRL dir, #data	$(\text{dir}) \leftarrow (\text{dir}) \oplus \text{data}$	63H	3	2	x	x	x	x
19	CLR A	$A \leftarrow 0$	E4H	1	1	x	x	x	√
20	CPL A	$A \leftarrow \sim A$	F4H	1	1	x	x	x	x
21	RL A	$\leftarrow A[7] \leftarrow \dots \leftarrow A[0] \leftarrow \leftarrow$	23H	1	1	x	x	x	x
22	RR A	$\rightarrow A[7] \rightarrow \dots \rightarrow A[0] \rightarrow \rightarrow$	03H	1	1	x	x	x	x
23	RLC A	$\leftarrow \text{CY} \leftarrow A[7] \leftarrow \dots \leftarrow A[0] \leftarrow \leftarrow$	33H	1	1	√	x	x	√
24	RRC A	$\rightarrow \text{CY} \rightarrow A[7] \rightarrow \dots \rightarrow A[0] \rightarrow \rightarrow$	13H	1	1	√	x	x	√
25	SWAP A	$A[7:4] \leftarrow \rightarrow A[3:0]$	C4H	1	1	x	x	x	x
1	AJMP addr11	$\text{PC} \leftarrow \text{PC} + 2,$ $\text{PC}[10:0] \leftarrow \text{addr11}$	Addr[10:8] 00001B	2	2	x	x	x	x
2	LJMP addr16	$\text{PC} \leftarrow \text{addr16}$	02H	3	3	x	x	x	x
3	SJMP rel	$\text{PC} \leftarrow \text{PC} + 2 + \text{rel}$	80H	2	3	x	x	x	x
4	JMP @A+DPTR	$\text{PC} \leftarrow (\text{A} + \text{DPTR})$	73H	1	4	x	x	x	x
5	JZ rel	$\text{PC} \leftarrow \text{PC} + 2,$ 若 A=0, 则 $\text{PC} \leftarrow \text{PC} + \text{rel}$	60H	2	1+2	x	x	x	x
6	JNZ rel	$\text{PC} \leftarrow \text{PC} + 2,$ 若 A≠0, 则 $\text{PC} \leftarrow \text{PC} + \text{rel}$	70H	2	1+2	x	x	x	x
7	CJNE A, dir, rel	$\text{PC} \leftarrow \text{PC} + 3,$ 若 $A \neq (\text{dir})$, 则 $\text{PC} \leftarrow \text{PC} + \text{rel};$ 若 $A \geq (\text{dir})$, 则 $\text{CY} \leftarrow 0$, 否则 $\text{CY} \leftarrow 1$	B5H	3	3+2	√	x	x	x
8	CJNE A, #data, rel	$\text{PC} \leftarrow \text{PC} + 3,$ 若 $A \neq \text{data}$, 则 $\text{PC} \leftarrow \text{PC} + \text{rel};$ 若 $A \geq \text{data}$, 则 $\text{CY} \leftarrow 0$, 否则 $\text{CY} \leftarrow 1$	B4H	3	2+2	√	x	x	x
9	CJNE Rn, #data, rel	$\text{PC} \leftarrow \text{PC} + 3,$ 若 $Rn \neq \text{data}$, 则 $\text{PC} \leftarrow \text{PC} + \text{rel};$ 若 $Rn \geq \text{data}$, 则 $\text{CY} \leftarrow 0$, 否则 $\text{CY} \leftarrow 1$	B8H~BFH	3	2+2	√	x	x	x
10	CJNE @Ri, #data, rel	$\text{PC} \leftarrow \text{PC} + 3,$ 若 $(Ri) \neq \text{data}$, 则 $\text{PC} \leftarrow \text{PC} + \text{rel};$ 若 $(Ri) \geq \text{data}$, 则 $\text{CY} \leftarrow 0$, 否则 $\text{CY} \leftarrow 1$	B6H, B7H	3	3+2	√	x	x	x
11	DJNZ Rn, rel	$Rn \leftarrow Rn - 1, \text{PC} \leftarrow \text{PC} + 2,$ 若 $Rn \neq 0$, 则 $\text{PC} \leftarrow \text{PC} + \text{rel}$	D8H~DFH	2	1+3	x	x	x	x

	助记符	指令功能	操作码	字节数	周期*	对标志位影响			
						CY	AC	OV	P
12	DJNZ dir, rel	(dir)←(dir)-1, PC←PC+3, 若(dir)≠0, 则 PC←PC+rel	D5H	3	3+2	×	×	×	×
13	ACALL addr11	PC←PC+2, SP←SP+1, (SP)←PCL, SP←SP+1, (SP)←PCH, PC[10:0]←addr11	Addr[10:8] 10001B	2	3	×	×	×	×
14	LCALL addr16	PC←PC+3, SP←SP+1, (SP)←PCL, SP←SP+1, (SP)←PCH, PC←addr16	12H	3	3	×	×	×	×
15	RET	PCH←(SP), SP←SP-1, PCL←(SP), SP←SP-1	22H	1	3	×	×	×	×
16	RETI	PCH←(SP), SP←SP-1, PCL←(SP), SP←SP-1, 从中断返回	32H	1	3	×	×	×	×
17	SWR	复位	A5H	1	2	0	0	0	0
18	NOP	PC←PC+1	00H	1	1	×	×	×	×
1	CLR C	CY←0	C3H	1	1	√	×	×	×
2	CLR bit	bit←0	C2H	2	1	×	×	×	×
3	SETB C	CY←1	D3H	1	1	√	×	×	×
4	SETB bit	bit←1	D2H	2	1	×	×	×	×
5	CPL C	CY←~CY	B3H	1	1	√	×	×	×
6	CPL bit	bit←~(bit)	B2H	2	1	×	×	×	×
7	ANL C, bit	CY←CY∧(bit)	82H	2	1	√	×	×	×
8	ANL C, /bit	CY←CY∧~(bit)	B0H	2	1	√	×	×	×
9	ORL C, bit	CY←CY∨(bit)	72H	2	1	√	×	×	×
10	ORL C, /bit	CY←CY∨~(bit)	A0H	2	1	√	×	×	×
11	MOV C, bit	CY←bit	A2H	2	1	√	×	×	×
12	MOV bit, C	bit←CY	92H	2	1	×	×	×	×
13	JC rel	PC←PC+2, 若 CY=1, 则 PC←PC+rel	40H	2	1+2	×	×	×	×
14	JNC rel	PC←PC+2, 若 CY=0, 则 PC←PC+rel	50H	2	1+2	×	×	×	×
15	JB bit, rel	PC←PC+3, 若(bit)=1, 则 PC←PC+rel	20H	3	2+2	×	×	×	×
16	JNB bit, rel	PC←PC+3, 若(bit)=0, 则 PC←PC+rel	30H	3	2+2	×	×	×	×

	助记符	指令功能	操作码	字节数	周期*	对标志位影响			
						CY	AC	OV	P
17	JBC bit, rel	PC←PC+3, 若(bit)=1, 则 PC←PC+rel, (bit)←0	10H	3	3+2	×	×	×	×

注 1: 振荡周期是指用于系统时钟的时钟源的周期, 在本电路中时钟源可以是外接晶振也可以是内置 RC 振荡; 有些指令的振荡周期表达成 M+N, 是指当条件满足时再增加 N 个振荡周期。

注 2: 表中假设振荡周期与 CPU 时钟周期一致。当选择不同的分频系数时, 则每条指令执行时间等于上表提供的值与分频系数相乘。

3. 特殊功能寄存器（SFR）总表

LCM08F003G 的所有特殊功能寄存器如下表所示。

表 3-1 LCM08F003G 寄存器总表

名称	说明	可位寻址	读写权限	复位值	字节地址
MCU 内核					
SP	堆栈指针	×	R/W	0000_0111B	81H
DPL	数据指针低字节 FE0	×	R/W	0000_0000B	82H
DPH	数据指针高字节	×	R/W	0000_0000B	83H
PSW	程序状态字	√	R/W	0000_0000B	D0H
ACC	累加器	√	R/W	0000_0000B	E0H
B	B 寄存器	√	R/W	0000_0000B	F0H
MOVXRH	Ri 间接寻址高 8 位地址寄存器	×	R/W	0000_0000B	A1H
AUXR1	DPTR 选择寄存器	×	R/W	uuuu_0u00B	A2H
中断控制 INTC					
IE	中断允许寄存器	√	R/W	0u00_0000B	A8H
IP	中断优先级寄存器	√	R/W	uu00_0000B	B8H
EIE1	扩展中断允许寄存器 1	×	R/W	0000_0000B	A9H
EIP1	扩展中断优先级寄存器 1	×	R/W	0000_0000B	B9H
EIE2	扩展中断允许寄存器 2	×	R/W	0000_0000B	AAH
EIP2	扩展中断优先级寄存器 2	×	R/W	0000_0000B	BAH
EINTCS0	外部中断控制与状态寄存器 0	×	R/W	0000_0000B	ACH
EINTCS1	外部中断控制与状态寄存器 1	×	R/W	0000_0000B	BCH
电源管理 PMU					
PCON	电源控制寄存器	×	R/W	uuuu_uu00B	87H
LVDCON	低压检测控制寄存器	×	R/W	uu0c_ccccB	A5H
LVRCON	低压复位控制寄存器	×	R/W	ccc0_ccccB	A6H
LPLVDCON	低功耗低压检测控制寄存器	×	R/W	uuu0_ccccB	FF47H
LVDLP_TRIM	内部低功耗基准 LPVR 电压修调寄存器	×	R/W	0000_xxxxB	A4H
VRCTRL	VRH_OP 电压选择寄存器	×	R/W	uuuu_uuu0B	BBH
STOPCFG	停机模式配置寄存器	×	R/W	u001_1u0uB	FFA0H
BGPTRIM	待机基准电压 BGP 校准寄存器	×	R/W	uuxx_xxxxB	FFF2H
复位 RESET					
RSTSRC	复位源寄存器	×	R/W	uucc_ccccB	A7H
看门狗定时器 WDT					
WDTCON	WDT 控制寄存器	×	R/W	1111_1111B	DDH
WDTCLR0	WDT 清零寄存器 0	×	W	uuuu_uuuuB	DEH
WDTCLR1	WDT 清零寄存器 1	×	W	uuuu_uuuuB	DFH
窗口看门狗定时器 WWDT					
WWDG_CR	WWDT 控制寄存器	×	R/W	0111_1111B	F1H
WWDG_WR	WWDT 窗口寄存器	×	R/W	u111_1111B	F2H
WWDG_CFG	WWDT 特殊功能寄存器	×	R/W	uuuu_uuu0B	FFA3H
时钟管理 CKM					

名称	说明	可位寻址	读写权限	复位值	字节地址
MCKSET	系统时钟设置寄存器	x	R/W	0000_1000B	91H
WPKEY	关键寄存器写保护寄存器	x	W	uuuu_uuuuB	92H
PCGC0	时钟门控寄存器 0	x	R/W	1111_1111B	FF60H
PCGC1	时钟门控寄存器 1	x	R/W	uuuu_1u10B	FF61H
LFCSCON	低频时钟源控制寄存器	x	R/W	00u0_0000B	FFEEH
系统配置					
SYSCFG	系统配置寄存器	x	R/W	1000_1111B	FFA2H
GPIO					
P0	P0 数据寄存器	v	R/W	0000_0000B	80H
P1	P1 数据寄存器	v	R/W	0000_0000B	90H
P2	P2 数据寄存器	v	R/W	uuu0_0000B	A0H
P3	P3 数据寄存器	v	R/W	uuuu_uuu0B	B0H
P0MDL	P0 模式控制寄存器 (低字节)	x	R/W	0000_0000B	ECH
P1MDL	P1 模式控制寄存器 (低字节)	x	R/W	0000_0000B	EDH
P2MDL	P2 模式控制寄存器 (低字节)	x	R/W	0000_0000B	EEH
P3MDL	P3 模式控制寄存器 (低字节)	x	R/W	uuuu_uu00B	EFH
P0MDH	P0 模式控制寄存器 (高字节)	x	R/W	0000_0000B	FCH
P1MDH	P1 模式控制寄存器 (高字节)	x	R/W	0000_0000B	FDH
P2MDH	P2 模式控制寄存器 (高字节)	x	R/W	uuuu_uu00B	FEH
P0AEN	P0 模拟通道允许寄存器	x	R/W	0000_0000B	FFC0H
P1AEN	P1 模拟通道允许寄存器	x	R/W	0000_0u00B	FFC1H
P2AEN	P2 模拟通道允许寄存器	x	R/W	uuu0_0000B	FFC2H
IOMUX0	I/O 管脚复用控制寄存器 0	x	R/W	0000_0000B	FFE0H
IOMUX1	I/O 管脚复用控制寄存器 1	x	R/W	0000_000uB	FFE1H
IOMUX2	I/O 管脚复用控制寄存器 2	x	R/W	00uu_0000B	FFE2H
EINT01RMP	外部中断 0/1 引脚配置寄存器	x	R/W	0000_0000B	FF56H
EINT23RMP	外部中断 2/3 引脚配置寄存器	x	R/W	0000_0000B	FF57H
GPIODS0	P0 驱动能力控制	x	R/W	0000_0000B	FFD5H
GPIODS1	P1 驱动能力控制	x	R/W	0000_0000B	FFD6H
GPIODS2	P2 驱动能力控制	x	R/W	uuu0_0000B	FFD7H
GPIODS3	P3 驱动能力控制	x	R/W	uuuu_uuu0B	FFD8H
GPIOSR	I/O 斜率调节	x	R/W	uuuu_1111B	FFE8H
键盘中断 KBI					
KBICON0	P0 口键盘中断使能寄存器	x	R/W	0000_0000B	FFDAH
KBICON1	P1 口键盘中断使能寄存器	x	R/W	0000_0000B	FFDCH
KBICON2	P2 口键盘中断使能寄存器	x	R/W	uuu0_0000B	FFDEH
KBIPSO	P0 口键盘中断极性选择寄存器	x	R/W	0000_0000B	FFDBH
KBIPS1	P1 口键盘中断极性选择寄存器	x	R/W	0000_0000B	FFDDH
KBIPS2	P2 口键盘中断极性选择寄存器	x	R/W	uuu0_0000B	FFDFH
KBIFLG	键盘中断标志寄存器	x	R/W	uuuu_uuu0B	9EH
定时器 T0/1/2					
TCON	定时器控制寄存器	v	R/W	0000_0000B	88H

名称	说明	可位寻址	读写权限	复位值	字节地址
TMOD	定时器方式寄存器	x	R/W	0000_0000B	89H
TL0	定时器 0 低字节	x	R/W	0000_0000B	8AH
TL1	定时器 1 低字节	x	R/W	0000_0000B	8BH
TH0	定时器 0 高字节	x	R/W	0000_0000B	8CH
TH1	定时器 1 高字节	x	R/W	0000_0000B	8DH
TIMPRS	定时器时钟预分频控制寄存器	x	R/W	u000_u000B	FFCAH
TIMCFG	定时器 0/1 PWM 使能	x	R/W	uuuu_uu00B	FFCDH
TIMERMP	定时器 0/1/2 引脚配置寄存器	x	R/W	00uu_uu00B	FF51H
T2MOD	定时器 2 模式寄存器	x	R/W	0000_0000B	C1H
PWMRMP	定时器 2 PWM 波形输出引脚配置寄存器	x	R/W	0u00_u000B	FF52H
T2CPL1	T2 捕获寄存器 1 低字节	x	R/W	0000_0000B	C2H
T2CPH1	T2 捕获寄存器 1 高字节	x	R/W	0000_0000B	C3H
T2CPL2	T2 捕获寄存器 2 低字节	x	R/W	0000_0000B	C4H
T2CPH2	T2 捕获寄存器 2 高字节	x	R/W	0000_0000B	C5H
T2CAP	T2 捕获设置寄存器	x	R/W	0100_0000B	C6H
T2CAPS	T2 捕获状态寄存器	x	R/W	0000_0000B	C7H
T2CON	T2 控制寄存器	x	R/W	0000_0000B	C9H
TL2	T2 计数器低字节	x	R/W	0000_0000B	CAH
TH2	T2 计数器高字节	x	R/W	0000_0000B	CBH
T2EXS0	T2 外部触发源选择寄存器	x	R/W	00u0_u0u0B	CCH
TIMERDTG	死区时间设置寄存器	x	R/W	0000_0000B	FF53H
高级定时器T3					
TIM3_CR1	控制寄存器 1	x	R/W	0000_0000B	F3H
TIM3_CR2	控制寄存器 2	x	R/W	0000_u0u0B	F4H
TIM3_SR1	状态寄存器 1	x	R/W	0000_0000B	F5H
TIM3_SR2	状态寄存器 2	x	R/W	uuu0_000uB	F6H
TIM3_EGR	事件产生寄存器	x	R/W	0000_0000B	F7H
TIM3_CNTH	计数器高 8 位	x	R/W	0000_0000B	84H
TIM3_CNTL	计数器低 8 位	x	R/W	0000_0000B	85H
TIM3_SMCR	模式控制寄存器	x	R/W	0000_0000B	FF30H
TIM3_ETR	外部触发控制器	x	R/W	0000_0000B	FF31H
TIM3_IER	中断允许控制器	x	R/W	0000_0000B	FF32H
TIM3_CCMR1	CC1 捕获/比较模式寄存器	x	R/W	0000_0000B	FF33H
TIM3_CCMR2	CC2 捕获/比较模式寄存器	x	R/W	0000_0000B	FF34H
TIM3_CCMR3	CC3 捕获/比较模式寄存器	x	R/W	0000_0000B	FF35H
TIM3_CCMR4	CC4 捕获/比较模式寄存器	x	R/W	0000_0000B	FF36H
TIM3_CCER1	捕获/比较使能寄存器 1	x	R/W	0000_0000B	FF37H
TIM3_CCER2	捕获/比较使能寄存器 2	x	R/W	0000_0000B	FF38H
TIM3_PSCH	预分频器高 8 位	x	R/W	0000_0000B	FF39H
TIM3_PSCL	预分频器低 8 位	x	R/W	0000_0000B	FF3AH
TIM3_ARRH	自动重装载器高 8 位	x	R/W	0000_0000B	FF3BH
TIM3_ARRL	自动重装载器低 8 位	x	R/W	0000_0000B	FF3CH

名称	说明	可位寻址	读写权限	复位值	字节地址
TIM3_RCR	重复计数器	x	R/W	0000_0000B	FF3DH
TIM3_CCR1H	捕获/比较通道 1 寄存器高 8 位	x	R/W	0000_0000B	FF3EH
TIM3_CCR1L	捕获/比较通道 1 寄存器低 8 位	x	R/W	0000_0000B	FF3FH
TIM3_CCR2H	捕获/比较通道 2 寄存器高 8 位	x	R/W	0000_0000B	FF80H
TIM3_CCR2L	捕获/比较通道 2 寄存器低 8 位	x	R/W	0000_0000B	FF81H
TIM3_CCR3H	捕获/比较通道 3 寄存器高 8 位	x	R/W	0000_0000B	FF82H
TIM3_CCR3L	捕获/比较通道 3 寄存器低 8 位	x	R/W	0000_0000B	FF83H
TIM3_CCR4H	捕获/比较通道 4 寄存器高 8 位	x	R/W	0000_0000B	FF84H
TIM3_CCR4L	捕获/比较通道 4 寄存器低 8 位	x	R/W	0000_0000B	FF85H
TIM3_BKR	刹车控制寄存器	x	R/W	0000_0000B	FF86H
TIM3_DTR	死区控制寄存器	x	R/W	0000_0000B	FF87H
TIM3_OISR	输出空闲状态寄存器	x	R/W	0000_0000B	FF88H
TIM3_CR1H	控制寄存器 1H	x	R/W	0000_0000B	FF89H
TIM3_CR1M	控制寄存器 1M	x	R/W	uuuu_u000B	FF8AH
TIM3_SMRH	控制寄存器 H	x	R/W	uuuu_uu00B	FF8BH
TIM3_DLAMTH	延迟触发&防多次触发控制寄存器	x	R/W	uuuu_uu01B	FF8CH
TIM3_DLAMTM	防多次触发窗口控制寄存器	x	R/W	0000_0000B	FF8DH
TIM3_DLAMT	延迟触发窗口控制寄存器	x	R/W	0000_0000B	FF8EH
TIM3_TIRMP	触发源复用寄存器	x	R/W	0000_0000B	FFCEH
TIM3_OCRMP	PWM 引脚复用寄存器	x	R/W	u000_0000B	FFCFH
WT					
WTCON	WT 控制寄存器	x	R/W	0000_0000B	BFH
T8(T8RL)	8 位下行定时器 (T8 初值) 寄存器	x	R/W	0000_0000B	FF9BH
UART0					
SCON0	UART0 控制寄存器	√	R/W	0000_0100B	98H
SBUF0	UART0 接收发送缓冲寄存器	x	R/W	0000_0000B	99H
BRCON0	UART0 波特率控制寄存器	x	R/W	1000_0uu0B	8EH
BRTIM0	UART0 波特率计数器	x	R/W	0000_0000B	8FH
HALFDUPLEX0	UART0 半双工模式寄存器	x	R/W	uuuu_uuu0B	9CH
UART1					
SCON1	UART1 控制寄存器	x	R/W	0000_0100B	B4H
SBUF1	UART1 接收发送缓冲寄存器	x	R/W	0000_0000B	B5H
BRCON1	UART1 波特率控制寄存器	x	R/W	1000_0uu0B	B6H
BRTIM1	UART1 波特率计数器	x	R/W	0000_0000B	B7H
HALFDUPLEX1	UART1 半双工模式寄存器	x	R/W	uuuu_uuu0B	B3H
I2C					
I2CDAT	I2C 数据寄存器	x	R/W	0000_0000B	93H
I2CADR	I2C 地址寄存器	x	R/W	1000_0000B	94H
I2CCON	I2C 控制寄存器	x	R/W	1000_0011B	95H
I2CSTA	I2C 状态寄存器	x	R	1111_1000B	96H
I2CSMB_SEL	I2C SMBus 选择寄存器	x	R/W	0uuu_u000B	97H

名称	说明	可位寻址	读写权限	复位值	字节地址
I2CSMB_DST	I2C SMBus 数据寄存器	x	R/W	0000_0000B	9AH
I2CSTPEN	I2C STOP 模式配置寄存器	x	R/W	uuuu_uuu0B	9BH
SPI					
SPICON0	SPI 控制寄存器 0	√	R/W	0000_0000B	F8H
SPICON1	SPI 控制寄存器 1	x	R/W	000u_u000B	F9H
SPIFLG	SPI 标志寄存器	x	R/W	uu01_0000B	FAH
SPIDAT	SPI 数据寄存器	x	R/W	0000_0000B	FBH
模拟比较器 ACMP0					
CPOCON	模拟比较器 0 控制寄存器提示	x	R/W	0000_u000B	AEH
CPOVRCON	模拟比较器 0 内部参考电压控制寄存器	x	R/W	0000_0000B	AFH
CPOFRHS	模拟比较器 0 响应时间配置寄存器	x	R/W	0000_uu00B	ADH
ACPODLY0	模拟比较器 0 使能触发时延寄存器 0	x	R/W	0000_0000B	FF7BH
ACPODLY1	模拟比较器 0 使能触发时延寄存器 1	x	R/W	uuuu_uuu0B	FF7CH
模拟比较器 ACMP1					
CP1CON	模拟比较器 1 控制寄存器提示	x	R/W	0000_u000B	EAH
CP1VRCON	模拟比较器 1 内部参考电压控制寄存器	x	R/W	0000_0000B	EBH
CP1FRHS	模拟比较器 1 响应时间配置寄存器	x	R/W	0000_uu00B	E9H
ACP1DLY0	比较器使能触发时延寄存器 0	x	R/W	0000_0000B	FF7DH
ACP1DLY1	比较器使能触发时延寄存器 1	x	R/W	uuuu_uuu0B	FF7EH
运算放大器 OPA0					
AMPOCTRL0	OPA0 运放控制寄存器 0	x	R/W	0000_0000B	FF40H
AMPOCTRL1	OPA0 运放控制寄存器 1	x	R/W	uuuu_u000B	FF41H
AMPOTRIM	OPA0 校准寄存器	x	R/W	00u0_0000B	FF42H
运算放大器 OPA1					
AMP1CTRL0	OPA1 运放控制寄存器 0	x	R/W	0000_0000B	FF43H
AMP1CTRL1	OPA1 运放控制寄存器 1	x	R/W	uuuu_u000B	FF44H
AMP1TRIM	OPA1 校准寄存器	x	R/W	00u0_0000B	FF45H
反电动势采样 HALL_MID					
HALL_MID	反向电动势采样控制寄存器	x	R/W	u000_0000B	FF9DH
测试					
TESTCON	测试控制寄存器	x	R/W	u0u0_0000B	FFAFH
模拟模块校正数据					
RCLTRIM	RCL 校准寄存器	x	R/W	uuxx_xxxxB	FFB1H
INFLOAD	信息区字节更新寄存器	x	R/W	uuu0_uuu0B	FFF6H
CHIPCFG	Boot 配置寄存器	x	R/W	0uuu_uuu0B	FFF5H
RCHTRIM	RCH 校准寄存器	x	R/W	xxxx_xxxxB	FFF4H
RCHPT	微调控制信号, 控制恒流精度。测试确认后即可固化	x	R/W	uuuu_xxxxB	FFF3H
BGPTRIM	带隙基准电压 BGR 校准寄存器	x	R/W	uuxx_xxxxB	FFF2H
ADC					
ADCON	ADC 控制寄存器	√	R/W	0u00_0000B	D8H
ADRESL	ADC 转换结果寄存器低位	x	R	xxxx_xxxxB	D9H

名称	说明	可位寻址	读写权限	复位值	字节地址
ADRESH	ADC 转换结果寄存器高位	x	R	xxxx_xxxxB	DAH
CMPDATAL	ADC 比较寄存器低位	x	W	0000_0000B	D9H
CMPDATAH	ADC 比较寄存器高位	x	W	uuuu_0000B	DAH
ADCFIFO	ADC FIFO 控制寄存器	x	R/W	0000_1000B	BDH
ADCSPD	ADC 速度配置寄存器	x	R/W	0000_0001B	FF9EH
ADCTRG	ADC 触发配置寄存器	x	R/W	0000_0000B	FFABH
ADCDLY	ADC 触发时延配置寄存器	x	R/W	0000_0000B	FFACH
ADCMOD	ADC 模式配置寄存器	x	R/W	0000_u000B	FFADH
ADCFG	ADC 配置寄存器	x	R/W	0000_0000B	FFAEH
ADCCHL	ADC 转换通道选择低 8 位	x	R/W	0000_0000B	FFBCH
ADCCHH	ADC 转换通道选择高 8 位	x	R/W	0000_0000B	FFBDH
DAC					
DACCTRL	DAC 控制寄存器	x	R/W	0000_0000B	FF6BH
DACDATL	DAC 转换结果低位寄存器	x	R/W	0000_0000B	FF6CH
DACDATAH	DAC 转换结果高位寄存器	x	R/W	00uu_uu00B	FF6DH
存储器 FLASH/E2PROM 应用编程寄存器					
FLASHCtrl	FLASH 控制器	x	R/W	1100_0000B	D1H
FLASHAddrH	存储器单元地址高位	x	R/W	0000_0000B	D2H
FLASHAddrL	存储器单元地址低位	x	R/W	0000_0000B	D3H
FLASHDataH	存储器数据寄存器高 8 位	x	R/W	0000_0000B	D4H
FLASHDataL	存储器数据寄存器低 8 位	x	R/W	0000_0000B	D5H
FLASHCLKDiv	FLASH 编程时钟分频寄存器	x	R/W	0000_0110B	D6H
FLASHKey	FLASH 编程保护寄存器	x	W	uuuu_uuuuB	D7H
FLASHTIMCTRL	FLASH 写操作定时控制寄存器	x	R/W	uuuu_u000B	E6H
IAPKey0	解锁密钥第 1 字节	x	W	uuuu_uuuuB	FF62H
IAPKey1	解锁密钥第 2 字节	x	W	uuuu_uuuuB	FF63H
IAPKey2	解锁密钥第 3 字节	x	W	uuuu_uuuuB	FF64H
IAPKey3	解锁密钥第 4 字节	x	W	uuuu_uuuuB	FF65H
MTPLTY	FLASH 访问周期数控制寄存器	x	R/W	u000_0000B	FFF9H
MTPRUNMODE	FLASH 运行模式控制寄存器	x	R/W	uuuu_uuu0B	FFD4H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

4. 通用输入/输出端口（GPIO）

4.1 基本特征

- ◇ 4 组 I/O 口（P0/P1/P2/P3），最大支持 22 个 I/O 口
- ◇ 4 组 I/O 均支持位操作
- ◇ 每组端口均可配置为 4 种模式：输入悬空、输入上拉、推挽输出和开漏输出
- ◇ P0/P1/P2 端口都具有键盘中断唤醒功能，中断极性可选择
- ◇ 3 组 I/O 驱动能力按位可调，斜率（slew rate）按组可调

4.2 复位配置

上电复位后，P3.0 为外部复位，默认输入上拉，其余端口默认为输入悬空，进入调试模式和烧录模式的命令在该引脚为低时发送。SLEEP 模式和 STOP 模式下，GPIO 端口状态不变。

注：P3.0 上电复位为 RST 功能，若用户程序将 P3.0 配置为通用 GPIO 功能，则在程序运行过程中无法连接调试器，采用领芯的调试器供电情况下，可以将程序擦除。

4.3 引脚复用

表 4-1 引脚复用表

I/O	驱动能力 ^{注1} (mA) @3.3V		系统	定时器 0/1/2 /WT	高级 定时器 (T3)	键盘 中断	通信接 口	外部 中断	OPA	比较器	ADC /DAC	BMEF
	DS =0	DS =1										
	P0.0	2										
P0.1	2	16	--	--	T3CH2	KI01	MISO/ TX0	INT0/ INT1/ INT3	--	C1P3	AD2/ DACETR0	--
P0.2	2	16	PDAT	T2nPWM	ETR	KI02	[RX1]	INT0/ INT1/ INT3	--	--	AD3	--
P0.3	2	16	--	T2/T2EX2 /T2PWM	T3CH3	KI03	--	INT0/ INT1/ INT3	--	--	AD4	--
P0.4	2	8	--	T2EX1	T3CH4	KI04	--	INT0/ INT1/ INT3	--	C0N3	AD5/ ADCETR0	H_P1A/ H_P3B
P0.5	2	8	--	T0/T0O/ T2EX3/BZ	T3CH4	KI05	--	INT0/ INT1/ INT3	OP1 P	C0N1	AD6	H_P2B
P0.6	2	8	VTS	T2PWM/ nBUZ	--	KI06	TX0	INT0/ INT1/ INT3	--	--	AD7	H_P2A
P0.7	2	8	--	T1/T1O/ T2nPWM/ nIRQ	T3CH4n	KI07	RX0	INT0/ INT1/ INT3	--	C1N0	AD8/ DACETR1	H_P3A
P1.0	2	16	--	T2/T2EX0	T3CH3n	KI10	SCK	INT1/ INT3	--	--	AD9	--
P1.1	2	16	CLKO	--	T3CH4/ T3CH2n	KI11	--	INT1/ INT3	--	--	AD10	--
P1.2	2	16	--	--	T3CH3/ T3CH1n	KI12	--	INT1/ INT3	--	--	--	--
P1.3	2	16	ADVR H	T0/T0O	T3CH3 /ETR	KI13	SCL	INT1/ INT3	--	CP10	ADCETR1	--
P1.4	2	16	--	--	T3CH4 /TBRK	KI14	SDA	INT1/ INT3	OP0 N	CP00	--	--
P1.5	2	16	ELVI	T2EX2/ T2PWM	T3CH3	KI15	NSS	INT1/ INT3	OP0 P	--	--	--
P1.6	2	8	--	--	T3CH4n	KI16	--	INT1/ INT3	OP1 N	C1P1	--	--

P1.7	2	8	--	--	--	KI17	--	INT1/ INT3	OP1 O	C0P1	--	--
P2.0	2	8	OSCI /CKI	--	--	KI20	TX1	INT1/ INT2/ INT3	--	--	AD0	--
P2.1	2	8	OSC O	--	--	KI21	RX1	INT1/ INT2/ INT3	--	CP0O/ CP1O	AD15	--
P2.2	2	8	VREF	T2PWM	--	KI22	[TX1]	INT1/ INT2/ INT3	OP0 O	--	AD13/ DACO	H_MID
P2.3	2	16	--	--	T3CH1	KI23	SCL	INT1/ INT2/ INT3	--	--	DACETR2	--
P2.4	2	16	--	--	T3CH2	KI24	SDA	INT1/ INT2/ INT3	--	C0N0	--	H_P1B
P3.0	2	8	RST/ PCLK	--	--	--	--	--	--	--	--	--
VDD	--	--	VDD	--	--	--	--	--	--	--	--	--
VSS	--	--	VSS	--	--	--	--	--	--	--	--	--

- 注：1. 该驱动能力以 3.3V 标准设计，5V 电压下可以达到更高的驱动能力。
2. 所有 I/O 的驱动能力都可以调节，请看寄存器 GPIODS0~GPIODS3 的描述。
3. 所有 I/O 的跳转 Rate 均可以按组设置，当使能 Slew rate 以后，可以减少 PAD 干扰，请参见 GPIOISR 寄存器描述。

4.4 引脚功能

表 4-2 引脚功能描述

I/O	管脚属性	管脚描述	引脚位置
端口			
P0.0-P0.7	I/O	8 位双向 I/O 口, 可位操作	P0.0~P0.7
P1.0-P1.7	I/O	8 位双向 I/O 口, 可位操作	P1.0~P1.7
P2.0-P2.4	I/O	5 位双向 I/O 口, 可位操作	P2.0~P2.4
P3.0	I/O	1 位双向 I/O 口, 可位操作	P3.0
烧录			
[PCLK]	I	编程时钟输入脚, 与复位引脚复用	P3.0
[PDATA]	I/O	编程数据输入输出脚	P0.2
系统			
nRST	I	外部复位脚, 低电平有效	P3.0
CLKO	O	时钟输出	P1.1
INT0	I	外部中断 0	P0.0~P0.7
INT1	I	外部中断 1	P0.0~P0.7, P1.0~P1.7, P2.0~P2.4
INT2	I	外部中断 2	P2.0~P2.4
INT3	I	外部中断 3	P0.0~P0.7, P1.0~P1.7, P2.0~P2.4
ELVI	I	低压检测外部输入电压	P1.5
VREF	O	基准电压	P2.2
OSCI	I	外部晶振输入脚	P2.0
OSCO	O	外部晶振输出脚	P2.1
CLKI	I	外部时钟输入脚	P2.0
定时器 (T0/1/2)			
T0	I	T0 外部计数时钟输入	P0.5, P1.3
T0O	O	T0 方波输出	P0.5, P1.3
T1	I	T1 外部计数时钟输入	P0.0, P0.7
T1O	O	T1 PWM 输出	P0.0, P0.7
T2	I	T2 外部计数时钟输入	P0.3, P1.0
T2EX0~T2EX3	I	T2 捕获输入	P0.3~P0.5, P1.0, P1.5
T2PWM	O	T2 PWM 输出	P0.3, P0.6, P1.5, P2.2
T2nPWM	O	T2 PWM 方向输出	P0.2, P0.7
nIRQ	O	WT IRQ 输出	P0.7
BUZ	O	蜂鸣器正相输出	P0.5
nBUZ	O	蜂鸣器反相输出	P0.6
键盘中断 KBI			
KI00~KI07	I	P0 口 8 位键盘中断	P0.0~P0.7
KI10~KI17	I	P1 口 8 位键盘中断	P1.0~P1.7
KI20~KI24	I	P2 口 5 位键盘中断	P2.0~P2.4
通信接口 (UART0/1、I2C、SPI)			
TX0	O	UART0 数据输出脚	P0.1, P0.6

I/O	管脚属性	管脚描述	引脚位置
RX0	I	UART0 数据输入脚	P0.0, P0.7
TX1	O	UART1 数据输出脚	P2.0, P2.2
RX1	I	UART1 数据输入脚	P0.2, P2.1
SDA0	I/O	I2C 数据输入输出脚	P1.4
SCL0	I/O	I2C 时钟输入输出脚	P1.3
SDA1	I/O	I2C 数据输入输出脚	P2.4
SCL1	I/O	I2C 时钟输入输出脚	P2.3
NSS	I/O	SPI 片选信号	P1.5
MISO	I/O	SPI 主入从出	P0.1
MOSI	I/O	SPI 主出从入	P0.0
SCK	I/O	SPI 时钟	P1.0
高级定时器 (T3)			
T3CH1	I/O	高级定时器通道 1, 可作为捕获输入 1 和 PWM1 输出;	P0.0, P2.3
T3CH1n	O	高级定时器互补通道 1, 互补 PWM1 输出;	P1.2
T3CH2	I/O	高级定时器通道 2, 可作为捕获输入 2 和 PWM2 输出;	P0.1, P2.4
T3CH2n	O	高级定时器互补通道 2, 互补 PWM2 输出;	P1.1
T3CH3	I/O	高级定时器通道 3, 可作为捕获输入 3 和 PWM3 输出;	P0.3, P1.2, P1.3, P1.5
T3CH3n	O	高级定时器互补通道 3, 互补 PWM3 输出;	P1.0
T3CH4	I/O	高级定时器通道 4, 可作为捕获输入 4 和 PWM4 输出;	P0.4, P0.5, P1.1, P1.4
T3CH4n	O	高级定时器通道 4, 互补 PWM4 输出	P0.7, P1.6
ETR	I	高级定时器外部触发	P0.2, P1.3
TBRK	I	高级定时器刹车输入	P1.4
模拟比较器 (ACMP0/1)			
C0P	I	比较器 0 正端输入	P1.7
C1P	I	比较器 1 正端输入	P1.6/P0.1
C0N	I	比较器 0 负端输入	P2.4/P0.5/P0.4
C1N	I	比较器 1 负端输入	P0.7
CP0O	O	比较器 0 输出	P1.4/P2.1
CP1O	O	比较器 1 输出	P1.3/P2.1
ADC 模数转换			
AD0~AD15	I	AD 电压采通道	P2.0, P0.0~P0.7, P1.0, P1.1, P2.2, P2.1
ADVRH	I/O	ADC 正电压输出管脚, 受 ADPREF 寄存器控制	P1.3
ADCETR0/ ADCETR1	I	ADC 外部触发输入引脚	P0.4, P1.3
运算放大器 (OPA0/1)			
OPOP	I	放大器 0 正端输入	P1.5
OP1P	I	放大器 1 正端输入	P0.5
OP0N	I	放大器 0 负端输入	P1.4
OP1N	I	放大器 1 负端输入	P1.6
OPOO	O	放大器 0 输出端	P2.2
OP1O	O	放大器 1 输出端	P1.7

I/O	管脚属性	管脚描述	引脚位置
反向电动势输入			
H_P1A	I	反向电动势 1 端输入 A	P0.4
H_P2A	I	反向电动势 2 端输入 A	P0.6
H_P3A	I	反向电动势 3 端输入 A	P0.7
H_P1B	I	反向电动势 1 端输入 B	P2.4
H_P2B	I	反向电动势 2 端输入 B	P0.5
H_P3B	I	反向电动势 3 端输入 B	P0.4
H_MID	O	反向电动势平均值输出	P2.2
DAC 数模转换			
DACO	P	DAC 电压输出端	P2.2
DACETR0/ DACETR1/ DACETR2	I	DAC 外部触发输入引脚	P0.1, P0.7, P2.3
电源供电			
VDD	P	电源电压	
VSS	—	地	
NN 预驱模块			
HIN1	I	高端输入脚 1	P0.3
HIN2	I	高端输入脚 2	P0.1
HIN3	I	高端输入脚 3	P0.0
LIN1	I	低端输入脚 1	P1.0
LIN2	I	低端输入脚 2	P1.1
LIN3	I	低端输入脚 3	P1.2
HO1	O	高端驱动输出脚 1	
HO2	O	高端驱动输出脚 2	
HO3	O	高端驱动输出脚 3	
LO1	O	低端驱动输出脚 1	
LO2	O	低端驱动输出脚 2	
LO3	O	低端驱动输出脚 3	
VB1	P	高端悬浮电源 1	
VB2	P	高端悬浮电源 2	
VB3	P	高端悬浮电源 3	
VS1	—	高端悬浮地 1	
VS2	—	高端悬浮地 2	
VS3	—	高端悬浮地 3	
VCC	P	驱动供电电源	
GND	—	地	
NP 预驱模块			
HIN1	I	高端输入脚 1	P0.3
HIN2	I	高端输入脚 2	P0.1
HIN3	I	高端输入脚 3	P0.0
LIN1	I	低端输入脚 1	P1.0

I/O	管脚属性	管脚描述	引脚位置
LIN2	I	低端输入脚 2	P1.1
LIN3	I	低端输入脚 3	P1.2
VDD5	P	LDO 输出电压脚，外接电容	
VCCP	P	LDO 电源供电脚，可以和 VCC 短接	
VCC	P	芯片供电电源	
HO1	O	高端驱动输出脚 1	
HO2	O	高端驱动输出脚 2	
HO3	O	高端驱动输出脚 3	
LO1	O	低端驱动输出脚 1	
LO2	O	低端驱动输出脚 2	
LO3	O	低端驱动输出脚 3	
GND	—	地	

注：管脚属性这一列中，P 表示电源管脚，I/O 表示通用输入/输出脚，I 表示输入脚，O 表示输出脚。

4.5 管脚结构

LCM08F003G 的管脚结构主要有 2 种形式：

4.5.1 T0：与 RST 复用的 GPIO

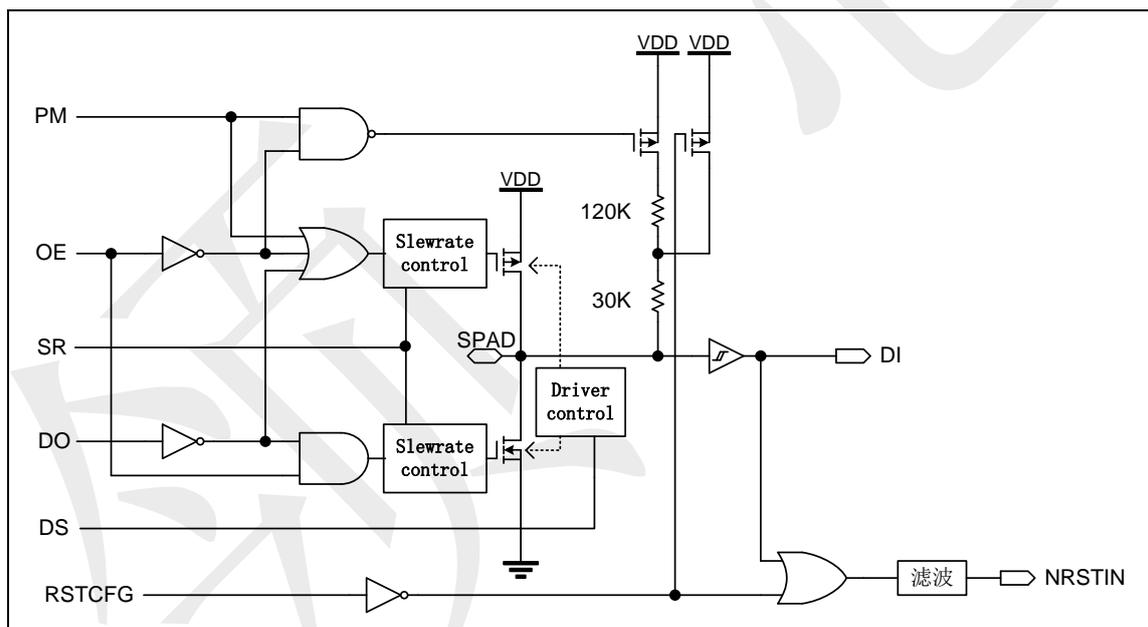


图 4-1 与 RST 复用的 I/O；该 I/O 适用于 P3.0

表 4-3 与 RST 复用的 I/O 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空 01: 输入上拉 10: 推挽输出 11: 开漏输出
DO	I	端口数据寄存器位。推挽输出时，DO=1，端口输出高电平；DO=0，端口输出

		低电平。
DI	O	端口到内核的数字输入信号。
RSTCFG	I	外部复位管脚配置位，默认为 1，作为外部复位管脚，强制端口为输入上拉（30KΩ）；清 0 时，做 GPIO，由{OE, PM}控制输入输出属性，RSTIN 一直为 1。
NRSTIN	O	复位输入信号。检测到 0 时复位电路。连接到内核。
SR	I	0: 没有 SLEWRATE; 1: 开启 SLEWRATE; 缺省: 0
DS	I	0: 2mA 驱动; 1: 8mA 驱动

4.5.2 T4: 与晶振/AD 复用的 GPIO

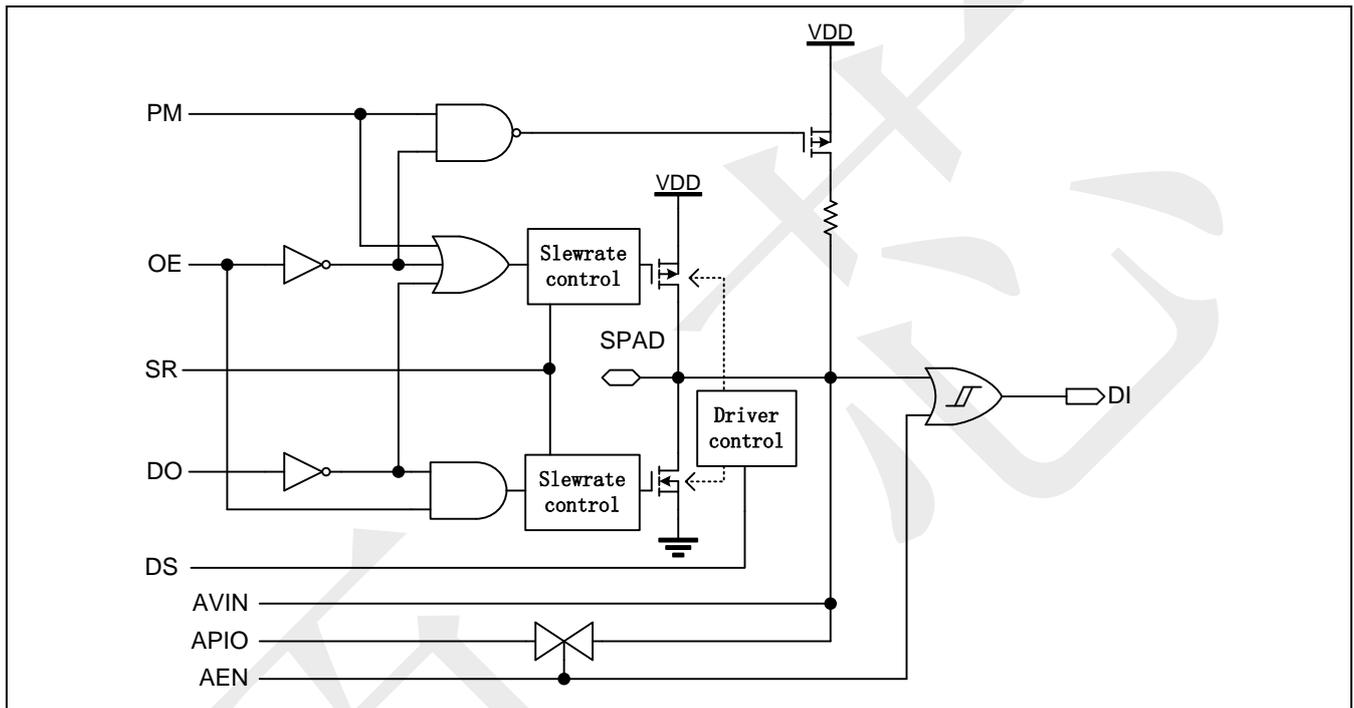


图 4-2 与晶振/AD 复用的 GPIO; 该 I/O 适用于除 P3.0 外其它 I/O

表 4-4 除 P3.0 外其它 I/O 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空 (缺省) 01: 输入上拉 10: 推挽输出 11: 开漏输出
DO	I	端口数据寄存器位。 推挽输出时, DO=1, 端口输出高电平; DO=0, 端口输出低电平。
DI	O	端口到内核的数字输入信号。
AEN	I	模拟通道使能信号, 高电平有效, 默认关闭。当 AEN 置 1 时, 开启模拟通道, 同时关闭端口到内核的数字输入, 读 DI 一直为 1。(模拟优先)
APIO	I/O	模拟信号。用于连接 AD 输入或者比较器输入。
AVIN	I/O	用于连接晶振模块的 XIN 和 XOUT。

DS	I	0: 2mA 驱动; 1: 8mA 或 16mA 驱动, 缺省: 0
SR	I	0: 没有 SLEWRATE; 1: 开启 SLEWRATE; 缺省: 0

注: 该 I/O 结构具有两种不同驱动能力的配置, 当 DS=1 时, 其中 P0.0、P0.1、P0.2、P0.3、P1.0、P1.1、P1.2、P1.3、P1.4、P1.5、P2.3、P2.4 驱动为 16mA, 其余 I/O 驱动为 8mA。

4.6 功能描述

4.6.1 模式设置

所有的 I/O 都可设置为 4 种模式: 输入悬空、输入上拉、推挽输出和开漏输出, 其中 P3.0 作为外部复位输入, 一旦配置成通用 GPIO 功能会导致无法进入 Debug 模式, 需要采用领芯的调试器供电对程序进行擦除。通常情况下, 每个端口都有 2 个寄存器位{OE, PM}来设置其属性(见寄存器说明)。但某些复用功能使能时, 会强制 I/O 为输入或输出, 即此时的{OE, PM}设置无效或部分无效, 详见下表:

表 4-5 引脚配置表

GPIO	复用功能		强制为			
	功能	配置	输入悬空	输入上拉	输出 ¹	输入 ²
P0.1	TXD0	UART0EN=10	—	—	√	—
P0.0	RXD0		—	—	—	√
P0.6	TXD1	UART0EN=11	—	—	√	—
P0.7	RXD1		—	—	—	√
P2.0	TXD2	UART1EN=10	—	—	√	—
P2.1	RXD2		—	—	—	√
P2.2	TXD3	UART1EN=11	—	—	√	—
P0.2	RXD3		—	—	—	√
P0.0	T3PWM1	TIM3OC1RMP = 0	—	—	√	—
P2.3	T3PWM1	TIM3OC1RMP = 1	—	—	√	—
P0.1	T3PWM2	TIM3OC2RMP = 0	—	—	√	—
P2.4	T3PWM2	TIM3OC2RMP = 1	—	—	√	—
P0.3	T3PWM3	TIM3OC3RMP = 00	—	—	√	—
P1.2	T3PWM3	TIM3OC3RMP = 01	—	—	√	—
P1.3	T3PWM3	TIM3OC3RMP = 10	—	—	√	—
P1.5	T3PWM3	TIM3OC3RMP = 11	—	—	√	—
P0.4	T3PWM4	TIM3OC4RMP = 00	—	—	√	—
P0.5	T3PWM4	TIM3OC4RMP = 01	—	—	√	—
P1.1	T3PWM4	TIM3OC4RMP = 10	—	—	√	—
P1.4	T3PWM4	TIM3OC4RMP = 11	—	—	√	—
P1.2	T3nPWM1	配置 T3 反向 PWM 使能即可	—	—	√	—
P1.1	T3nPWM2		—	—	√	—
P1.0	T3nPWM3		—	—	√	—
P0.7	T3nPWM4	TIM3OC4NRMP = 0	—	—	√	—
P1.6	T3nPWM4	TIM3OC4NRMP = 1	—	—	√	—
P0.3	T2PWM	T2PWMEN = 1, T2PWMRMP = 00	—	—	√	—
P0.6	T2PWM	T2PWMEN = 1,	—	—	√	—



		T2PWMRMP = 01				
P1.5	T2PWM	T2PWMEN = 1, T2PWMRMP = 10	—	—	v	—
P2.2	T2PWM	T2PWMEN = 1, T2PWMRMP = 11	—	—	v	—
P0.2	T2nPWM	T2NPWMEN = 1, T2NPWMRMP = 0	—	—	v	—
P0.7	T2nPWM	T2NPWMEN = 1, T2NPWMRMP = 1	—	—	v	—
P0.0	T1O	T1OE=0, T1PWMEN=1	—	—	v	—
P0.7	T1O	T1OE=1, T1PWMEN=1	—	—	v	—
P0.5	T0O	T0OE=0, TOPWMEN=1	—	—	v	—
P1.3	T0O	T0OE=1, TOPWMEN=1	—	—	v	—
P0.5	BUZ	BUZEN=1	—	—	v	—
P0.6	NBUZ	NBUZEN=1	—	—	v	—
P0.7	WTIRQ	NIRQEN = 1	—	—	v	—
P1.1	CLKO	CKTE=1	—	—	v	—
P1.3	CPO1	CPOEN = 1, CMP1SEL = 0	—	—	v	—
P1.4	CPO0	CPOEN = 1 CMPOSEL = 0	—	—	v	—
P2.1	CPO1	CPOEN1 = 1, CMP1SEL = 1	—	—	v	—
P2.1	CPO0	CPOEN1 = 0, CPOEN = 1 CMPOSEL = 1	—	—	v	—
P2.1	XTOUT	CRYIOEN=0	—	—	v	—
P2.0	XIN		v	—	—	v
*	ADx	相应的 AEN	—	—	—	v(模拟)
P2.2	VREF	VBGBUFEN=1	—	—	v(模拟)	—
P2.2	DACO	DACEN = 1, DACOUTEN = 1, AMPOUT1_EN =1, HALL_MID_EN = 0			v(模拟)	
P2.2	H_MID	DACEN = 0, DACOUTEN = 1, AMPOUT1_EN =0, HALL_MID_EN = 1			v(模拟)	

注 1: 输出指的是该 I/O 的 OE 被强制为 1, 但 PM 却没有被强制设置, 所以此时写{OE, PM}, 仍会影响 MD 的值。I/O 模拟功能使能情况下, 自动会将数字输出功能屏蔽。

注 2: 输入指的是该 I/O 的 OE 被强制为 0, 但 PM 却没有被强制设置, 所以此时写{OE, PM}, 仍会影响 PM 的值。I/O 模拟功能使能情况下, 自动会将数字输入功能屏蔽;

虽然上述复用功能使能时, 会将 I/O 强制为某种输入/输出状态, 但为了可靠, 建议客户也对{OE, PM}赋值, 将 I/O 设置为想要的状态。

4.6.2 功能复用

LCM08F003G 的 I/O 除了做通用 I/O 外，还可以灵活复用做其它功能。

◇ 复用作 XTIN/XTOUT

LCM08F003G 的时钟源可以选择外部晶振(高频和低频复用同一 I/O)。通过设置 CRYIOEN=0, 将 P2.0/P2.1 用作 XTIN/XTOUT, 同时强制 P2.0/P2.1 为输入悬空, 并关闭端口到内核的数字通道, 读端口始终为 1。如果 CRYEN=0, 即外接晶振关闭, 则 P2.1/XOUT 强制下拉, P2.0/XTIN 强制上拉。

◇ 复用作 nRST

P3.0 默认用作外部复位脚 nRST, 强制 I/O 为输入上拉, 上拉电阻典型值约为 30KΩ。如果检测到有效的低电平(低电平宽度>滤波宽度(5us)), 则复位电路。作为 GPIO 时, 设置 RSTCFG 为 0, 此时 P3.0 的模式由{OE, PM}来设置。

◇ 复用作模拟输入

LCM08F003G 内置模拟比较器、低压检测、AD 采用输入等需要外部输入模拟电压的电路。需要先设置相应 IO 的{OE, PM}将其设置为输入悬空, 然后设置 PnAEN (n=0/1/2) 的相应位为 1, 打开模拟通道, 同时关闭端口到内核的数字通道, 读端口始终为 1。

◇ 复用作 KBI

LCM08F003G 的 P0/P1/P2 可复用作键盘中断输入, 用于唤醒 STOP/SLEEP。通过设置 KBICON 和 KBIWKP 可以选择相应的 IO 是否作为 KBI 输入和输入极性。

注: 用作 KBI 时, 要先将 I/O 设置为输入。上拉可根据需要使能。

◇ 复用作外部中断

LCM08F003G 有 4 路外部中断, 用于唤醒 STOP/SLEEP。通过设置 EINTCS1 和 EINTCS0 可以选择相应的 I/O 是否作为 EINT 输入和输入极性。

注: 用作外部中断时, 要先将 I/O 设置为输入。上拉可根据需要使能。

4.7 使用提示

GPIO 是电路与外界沟通的主要通道, 正确配置使用 GPIO 有助于改善系统的性能。

◇ 除 P3.0 默认为输入上拉外, 其余管脚复位后默认为输入悬空, 容易引起静态电流, 也很容易受到静电冲击, 因此未使用的管脚必须通过软件设置或添加外部电路使对应管脚进入确定状态。设置成输入时, 建议外部接 1kΩ 电阻上拉到电源或下拉到地; 也可以设置成输出状态。

◇ 没引出的 I/O 管脚最好设置成输出口, 而不是输入上拉, 因为内部上拉电阻较大, 易受干扰。

◇ 任何 I/O 的输出驱动能力都有限制。拉/灌电流超过额定范围长期工作的电路容易引起 I/O 失效。典型应用如直接使用某些 I/O 直接驱动多个 LED, 这一点请用户尽力避免。

4.8 寄存器说明

GPIO 的相关寄存器如 4-6 所示。

表 4-6 GPIO 寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
P0	P0 数据寄存器	√	R/W	0000_0000B	80H
P1	P1 数据寄存器	√	R/W	0000_0000B	90H
P2	P2 数据寄存器	√	R/W	uuu0_0000B	A0H
P3	P3 数据寄存器	√	R/W	uuuu_uuu0B	B0H
P0MDL	P0 模式控制寄存器(低字节)	×	R/W	0000_0000B	ECH
P1MDL	P1 模式控制寄存器(低字节)	×	R/W	0000_0000B	EDH
P2MDL	P2 模式控制寄存器(低字节)	×	R/W	0000_0000B	EEH

名称	说明	可位寻址	读写权限	复位值	字节地址
P3MDL	P3 模式控制寄存器 (低字节)	x	R/W	uuuu_uu00B	EFH
P0MDH	P0 模式控制寄存器 (高字节)	x	R/W	0000_0000B	FCH
P1MDH	P1 模式控制寄存器 (高字节)	x	R/W	0000_0000B	FDH
P2MDH	P2 模式控制寄存器 (高字节)	x	R/W	uuuu_uu00B	FEH
P0AEN	P0 模拟通道允许寄存器	x	R/W	0000_0000B	FFC0H
P1AEN	P1 模拟通道允许寄存器	x	R/W	0000_0u00B	FFC1H
P2AEN	P2 模拟通道允许寄存器	x	R/W	uuu0_0000B	FFC2H
GPIODS0	P0 驱动能力控制	x	R/W	0000_0000B	FFD5H
GPIODS1	P1 驱动能力控制	x	R/W	0000_0000B	FFD6H
GPIODS2	P2 驱动能力控制	x	R/W	uuu0_0000B	FFD7H
GPIODS3	P3 驱动能力控制	x	R/W	uuuu_uuu0B	FFD8H
GPIOSR	I/O 斜率(slew rate)调节	x	R/W	uuuu_1111B	FFE8H
IOMUX0	IO 复用控制寄存器 0	x	R/W	0000_0000B	FFE0H
IOMUX1	IO 复用控制寄存器 1	x	R/W	0000_000uB	FFE1H
IOMUX2	IO 复用控制寄存器 2	x	R/W	00uu_0000B	FFE2H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

GPIO 寄存器的详细说明如下：

P0 模式控制寄存器（低字节）P0MDL (ECH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P0OE3	P0PM3	P0OE2	P0PM2	P0OE1	P0PM1	P0OE0	P0PM0
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	0	0

P0 模式控制寄存器（高字节）P0MDH (FCH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P0OE7	P0PM7	P0OE6	P0PM6	P0OE5	P0PM5	P0OE4	P0PM4
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	0	0

{OE, PM} 端口模式控制位，{P0OE[n], P0PM [n]}控制管脚 P0.n

00: 输入悬空

01: 输入上拉

10: 推挽输出

11: 开漏输出

P0 数据寄存器 (80H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	0	0

P0.n 设置为输出时：写寄存器 P0[n]=0，则 P0.n 管脚输出逻辑低电平；写寄存器 P0[n]=1，则 P0.n 管脚输出逻辑高电平（推挽输出）或高阻（开漏输出）。读寄存器 P0[n]时不受 P0.n 管脚状态的影响，也是对寄

寄存器 P0[n]进行读操作。

P0.n 设置成输入方式时：写寄存器 P0[n]不影响 P0.n 端口状态。读寄存器 P0[n]=0，则表示 P0.n 管脚输入逻辑低电平；读寄存器 P0[n]=1，表示 P0.n 管脚输入逻辑高电平。

P1 模式控制寄存器（低字节）P1MDL（EDH）

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P1OE3	P1PM3	P1OE2	P1PM2	P1OE1	P1PM1	P1OE0	P1PM0
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	0	0

P1 模式控制寄存器（高字节）P1MDH（FDH）

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P1OE7	P1PM7	P1OE6	P1PM6	P1OE5	P1PM5	P1OE4	P1PM4
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	0	0

{OE, PM} 端口模式控制位，{P1OE[n], P1PM[n]}控制管脚 P1.n

- 00: 输入悬空
- 01: 输入上拉
- 10: 推挽输出
- 11: 开漏输出

P1 数据寄存器 P1（90H）

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	0	0

注 对于 P1[1:0]，当用作外部晶振管脚时（CRYIOEN=0），强制 IO 为输入悬空，{OE, PM}的设置无效。

P1.n 设置为输出时：写寄存器 P1[n]=0，则 P1.n 管脚输出逻辑低电平；写寄存器 P1[n]=1，则 P1.n 管脚输出逻辑高电平（推挽输出）或高阻（开漏输出）。读寄存器 P1[n]时不受 P1.n 管脚状态的影响，也是对寄存器 P1[n]进行读操作。

P1.n 设置成输入方式时，写寄存器 P1[n]不影响端口状态。读寄存器 P1[n]=0，则表示 P1.n 管脚输入逻辑低电平；读寄存器 P1[n]=1，表示 P1.n 管脚输入逻辑高电平。

P2 模式控制寄存器（低字节）P2MDL（EEH）

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P2OE3	P2PM3	P2OE2	P2PM2	P2OE1	P2PM1	P2OE0	P2PM0
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	0	0

P2 模式控制寄存器（高字节）P2MDH（FEH）

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	P2OE4	P2PM4
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W

复位值:	U	U	U	U	U	U	0	0
{OE, PM}	端口模式控制位, {P2OE[n], P2PM[n]}控制管脚 P2.n							
	00: 输入悬空							
	01: 输入上拉							
	10: 推挽输出							
	11: 开漏输出							

P2 数据寄存器 P2 (A0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	P2.4	P2.3	P2.2	P2.1	P2.0
访问权限:	R-0	R-0	R-0	R/W	R/W	R/W	R/W	R/W
复位值:	U	U	U	0	0	0	0	0

P2.n 设置为输出时: 写寄存器 P2[n]=0, 则 P2.n 管脚输出逻辑低电平; 写寄存器 P2[n]=1, 则 P2.n 管脚输出逻辑高电平(推挽输出)或高阻(开漏输出)。读寄存器 P2[n]时不受 P2.n 管脚状态的影响, 也是对寄存器 P2[n]进行读操作。

P2.n 设置成输入方式时: 写寄存器 P2[n] 不影响端口状态。读寄存器 P2[n]=0, 则表示 P2.n 管脚输入逻辑低电平; 读寄存器 P2[n]=1, 表示 P2.n 管脚输入逻辑高电平。

P3 模式控制寄存器(低字节) P3MDL (EFH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	P3OE0	P3PM0
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

P3 数据寄存器 P3 (B0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	—	P3.0
访问权限:	R-0	R/W						
复位值:	U	U	U	U	U	U	U	0

注 对于 P3[0], 当用作外部复位管脚时 (RSTCFG=1), 强制 IO 为输入上拉, {OE, PM}的设置无效。

P3.n 设置为输出时: 写寄存器 P3[n]=0, 则 P3.n 管脚输出逻辑低电平; 写寄存器 P3[n]=1, 则 P3.n 管脚输出逻辑高电平(推挽输出)或高阻(开漏输出)。读寄存器 P3[n]时不受 P3.n 管脚状态的影响, 也是对寄存器 P3[n]进行读操作。

P3.n 设置成输入方式时: 写寄存器 P3[n]不影响管脚状态。读寄存器 P3[n]=0, 则表示 P3.n 管脚输入逻辑低电平; 读寄存器 P3[n]=1, 表示 P3.n 管脚输入逻辑高电平。

P0 模拟通道允许寄存器 POAEN (FFC0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	POAEN[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

注 当模拟通道使能信号置 1 时, 打开模拟通道, 同时关闭端口到内核的数字通道, 读端口一直为 1。

Bit 7:0 POAEN[n]: P0 [n]端口模拟通道使能位

0: 关闭模拟通道(默认)

1: 开启模拟通道

POAEN[7]: AD8 模拟复用/比较器 1 负端 C1N0 输入/DAC 转换触发引脚 1/霍尔 3 端输入 A

POAEN[6]: AD7/VTS 模拟复用(温度传感器, 如果输出到 PAD, 需模拟使能)/霍尔 2 端输入 A

POAEN[5]: AD6/比较器 0 负端 CON0 输入/运放 1 正端 OP1P 输入/霍尔 2 端输入 B

POAEN[4]: AD5 模拟复用/ADC 转换触发引脚 0/霍尔 1 端输入 A/霍尔 3 端输入 B

POAEN[3]: AD4 模拟复用

POAEN[2]: AD3 模拟复用

POAEN[1]: AD2 模拟复用/DAC 转换触发引脚 0/比较器 1 正端 C1P3 输入

POAEN[0]: AD1 模拟复用

P1 模拟通道允许寄存器 P1AEN (FFC1H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P1AEN[7:3]					—	P1AEN[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R-0	R/W	R/W
复 位 值:	0	0	0	0	0	U	0	0
注	当模拟通道使能信号置 1 时, 打开模拟通道, 同时关闭端口到内核的数字通道, 读端口一直为 1, PM/OE 控制均无效。							

Bit 7:3 P1AEN[n]: P1 [n]端口模拟通道使能位

0: 关闭模拟通道 (默认)

1: 开启模拟通道

P1AEN[7]: 运放 1 输出 OP1O/比较器 0 正端 C0P1 输入

P1AEN[6]: 运放 1 负端输入 OP1N /比较器 1 正端 C1P1 输入

P1AEN[5]: 运放 0 正端输入 OPOP /LVD 外部监测电压输入

P1AEN[4]: 比较器 0 输出 C0O0/运放 0 负端输入 OP0N

P1AEN[3]: ADC 外部参考电压 ADVRH 输入或内部参考电压 eVRH 输出/ADC 转换触发引脚 1 保留

Bit 2

Bit 1:0 P1AEN[n]: P1 [n]端口模拟通道使能位。

0: 关闭模拟通道 (默认)

1: 开启模拟通道

P1AEN[1]: AD10 模拟复用

P1AEN[0]: AD9 模拟复用

P2 模拟通道允许寄存器 P2AEN (FFC2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	P2AEN[4:0]				
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	0	0	0	0	0

Bit 7:5 保留

Bit 4:0 P2AEN[4:0]: P2 [n]端口模拟通道使能位。

0: 关闭模拟通道 (默认)

1: 开启模拟通道

P2AEN[4]: 比较器 0 负端 CON0 输入/霍尔 1 端输入 B

P2AEN[3]: DAC 转换触发引脚 2

P2AEN[2]: AD13 模拟复用/运放 0 输出 OP0O /VBG 输出/DAC 输出/反向电动势平均值输出

P2AEN[1]: AD15 模拟复用/比较器 0 输出 C0O1/比较器 1 输出 C1O1

P2AEN[0]: ADO 模拟复用

管脚复用控制寄存器 IOMUX0 (FFE0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMPOSEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
注	寄存器位置 1 时, 强制将复用管脚设置为功能模块对应的方向。							

Bit 7:6 UART1EN[1:0]: UART1 输入/出引脚复用控制信号

BitMap = 0:

00: 对应引脚做 GPIO 使用 (默认)

01: 对应引脚做 GPIO 使用

10: RX >> P2.1, TX >> P2.0

11: RX >> P0.2, TX >> P2.2

BitMap = 1:

00: RX >> P2.1, TX >> P2.0

01: RX >> P2.1, TX >> P2.2

10: RX >> P0.2, TX >> P2.0

11: RX >> P0.2, TX >> P2.2

Bit 5:4 UART0EN[1:0]: UART0 输入/出引脚复用控制信号

BitMap = 0:

00: 对应引脚做 GPIO 使用 (默认)

01: 对应引脚做 GPIO 使用

10: RX >> P0.0, TX >> P0.1

11: RX >> P0.7, TX >> P0.6

BitMap = 1:

00: RX >> P0.0, TX >> P0.1

01: RX >> P0.0, TX >> P0.6

10: RX >> P0.7, TX >> P0.1

11: RX >> P0.7, TX >> P0.6

Bit 3 SPIEN: SPI 引脚复用控制信号

0: P0.0、P0.1、P1.0、P1.5 做 GPIO 使用 (默认)

1: 对应引脚复用成 SPI 功能脚

MOSI >> P0.0, MISO >> P0.1, SCK >> P1.0, NSS >> P1.5

Bit 2 nIRQEN: WT 中断输出引脚控制信号

0: P0.7 做 GPIO 使用 (默认)

1: P0.7 用做 WT nIRQ 中断输出

Bit 1 ACMP1SEL: 比较器 1 的比较结果输出引脚控制

0: P1.3 做 CPO 使用 (比较器 1 的使能位 CPEN 必须为 1, 否则 P1.3 仍做 GPIO)

1: P2.1 做 CPO 使用 (比较器 1 的使能位 CPEN 必须为 1, 否则 P2.1 仍做 GPIO)

Bit 0 ACMPOSEL: 比较器 0 的比较结果输出引脚控制

0: P1.4 做 CPO 使用 (ACMP0 的使能位 CPEN 必须为 1, 否则 P1.4 仍做 GPIO)

1: P2.1 做 CPO 使用 (ACMP0 的使能位 CPEN 必须为 1, 否则 P2.1 仍做 GPIO)

当 P2.1 同时满足 ACMP0 和 ACMP1 的 CPO 输出的条件时, P2.1 复用成 ACMP1 的 CPO 输出

管脚复用控制寄存器 IOMUX1 (FFE1H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	BKMODE	BKEN[3:0]				ETRRMP	INT1SEL	—
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R-0
复位值:	0	0	0	0	0	0	0	U

- Bit 7 BKMODE : 定时器 3 (高级定时器) 刹车输入模式选择
 0: 刹车源全或输入 (源包括: 引脚 P1.4, ACMP0, ACMP1, ADC)
 1: 刹车源全与输入 (源包括: 引脚 P1.4, ACMP0, ACMP1, ADC)
- Bit 6:3 BKEN[3:0]: 定时器 3 (高级定时器) 刹车源使能位, 高电平有效
 BKEN[3]: ADC 刹车源使能控制
 BKEN[2]: ACMP1 刹车源使能控制
 BKEN[1]: ACMP0 刹车源使能控制
 BKEN[0]: 引脚 P1.4 刹车源使能控制
- Bit 2 ETRRMP: 定时器 3 (高级定时器) 外部触发引脚选择
 0: P0.2 复用成触发输入 (默认)
 1: P1.3 复用成触发输入
- Bit 1 INT1SEL: 外部中断 INT1 输入选择位
 0: 选择端口, 参见 EINT01RMP (默认)
 1: 选择 RCL/8
- Bit 0 保留

管脚复用控制寄存器 IOMUX2 (FFE2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	T1OE	TOOE	—	—	I2CRMP[1:0]		BUZEN	nBUZEN
访问权限:	R/W	R/W	R-0	R-0	R/W	R/W	R/W	R/W
复位值:	0	0	U	U	0	0	0	0
注	TOOE, T1OE 复用控制分别在 TOPWMEN 和 T1PWMEN 为高电平时有效。							

- Bit 7 T1OE: 定时器 1 PWM 波形输出使能位 (仅 T1PWMEN=1 时有效)
 0: P0.0 复用成 PWM (默认)
 1: P0.7 复用成 PWM
- Bit 6 TOOE: 定时器 0 方波输出使能位 (仅 TOPWMEN=1 时有效)
 0: P0.5 复用成 PWM (默认)
 1: P1.3 复用成 PWM
- Bit 5:4 保留
- Bit 3:2 I2CRMP: I2C 引脚复用
 0x: 对应脚复用成 GPIO
 10: SCL >> P1.3, SDA >> P1.4
 11: SCL >> P2.3, SDA >> P2.4
- Bit 1 BUZEN: BUZ 复用使能位。
 0: P0.5 用做 GPIO (默认)
 1: P0.5 用做 BUZ 输出
- Bit 0 nBUZEN: nBUZ 复用使能位
 0: P0.6 用做 GPIO (默认)
 1: P0.6 用做 nBUZ 输出

P0 驱动能力控制寄存器 GPIO_DS0 (FFD5H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PT0DS[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
注	强驱动情况下，PWM 相关的 IO 驱动能力可以达到 16mA 以上，请参考 5.3 章节。GPIO_DS1/2/3 寄存器同理。							

Bit7-0 PT0DS[n]: P0.n 引脚的驱动能力控制位
 0: 弱驱动能力 (2mA)
 1: 强驱动能力 (>=8mA)

P1 驱动能力控制寄存器 GPIO_DS1 (FFD6H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PT1DS[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 PT1DS[n]: P1.n 引脚驱动能力控制位
 0: 弱驱动能力 (2mA)
 1: 强驱动能力 (>=8mA)

P2 驱动能力控制寄存器 GPIO_DS2 (FFD7H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	PT2DS[4:0]				
访问权限:	R-0	R-0	R-0	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	0	0	0	0	0

Bit 7:0 PT2DS[n]: P2.n 驱动能力控制位
 0: 弱驱动能力 (2mA)
 1: 强驱动能力 (>=8mA)

P3 驱动能力控制寄存器 GPIO_DS3 (FFD8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	—	PT3DS[0]
访问权限:	R-0	R/W						
复 位 值:	U	U	U	U	U	U	U	0

Bit 7:0 PT3DS[0]: P3.0 驱动能力控制位
 0: 弱驱动能力 (2mA)
 1: 强驱动能力 (>=8mA)

I/O 斜率 (slew rate) 调节寄存器 GPIO_SR (FFE8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	PTSR[3:0]			
访问权限:	R-0	R-0	R-0	R-0	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	U	1	1	1	1

Bit 7:4 保留

Bit 3	P3 I/O 转换速率 0: 没有 SLEWRATE 1: 开启 SLEWRATE (默认)
Bit 2	P2 I/O 转换速率 0: 没有 SLEWRATE 1: 开启 SLEWRATE (默认)
Bit 1	P1 I/O 转换速率调节 0: 没有 SLEWRATE 1: 开启 SLEWRATE (默认)
Bit 0	P0 I/O 转换速率调节 0: 没有 SLEWRATE 1: 开启 SLEWRATE (默认)

5. 时钟系统

LCM08F003G 共有 3 个时钟源，分别为：

- ◇ RCL: 内部 32 kHz 低频 RC 时钟
- ◇ RCH: 内部 16 MHz 高频 RC 时钟
- ◇ CRY: 外接晶振（高频和低频复用），32.768 kHz 或 1~16 MHz

灵活配置这些时钟源，可适应多种供电方案的需求。在稳压系统中，如果需要更快的处理能力，那么可以外接高频晶振。在普通方案中，用内置 16 MHz 时钟作为主时钟，可以降低成本，同时节省两个 I/O 脚。

5.1 基本特征

- ◇ 丰富的时钟源选择，极大提高系统开发的灵活性
- ◇ 复位后默认 RCH 为系统时钟，支持系统快速启动
- ◇ WDT 时钟源来自 RCL，不依赖当前系统时钟，极大提高了系统的可靠性
- ◇ 外接高频晶振和低频晶振复用，通过寄存器配置
- ◇ 外部晶振管脚与 I/O 复用，不接晶振时可用作普通 I/O
- ◇ 系统时钟源可来自 RCH 或 CRY，有 7 种分频系数可选：1/2/4/8/16/32/64
- ◇ 时钟切换保护：与时钟系统相关的寄存器具有写保护功能，可以提高系统可靠性

5.2 功能框图

LCM08F003G 的时钟系统模块的内部结构如下图：

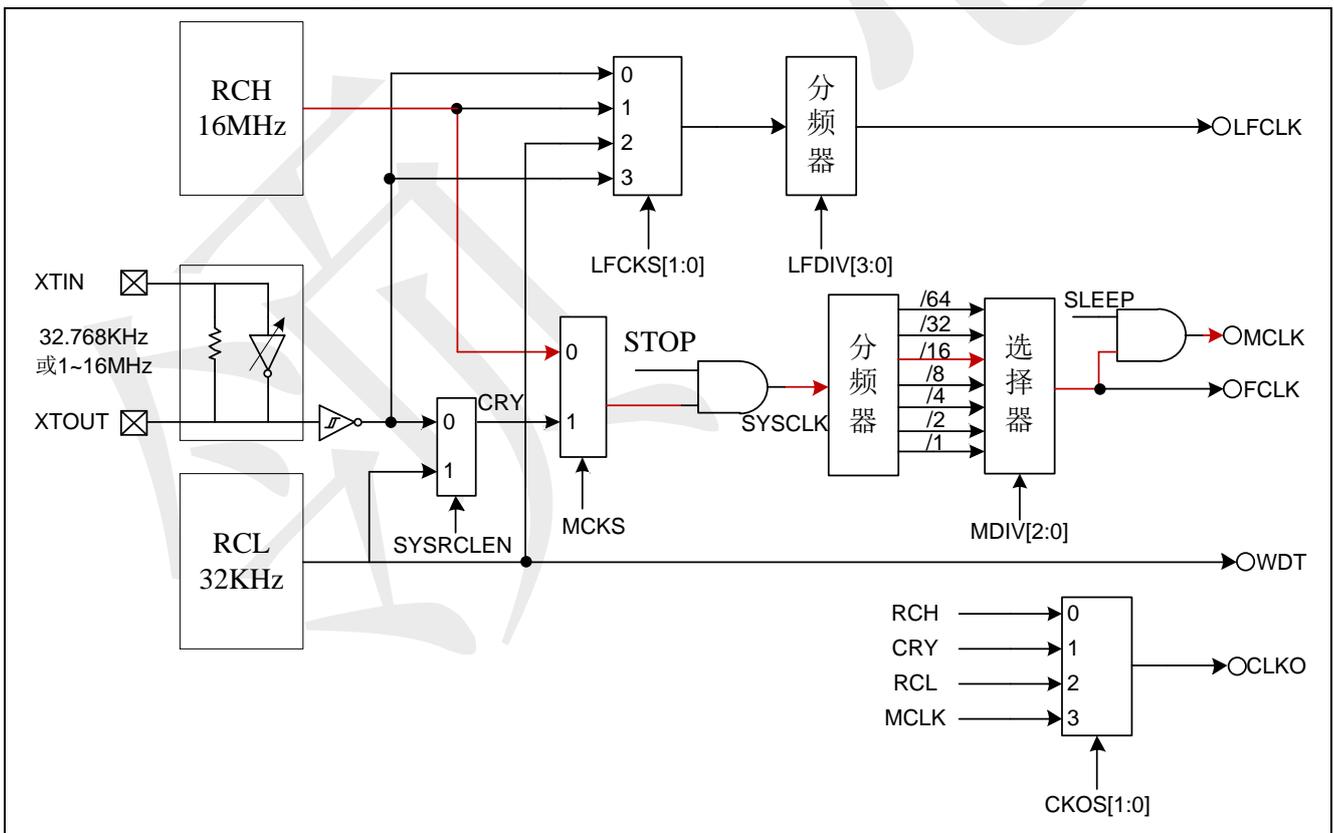


图 5-1 时钟系统结构

提示：红线表示系统时钟的默认路径。上图中部分时钟名解释如下：

- SYSCLK CPU 的时钟源，来自 RCH、CRY 或者 RCL，分频后供给 MCLK/FCLK。
MCLK CPU 时钟，SLEEP 模式下该时钟停止，本文中提到的系统时钟也指该时钟。

- FCLK 与 MCLK 时钟频率相同，但是在 SLEEP 模式下仍继续工作。FCLK 主要供给 SLEEP 模式需要工作的外设模块，如中断控制系统、T0、T1 等各个模块的时钟单独可控制。
- LFCLK 低频时钟，给 WT 提供时钟。

5.3 工作模式

LCM08F003G 有 3 种工作模式，每种模式下的时钟工作如下：

- ◇ RUN 模式：所有时钟源经配置后可工作。
- ◇ SLEEP 模式：RCH, CRY（配置为高频），RCL 经配置后可工作；MCLK 停止，SYSClk 以及 FCLK 继续工作。
- ◇ STOP 模式：高频时钟源（RCH 与 CRY（配置为高频））停止工作；RCL 经配置后可工作。

系统复位后，CRY 默认关闭，对应管脚用作普通 I/O；RCH 默认开启；RCL 默认开启。选择 RCH 的 16 分频作为系统时钟。

表 5-1 不同工作模式下的时钟源配置

时钟源		RUN	SLEEP	STOP
RCH		MCKS=0 时运行		停止
CRY	CRYH	CRYEN=1, CRYIOEN=0 同时满足时运行，MCKS 根据需求设置；		停止
	CRYL			CRYLCFG=0 时， CRYEN=1, CRYIOEN=0 同时满足运行。 CRYLCFG=1 时停止
RCL		运行	RCLCFG=0 时运行，RCLCFG=1 时停止	

注：若系统时钟切换到 CRY，则 MCKS = 1，若 SYSRCLEN=1，则 CRY 时钟的源变为 RCL 时钟。

5.4 管脚配置

与时钟系统复用的外部管脚有 3 个，其配置如下表：

表 5-2 时钟系统管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
OSCI	I	外部晶振输入脚	P2.0	CRYIOEN (91H.3) 清 0
OSCO	O	外部晶振输出脚	P2.1	CRYIOEN (91H.3) 清 0
CLKO	O	时钟输出管脚	P1.1	CKTE (FFAF.4 置 1) CKOS (FFAF.1, FFAF.0.) 00: RCH; 01: CRY; 10: RCL; 11: MCLK;

5.5 功能描述

5.5.1 时钟源

LCM08F003G 系统中，时钟系统包含 3 个时钟源：外部晶振 CRY（含高频和低频）；内部高精度 16 MHz RC 振荡 RCH；内部低频 32 kHz RC 振荡 RCL。

5.5.1.1 内部高频 RCH 振荡

内部 RCH 振荡提供 16 MHz 的时钟，该振荡在出厂时会校准，但是频率随工作电压/温度/工艺离散性有一定变化，因此在需要特别高精度的应用中不建议使用该时钟作为 CPU 时钟源。

内部 RCH 振荡没有专门的寄存器使能位，上电后默认开启，计数 256 个周期后切换给 MCLK，默认是 RCH 的 16 分频。当成功切换到外部晶振（读 MCKS (91H.2) 为 1）时自动关闭。

SLEEP 模式下，RCH 继续运行。

STOP 模式下，RCH 停止运行。

5.5.1.2 外部晶振 CRY

外接晶振包含高频和低频，两者共用两个管脚，由信息区配置：当 CRYCFG 为 0 时选择低频晶振，外接 32.768 kHz 晶振，当 CRYCFG 为 1 时选择高频晶振，外接 4~16 MHz 晶振。尽管 RCH 能满足多数低成本系统的时钟需求，但是在下面两种应用中需要外接晶振：

✧ 应用所需系统时钟非 1/2/4/8/16 MHz。RCH 只能输出相对稳定的 16 MHz 时钟，可选择 1/2/4/8/16/32/64 分频。如果系统需要其他时钟频率的话，则必须外接晶振。

✧ 如果系统对于时钟的精度要求特别高，RCH 不能满足要求时，须外接高频晶振以满足频率精度需求。

使用外部晶振时，将占用两个 I/O 口：P2.0/XTIN 和 P2.1/XTOUT，由 CRYIOEN 来选择是用作 GPIO 还是外部晶振脚。当 CRYIOEN 置 0 时，用作外部晶振脚，此时如果 CRYEN 为 1 则开启外部晶振，如果 CRYEN 为 0 则 XTIN 被下拉，XTOUT 被上拉。

SLEEP 模式下，高频或低频晶振继续运行。

STOP 模式下，高频晶振停止，低频晶振在 CRYLCFG 为 0 时可继续运行，CRYLCFG 为 1 时停止。

考虑到不同工作环境下，电压/温度/晶振频率/类型等的差异，晶振的起振时间也将不同。为了可靠起见，晶振起振后要经过适当的延时才会释放时钟给系统使用。本电路中为外部振荡添加了晶振稳定延时计数器，延时时间通过 OST[1:0] 设置。高频晶振下，默认计数 2^{15} 个周期后才会释放外部振荡时钟。如频率为 4 MHz 的振荡，将增加约 8 ms 的延时。

5.5.1.3 内部低频 RCL 振荡

RCL 振荡没有专门的寄存器使能位，上电后默认开启，可以给 WDT、WT 提供时钟，典型频率为 32 kHz。

RCL 由 RCLCFG 控制，RCLCFG 为 0 时，RCL 始终开启；RCLCFG 为 1 时，RCL 由工作模式决定：运行模式下始终开启；SLEEP/STOP 模式下自动关闭。

上面这三个时钟源（RCH/CRY/RCL）连同系统主时钟 MCLK 可通过 TESTCON 寄存器设置输出到管脚。这样，既方便测试，又能为外围电路提供时钟源。

5.6.2 系统时钟配置

外部晶振 CRY、内部 RCL 和内部高频 RCH 都可以作为系统时钟源。LCM08F003G 的系统时钟经过 3 级选择产生（图 5-1），第一级在 CRY 和 RCL 之间进行选择（SYSRCLEN），第二级通过 MCKS 位选择 RCH 或第一级的选择结果(RCL/CRY)，输出时钟 SYSCLK 再经过 MDIV[2:0]选择合适的分频系数然后供给 CPU 核。分频比有 7 种可选：1/2/4/8/16/32/64，复位后默认系统主时钟 RCH/16。

根据不同的应用，主系统时钟会在 RCH 与 CRY 之间切换（RCH 与 RCL 之间切换，只需要将 SYSRCLEN 设置为 0，然后不使能 CRY，其余过程与 RCH 切换到 CRY 一致）。

5.6.2.1 RCH 切换到 CRY

电路上电后，RCH 默认打开，SYSCLK 来自 RCH。如果需要切换到外部振荡，有两种常用的切换流程。

✧ 最直接的切换过程：通过写寄存器 MCKSET，将外部晶振使能位 CRYEN（若 RCH 与 RCL 切换，以配置 SYSRCLEN 替换这个步骤）和时钟源选择位 MCKS 置 1，切换时序见图 5-2，SYSCLK 的 2 分频作为系统时钟。

由于 CRYEN 和 MCKS 同时置 1，考虑到晶振需要一段时间起振稳定，因此只有 OST 设置的晶振稳定延时结束后才能切换。稳定时间结束前，系统时钟依然来自 RCH。CRY 稳定时间结束后，切换到 CRY 供给系统时钟。

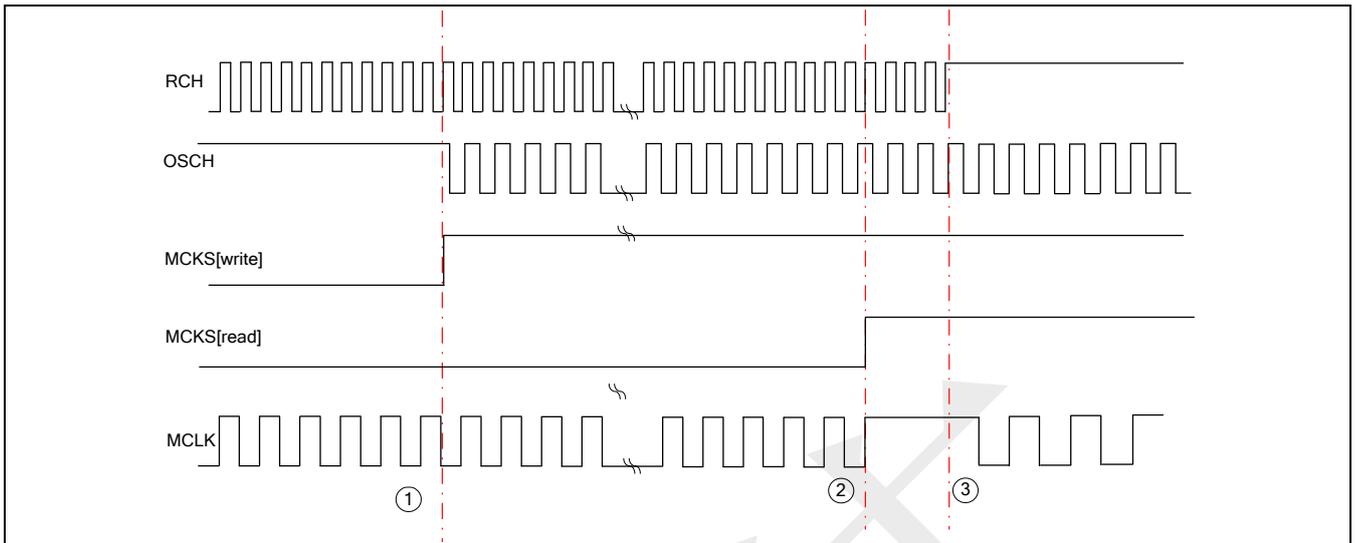


图 5-2 RCH 切换到 CRYH 时序

图 5-2 中①表示写入 MCKS 位，②表示 CRYH 时钟稳定（OSTS 设置的时间结束），下一节拍启动切换。③表示系统时钟切换到 CRYH。①和②之间为等待外部振荡稳定的延时时间，②和③之间为两个时钟交互的区域，该时间最长为 1 个 RCH 周期加上 3 个 CRYH 周期。

✧ 更可靠的切换过程：先开启外部振荡（CRYEN=1），利用软件控制延时时间（至少要大于 OSTS 设置的时间），确认外部振荡稳定后写 MCKS 位为 1 进行切换。

由于晶振稳定时间最大为 215 个 CRY 周期（对高频晶振来说），在一些特殊情况下可能无法满足晶振稳定时间的要求。该切换方式弥补了硬件延时的不足，进一步提高了系统的可靠性。

5.6.2.2 CRY 切换到 RCH

如果需要将系统时钟源从 CRYH 切换到 RCH，只需将 MCKSET 寄存器的 MCKS 位置 0。由于主时钟工作在外部振荡时，RCH 强制关闭，因此需要等待 RCH 启动（数十 us）后再经过 256 个周期的延时，等待过程中电路仍然工作在 CRY。等到 RCH 稳定后，开始切换。如果读 MCKS 位为 0，表示切换已完成。然后才能设置 CRYEN=0，关闭外部振荡。否则说明时钟切换未完成，禁止关闭外部振荡。切换时序见图 5-3，SYSCLK 的 2 分频作为系统时钟。

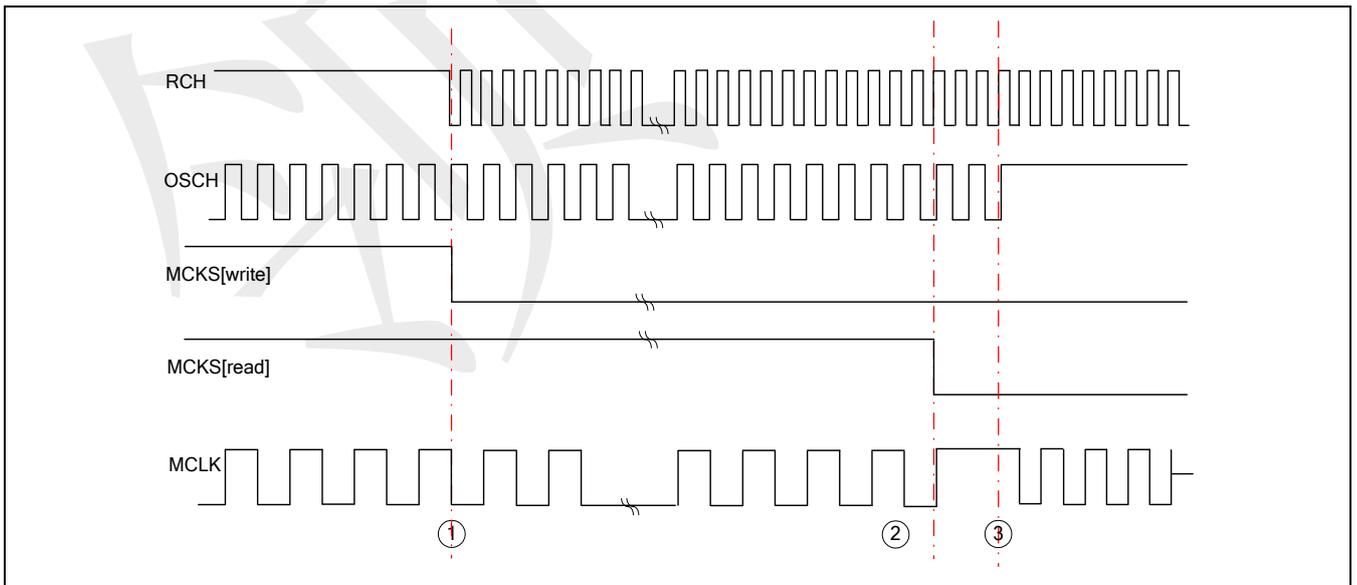


图 5-3 CRYH 切换到 RCH 时序

图 5-3 中①表示写入 MCKS 比特位；②表示 RCH 振荡稳定，下一个时钟开始切换；③表示时钟已经切换到 RCH。①和②之间为等待外部振荡稳定的延时时间，②和③之间为两个时钟交互的区域，该时间最

长为 1 个 CRYH 周期加上 3 个 RCH 周期。

5.6 使用提示

LCM08F003G 的时钟配置较灵活，不同的应用有不同的时钟方案。本小节从用户程序到板级以及可靠性等多个角度阐述时钟系统设计的提示。

- ✧ 写 MCKS 位可进行时钟切换，但是只有时钟切换成功后，读该寄存器位才表示当前时钟的准确状态。例如 RCH 向 CRYH 切换，写 MCKS 为 1，在 CRYH 没有稳定前读 MCKS 结果都是 0。同样从外部振荡向内部 RCH 切换时也是如此。
- ✧ MCLK 来自外部时钟源 CRYH 时，则无法通过软件关闭该振荡器，只有进入 STOP 模式才能强制关掉晶振。系统时钟源重新切换到 RCH 后，通过设置 CRYEN=0 可关闭外部振荡。
- ✧ 为确保内部 RCH 的精度和稳定性，应用时请在 VDD 与 GND 之间并联一个 100nf 以上容量的电容，且电容两个管脚尽可能分别靠近 VDD 和 VSS 端(电容管脚到 VDD 和 VSS 的走线长度之和以小于 1cm 为佳)；
- ✧ 外部晶振的配置说明
典型配置如下：

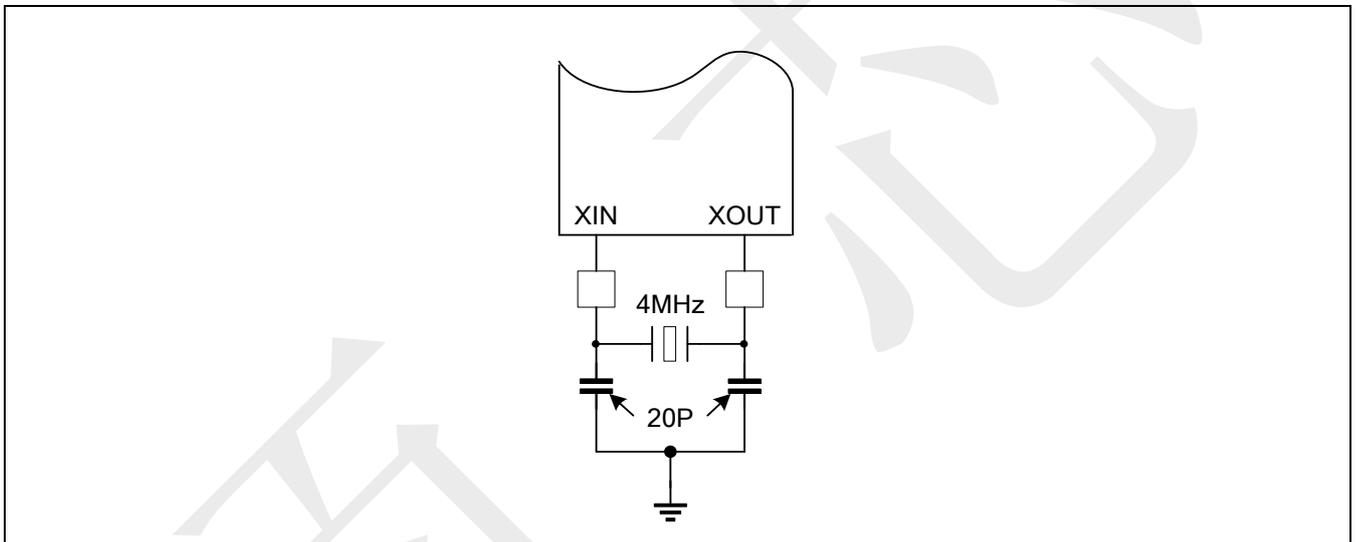


图 5-4 外部晶振典型配置

4 MHz 晶振外部负载电容可选为 20~50 PF 之间。外部晶振频率越高，建议负载电容适当接小些，以缩短起振时间。

无论采用何种外部晶振，用户都需要仔细评估。即使同一供应商提供的晶振也可能存在批次性问题。所以建议选择好的供应商，以获取高品质晶振。

使用外部晶振要注意：

- ✧ PCB 走线尽可能短而粗，晶振相关器件（两个电容一个晶振）尽量用地包围，把外部干扰降到最低。
- ✧ 晶振电路附近尽量不要走高频信号，见图 5-5 (a)。
- ✧ 晶振电路附近尽量不要有大电流回路，见图 5-5 (b)。
- ✧ 不要有大电流流经晶振负载电容接地地通道，见图 5-5 (c)。

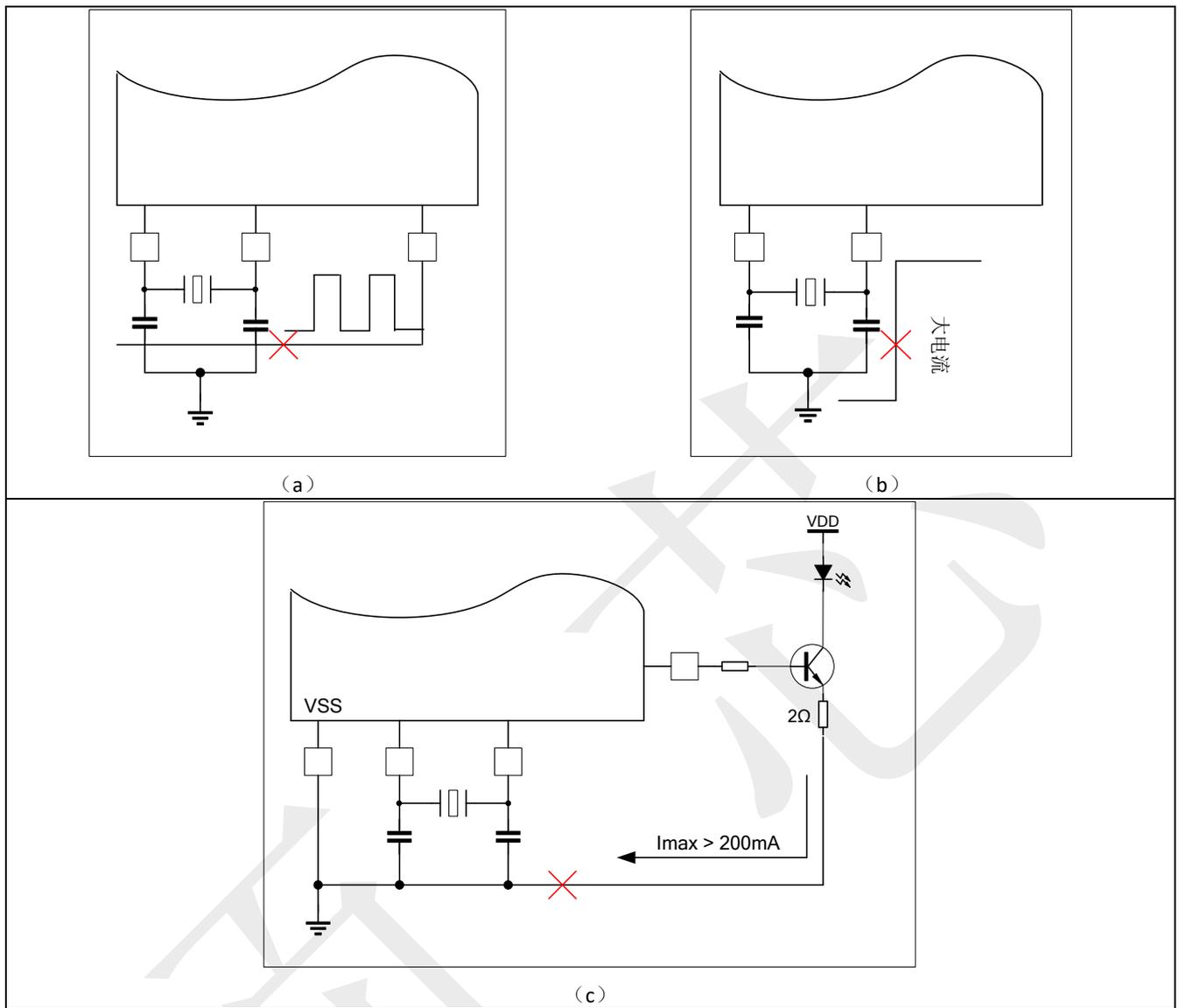


图 5-5 外接晶振不恰当走线

5.7 寄存器说明

时钟管理模块相关寄存器如下：

表 5-3 时钟系统相关寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
MCKSET	系统时钟设置寄存器	x	R/W	0000_1000B	91H
WPKEY	写保护控制寄存器	x	W	uuuu_uuuuB	92H
SYSCFG	系统配置寄存器	x	R/W	1000_1111B	FFA2H
LFSCON	低频时钟源控制寄存器	x	R/W	00u0_0000B	FFEEH
RCLTRIM	RCL 频率校准寄存器	x	R/W	uuxx_xxxxB	FFB1H
RCHTRIM	RCH 频率校准寄存器	x	R/W	xxxx_xxxxB	FFF4H
TESTCON	测试控制寄存器	x	R/W	u0u0_0000B	FFAFH
PCGC0	时钟门控寄存器 0	x	R/W	1111_1111B	FF60H
PCGC1	时钟门控寄存器 1	x	R/W	uuuu_1u10B	FF61H

注：x 表示不确定；- 表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

时钟管理模块寄存器详细说明如下：

系统时钟设置寄存器 MCKSET (91H) (WPKEY 保护^{注1})

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OSTS[1:0] ^{注2}		MDIV[2]	CRYEN	CRYIOEN	MCKS ^{注3}	MDIV [1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	1	0	0	0
注 1	写该寄存器时，要先操作写保护控制寄存器 WPKEY，解除写保护后写入。							
注 2	外部晶振使能后，经过 OSTS 设置的延时后释放。以 4 MHz 晶振为例，开启振荡后默认需要计数满 2 ¹⁵ 周期，即 0.25us × 2 ¹⁵ ≈ 8ms 延时后该时钟才生效。考虑到晶振起振到真正开始有效计数还有一段时间，实际上从开启晶振到提供有效时钟间隔要大于 8ms。							
注 3	MCKS (bit2) 读出来的值反映 RCH 与 CRYH 的实际切换状态。该位置 0 或 1 后一般需要等目标时钟稳定并切换成功后才能真正读出 0 或 1。							

- Bit 7:6** OSTS[1:0]: 外部晶振稳定时间选择位
 对于高频晶振 (CRYCFG=1):
 00: 外部晶振起振稳定时间为 2¹⁵ × T_{CRY} (默认)
 01: 外部晶振起振稳定时间为 2¹⁴ × T_{CRY}
 10: 外部晶振起振稳定时间为 2¹³ × T_{CRY}
 11: 外部晶振起振稳定时间为 2¹² × T_{CRY}
 对于低频晶振 (CRYCFG=0):
 00: 外部晶振起振稳定时间为 2¹³ × T_{CRY} (默认)
 01: 外部晶振起振稳定时间为 2¹² × T_{CRY}
 10: 外部晶振起振稳定时间为 2¹¹ × T_{CRY}
 11: 外部晶振起振稳定时间为 2¹⁰ × T_{CRY}
- Bit 5** MDIV[2]: 系统时钟 MCLK 频率选择位
 与 MDIV[1:0]结合使用。
- Bit 4** CRYEN: CRY 使能位
 0: CRY 关闭 (默认)
 1: CRY 使能
- Bit 3** CRYIOEN: 外部晶振管脚复用使能位
 0: P2.0/P2.1 复用作 OSCI/OSCO
 1: P2.0/P2.1 用作 GPIO (默认)
- Bit 2** MCKS: 系统时钟源选择位
 0: 系统时钟选择 RCH (默认)
 1: 系统时钟选择 CRY 或者 RCL (由 SYSRCLEN 决定)
- Bit 1:0** MDIV[1:0]: 系统时钟 MCLK 频率选择位，与 MDIV[2] (Bit5) 结合使用
 000: MCLK 为 SYSCLK 的 16 分频 (默认)
 001: MCLK 为 SYSCLK 的 4 分频
 010: MCLK 为 SYSCLK 的 2 分频
 011: MCLK 为 SYSCLK
 100: MCLK 为 SYSCLK 的 32 分频
 101: MCLK 为 SYSCLK 的 64 分频
 11x: MCLK 为 SYSCLK 的 8 分频

写保护控制寄存器 WPKEY (92H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WPKEY[7:0]							

访问权限:	W	W	W	W	W	W	W	W
复位值:	U	U	U	U	U	U	U	U

系统关键寄存器的写入操作硬件上采取了写保护控制。要修改系统关键寄存器，必须先向 WPKEY 寄存器写入 37H，使写保护解除，然后要立即向系统关键寄存器写入数据，否则延迟 3 个指令周期，写保护就会重新生效，从而禁止修改系统关键寄存器。

系统配置寄存器 SYSCFG (FFA2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	RSTCFG	BYPASS	CRYCFG	WDTCFG	CRYCG[2:0]			RCLCFG
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	1	0	0	0	1	1	1	1
注	该寄存器除 Bit4 (WDTCFG) 和 Bit3~Bit1 外，其它位在复位后只能写一次，再次写入无效，只有等到复位后才能再次写入。							

Bit 7 RSTCFG: 外部复位管脚配置位

0: P3.0 用作 GPIO 管脚

1: P3.0 用作外部复位管脚 (默认)

Bit 6

BYPASS: 晶振旁路

0: 晶振旁路无效

1: 晶振旁路, 时钟直接由 OSCI 输入; 在 BYPASS 情况下, 从外部输入时钟, 也需要使能 CRYEN

Bit 5

CRYCFG: 外部晶振配置

0: 外部晶振是低振

1: 外部晶振是高振

Bit 4

WDTCFG: 停机模式下 OscWdt 时钟控制位

0: 停机状态下时钟关闭 (默认)

1: 停机状态下时钟开启

Bit 3:1

CRYCG[2:0]: 外部晶振增益选择位

增益从高到低配置为: 111B > 110B > > 000B, 默认最大增益。增益越大, 晶振越容易起振, 电流也越大。可根据需要选择不同的晶振增益

Bit 0

RCLCFG: 停机、睡眠模式下 RCL 时钟控制位

0: 停机/睡眠状态下 RCL 时钟开启

1: 停机/睡眠状态下 RCL 时钟关闭 (默认)

低频时钟源控制寄存器 LFCSCON (FFEEH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	LFCKS[1:0]		—	SYSRCLEN	LFDIV[3:0]			
访问权限:	R/W	R/W	R-0	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	U	0	0	0	0	0
注	写 SYSRCLEN 时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。							

Bit 7:6 LFCKS[1:0]: 低频时钟源选择位

00: CRY

01: RCL

10: RCH

11: CRY

Bit 5

保留

Bit 4 SYSRCLEN: 系统时钟 SYSCLK 选择
 0: 系统时钟在 CRY 和 RCH 之间切换 (默认)
 1: 系统时钟在 RCL 和 RCH 之间切换
 在时钟切换之前, 需要先配置好该位

Bit 3:0 LFDIV[3:0]: 低频时钟分频选择位
 0000: /1
 0001: /2
 0010: /4
 0011: /8
 0100: /16
 0101: /32
 0110: /64
 0111: /128
 1000: /256
 1001: /512
 其它: /1

RCL 频率调节寄存器 RCLTRIM (FFB1H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	RCLTRIM[5:0]					
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	X	X	X	X	X	X
注 1	出厂前会对 RCL 校准, 然后将校准后的值写入 FLASH 信息区配置字节中。复位发生时 TRIM 的值自动从 FLASH 信息区配置字节中载入, 程序在应用过程中, 可以通过修改该寄存器的值, 动态调整 RCL 的频率。							
注 2	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。							

Bit 7:6 保留

Bit 5:0 RCLTRIM[5:0]: RCL 输出频率校准值
 校准区间以 Bit 0 是否为 1 分为奇偶区间
 00-0000 -> 11-1110: 偶区间, 输出频率最低 -> 默认频率中间值
 00-0001 -> 11-1111: 奇区间, 默认频率中间值+1 -> 输出频率最高

RCH 频率调节寄存器 RCHTRIM (FFF4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	RCHTRIM[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	x	x	x	x	x	x	x	x
注 1	出厂前会对 RCH 校准, 然后将校准后的值写入 FLASH 信息区配置字节中。复位发生时 TRIM 的值自动从 FLASH 信息区配置字节中载入, 程序在应用过程中, 可以通过修改该寄存器的值, 动态调整 RCH 的频率							
注 2	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。							

Bit 7:0 RCHTRIM[7:0]: RCH 输出频率校准值
 校准区间分为 0x80~0xFF 和 0x00~0x7F
 1000-0000 -> 1111-1111: 输出频率最低 -> 默认频率中间值-1
 0000-0000 -> 0111-1111: 默认频率中间值 -> 输出频率最高

测试控制寄存器 TESTCON (FFAFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	LVRTE	—	CKTE	CPOEN1	CPOEN0	CKOS[1:0]	
访问权限:	R-0	R/W	R-0	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	0	U	0	0	0	0	0
注	写该寄存器时，要先操作写保护控制寄存器 WPKEY，解除写保护后写入。							

- Bit 7 保留
- Bit 6 LVRTE: 测试模式下 LVR 使能位
0: 使能
1: 禁止
- Bit 5 保留
- Bit 4 CKTE: 测试时钟输出引脚选择
0: 无效
1: P1.1 输出
- Bit 3 CPOEN1: 比较器 ACMP1 输出使能位
0: 禁止输出
1: 允许输出, IOMUX0.1 决定输出引脚位置
- Bit 2 CPOEN0: 比较器 ACMP0 输出使能位
0: 禁止输出
1: 允许输出, IOMUX0.0 决定输出引脚位置
- Bit 1:0 CKOS[1:0]: 时钟 CLKO 输出选择位
00: 输出 RCH
01: 输出 CRY
10: 输出 RCL
11: 输出系统时钟 MCLK

时钟门控寄存器 PCGCO (FF60H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADGC	SPIGC	UART1GC	UART0GC	KBIGC	T2GC	IAPGC	T01GC
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1

- Bit 7 ADGC: ADC 时钟门控位
0: ADC 时钟禁止
1: ADC 时钟使能 (默认)
- Bit 6 SPIGC: SPI 时钟门控位
0: SPI 时钟禁止
1: SPI 时钟使能 (默认)
- Bit 5 UART1GC: UART1 时钟门控位
0: UART1 时钟禁止
1: UART1 时钟使能 (默认)
- Bit 4 UART0GC: UART0 时钟门控位
0: UART0 时钟禁止
1: UART0 时钟使能 (默认)
- Bit 3 KBIGC: KBI 时钟门控位

- 0: KBI 时钟禁止
- 1: KBI 时钟使能 (默认)
- Bit 2 T2GC: T2 时钟门控位
 - 0: T2 时钟禁止
 - 1: T2 时钟使能 (默认)
- Bit 1 IAPGC: IAP 模块时钟门控位
 - 0: IAP 时钟禁止
 - 1: IAP 时钟使能 (默认)
- Bit 0 T01GC: T0/1 时钟门控位
 - 0: T0/1 时钟禁止
 - 1: T0/1 时钟使能 (默认)

时钟门控寄存器 PCGC1 (FF61H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-		T3GC	-	I2CGC	WWDTGC
访问权限:	R-0	R-0	R-0	R-0	R/W	R-0	R/W	R/W
复 位 值:	U	U	U	U	1	U	1	0

- Bit 7:4 保留
- Bit 3 T3GC: 高级定时器时钟 T3 门控位
 - 0: 高级定时器 T3 时钟禁止
 - 1: 高级定时器 T3 时钟使能 (默认)
- Bit 2 保留
- Bit 1 I2CGC: I2C 模块时钟门控位
 - 0: I2C 时钟禁止。
 - 1: I2C 时钟使能 (默认)
- Bit 0 WWDTGC: WWDT 模块时钟门控位
 - 0: WWDT 时钟关闭 (默认)
 - 1: WWDT 时钟使能

6. 复位系统

LCM08F003G 有 7 个复位源，分别是：

- ◇ 外部管脚复位 ERST
- ◇ 上电复位 POR
- ◇ 低压复位 LVR
- ◇ 看门狗 WDT 复位 WDTR
- ◇ 窗式看门狗 WWDTR 复位 WWDTR
- ◇ 软件指令复位 SOFTR
- ◇ Boot 模式切换复位 BRST

6.1 基本特征

LCM08F003G 中的复位系统具备以下特征：

- ◇ 具有丰富的复位源，共有 7 种复位
- ◇ ERST/LVR/POR 三种复位具有去抖动功能
- ◇ STOP 模式下 LVR 是否工作可配置
- ◇ STOP 模式下可以切换到低功耗 LPLVD 作为复位源
- ◇ Boot 模式切换复位可以用于 Boot 模式和正常模式之间的切换

6.2 工作模式

上电后，POR 默认开启，外部复位、LVR 和 Boot 模式切换复位 BRST 默认开启，WDT 默认关闭，WWDTR 复位默认关闭，软件复位默认关闭。

RUN 模式下，POR 无效，软件复位有效，Boot 模式切换复位有效。P3.0 如果配置成外部复位，则外部复位有效；如果配置成 GPIO，则外部复位无效。低功耗 LPLVD 无效，LVR，WDT，WWDTR 是否有效由软件控制。

SLEEP 模式下，POR 有效，WWDTR 复位、软件复位和 Boot 模式切换复位无效，WDT 复位由软件控制。P3.0 如果配置成外部复位，则外部复位有效；如果配置成 GPIO，则外部复位无效。LVR 是否有效由软件控制，低功耗 LPLVD 无效。

STOP 模式下，POR 有效，软件复位、Boot 模式切换复位和窗式看门狗 WWDTR 无效。P3.0 如果配置成外部复位，则外部复位有效；如果配置成 GPIO，则外部复位无效。LVR、WDT 复位、LPLVD 复位是否有效由软件控制。

表 6-1 复位情况工作表

模式	POR	LVR	ERST	WDTR	WWDTR	BRST	LPLVD	SOFTR
上电后	√	√	√	×	×	√	×	×
RUN	×	LVREN=1:V	RSTCFG=1:V	清 WDT: V	WDGA=1: √	√	×	√
		LVREN=0:×	RSTCFG=0:×	否则:×	否则: ×			
SLEEP	√	LVREN=1:V	RSTCFG=1:V	WDTCFG=1:V	×	×	×	×
		LVREN=0:×	RSTCFG=0:×	WDTCFG=0:×				
STOP	√	LVRCFG=1:×	RSTCFG=1:V	WDTCFG=1:V	×	×	LPLVDCFG=1:×	×
		LVRCFG=0，由 LVREN 决定	RSTCFG=0:×	WDTCFG=0:×			LPLVDCFG=0: 由 LPLVDEN 决定	

注：“√”表示开启，“×”表示关闭。

6.3 功能框图

复位系统结构如下图:

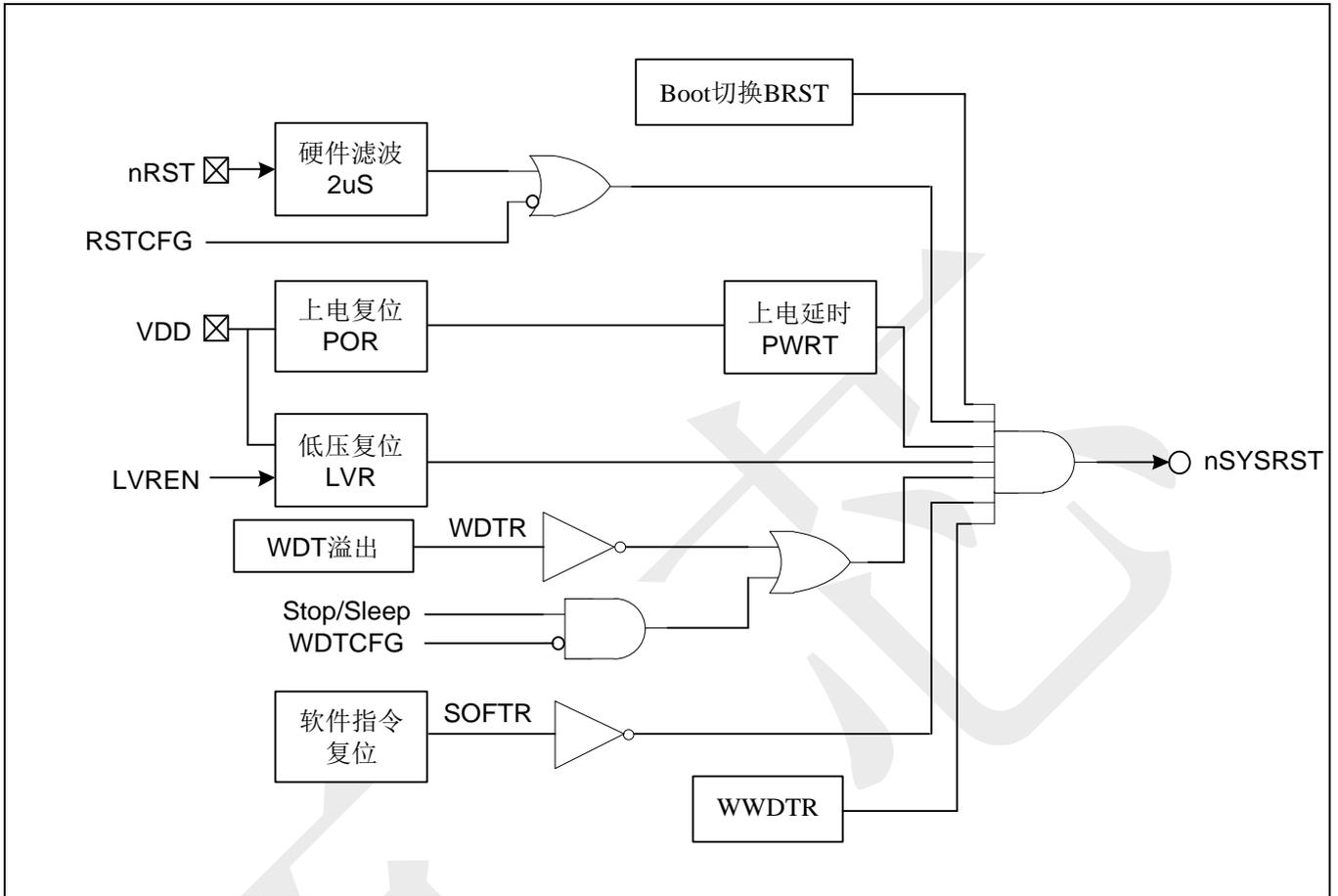


图 6-1 复位简化逻辑

上图最后输出一个全局复位信号 nSYSRST，低电平有效。并非所有的寄存器都受该全局复位信号影响，该电路中有些特殊的寄存器复位源并非来自该信号，而是前级就产生了。

6.4 功能说明

复位源在上电或电源电压波动或其它特定异常条件发生时使电路（重新）初始化，并进入确定状态。任何复位发生后，程序指针指向地址 0000H。

从引发复位的机制看，复位源可分为两类：冷复位与热复位。冷复位主要与电源变化有关，电源电压第一次从 0V 逐步升高时触发的复位叫上电复位。电路正常工作中如果电压跌落安全工作电压范围边界时可触发低压复位。热复位有很多种类，除外部复位（某个管脚拉低或拉高触发的复位）外，所有内部逻辑只要检测到异常都可以触发复位动作。LCM08F003G 中看门狗溢出或软件指令触发的复位都归结到此类中。

绝大多数寄存器在任意复位发生后，都将进入各自的“复位”状态。本文档中描述寄存器时提到的“默认”状态就是指复位后的状态。但是有部分寄存器不受某些复位的影响，具体见表 6-2。

表 6-2 特殊复位源寄存器

复位源 寄存器 (位)	POR	LVR	nRST	WDTR	SOFTR	LPLVD	WWDTR	BRST
LVDCON(A5H)	√	x	√	x	x	x	x	x
LVRCON(A6H)	√	x	√	x	x	x	x	x
LPLVDF(A7H.5)	√	x	x	x	x	√	x	x

LPLVDCON(FF47H)	√	x	√	x	x	x	x	x
SOFTF(A7H.4)	√	√	√	x	√	√	x	x
WDTF(A7H.3)	√	√	√	√	√	√	√	√
LVRF(A7H.2)	√	√	x	x	x	x	x	x
PORF(A7H.1)	√	x	x	x	x	x	x	x
nRSTF(A7H.0)	√	x	√	x	x	x	x	x
WDTCLR0(DEH)	√	√	√	x	√	√	√	√
WDTCLR1(DFH)	√	√	√	x	√	√	√	√
TESTCON(FFAFH)	√	√	√	x	x	√	x	x
WTCN	√	x	x	x	x	x	x	x
T8(T8RL)	√	x	x	x	x	x	x	x

注：√表示对应复位源可引起该寄存器（位）的复位动作；x表示不受影响。LPLVD 仅在 Stop 模式下产生低压复位。

6.4.1 POR 复位时序

不同的复位源，触发条件与释放条件略有不同。对于 POR 复位，为了保证电路开始工作时电源电压已经进入安全工作区，LCM08F003G 对 POR 复位增加了一个上电复位延时定时器（PWRT）。如图 6-2 所示，该定时器采用内部低频 RC 振荡时钟作为计数时钟源，POR 复位时，将复位 PWRT。POR 复位释放后，计数器开始计数，计满 518 个周期后溢出，PWRT 为上电复位 POR 提供一个约 25ms（标称值）的固定延时。（上电时 RCL 频率较低）

复位后 RCL/RCH 都是使能的，低压复位 LVR 模块默认也是开启的。

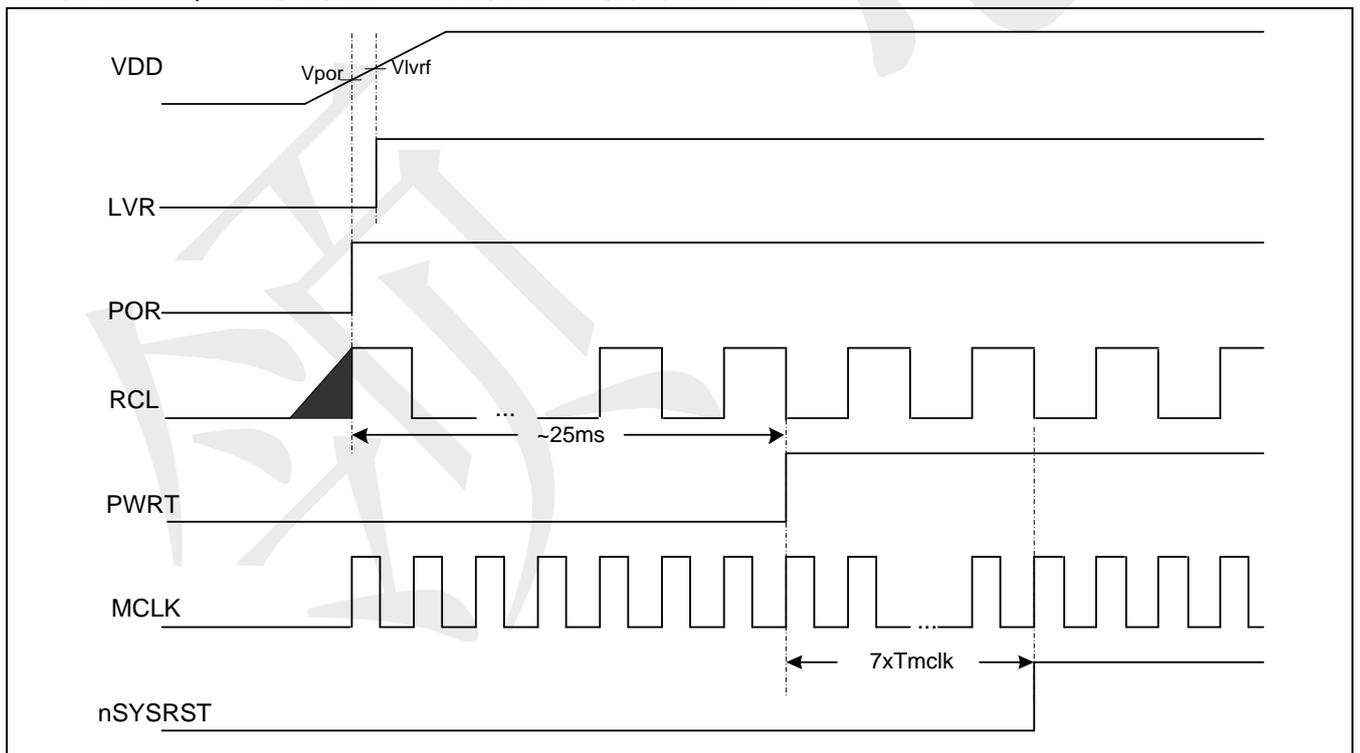


图 6-2 上电复位典型时序

6.4.2 外部复位时序

P3.0/nRST 默认用作外部复位脚，复位输入要经过去抖动电路，典型工作条件下（3V@25°C）能过滤掉宽度约 5us 的脉冲。上述参数会随电压、温度和工艺有很大偏差，外部复位脚输入波形如图 6-3 所示。

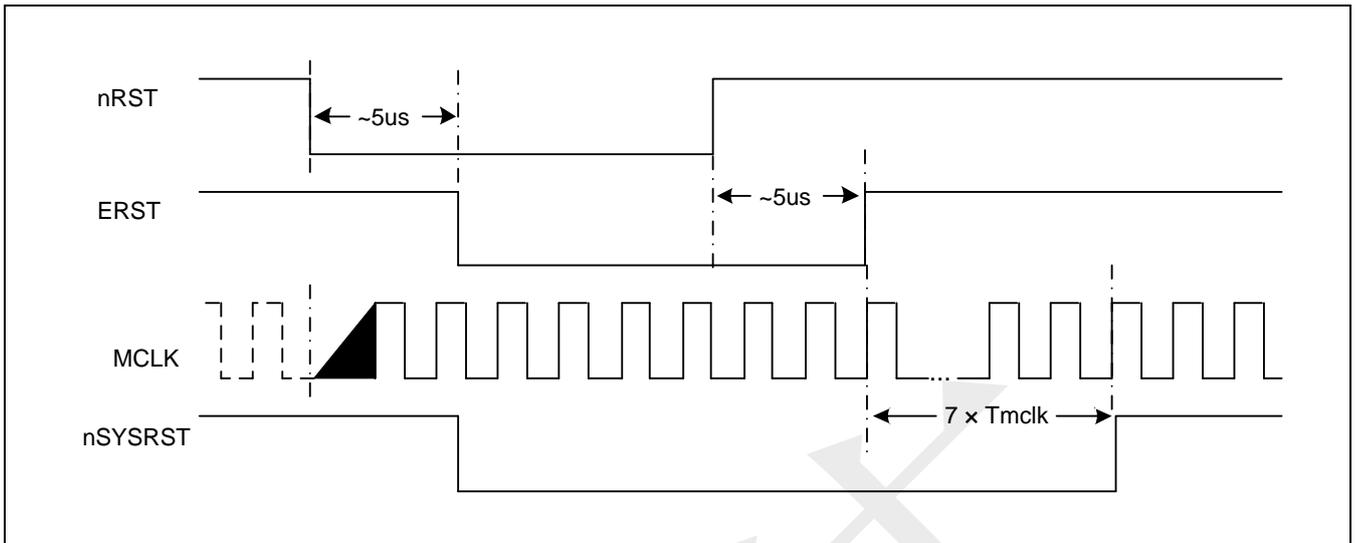


图 6-3 外部复位时序

6.4.3 LVR 复位时序

默认情况下，LVR 使能，如果检测到 VDD 低于低压复位检测点 V_{lvrf} 时，LVR 输出低电平，使电路进入复位状态。当 VDD 上升超过低压复位释放点 V_{lvrr} 时，释放复位状态。上电默认的释放电压为 2.0V，最低可以配置到 1.8V。

如果第一次低压复位延时未到又产生了第二次低压复位，那么整个复位过程重新开始。必须等待一个完整的延迟过程结束后内部电路才开始工作。

在低功耗情况下可以将 LVR 关闭，使用低功耗 LPLVD 作为复位源，LPLVD 只能在 STOP 模式下使用，并且 STOPCFG 寄存器的 FFA0H.5 被设置为 1；LPLVD 的复位时序与 LVR 一致。

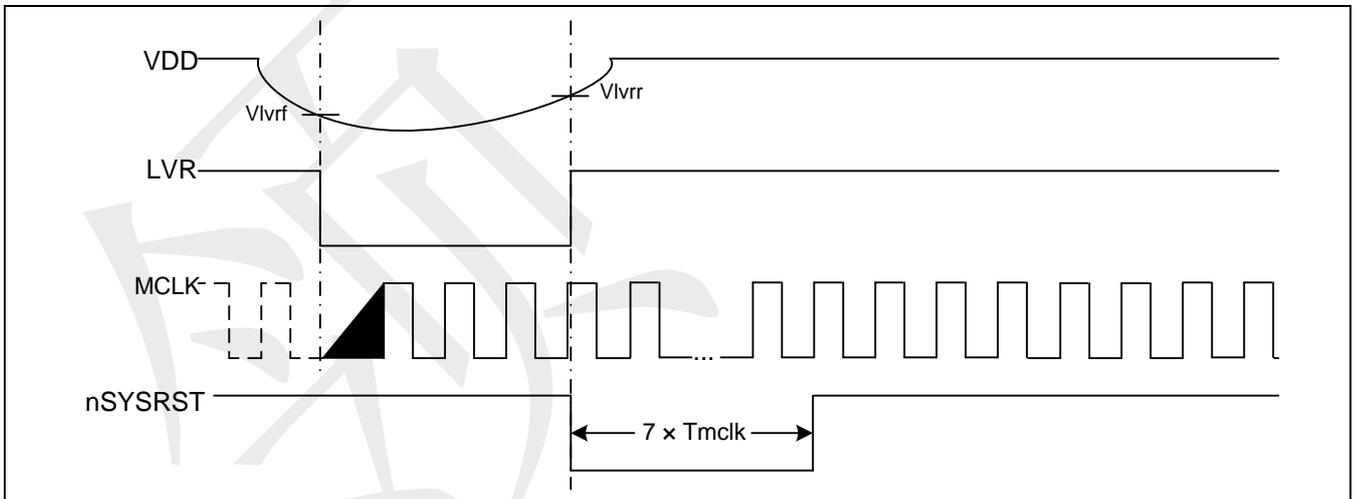


图 6-4 低压复位时序

6.4.4 WDT 复位和软件复位

这两个复位发生后经一段时间延迟并与 MCLK 两级同步后释放，程序指针跳转到 0000H 开始执行。看门狗复位的具体细节章节 15 的 WDT 相关内容。

6.4.5 WWDT 复位

窗式看门狗复位计时采用的是系统时钟，因此该复位一旦发生即可有效，两个时钟后复位释放，具体细节见章节 16 的 WWDT 相关内容。

6.4.6 Boot 模式切换复位 BRST

Boot 模式切换指令，允许软件复位整个系统类似于外部复位，初始化 MCU 为复位状态。Boot 模式切换复位，在 ISP 动作结束以后非常有。例如，如果通过 ISP 启动代码更新用户代码完成，Boot 模式切换复位重启 CPU，立即执行用户代码（BootSel 由 1 变为 0），配置 BRST 位是设备复位之前执行的最后指令，必须和 BootSel 位一起配置，例程参见章节 8.9。

6.5 寄存器说明

复位系统相关寄存器如下：

表 6-3 复位系统相关寄存器寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
RSTSRC	复位源标志寄存器	x	R/W	uucc_ccccB	A7H
CHIPCFG	芯片配置寄存器	x	R/W	0uuu_uuu0B	FFF5H

注：x 表示不确定；- 表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

复位源标志寄存器 RSTSRC (A7H)

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	—	—	LPLVDF	SOFTF	WDTF	LVRF	PORF	nRSTF
访问权限：	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复位值：	U	U	0 ^c					
注	C (上标)：特殊复位源，参见表 6-2 特殊复位源寄存器。							

- Bit 7:6 保留
- Bit 5 LPLVDF：低功耗低压检测标志
0：低压检测未触发
1：低电压检测被触发（触发电平可通过 LPLVDCON 设置），可软件清零或被 POR 清零
- Bit 4 SOFTF：软件复位标志位
0：系统未发生软件复位
1：系统发生软件复位，可软件清零或被 POR 清零
- Bit 3 WDTF：软件复位标志位
0：未发生看门狗复位
1：发生看门狗复位，可通过清看门狗操作或 POR 清零
- Bit 2 LVRF：低压复位标志
0：低压复位未发生
1：发生了低压复位，可软件清零或被 POR 清零
- Bit 1 PORF：上电复位标志位
0：未发生上电复位
1：发生上电复位，需要软件清零
- Bit 0 nRSTF：外部复位标志位
0：没有发生外部复位
1：发生了外部复位，可软件清零或被 POR 清零

芯片配置寄存器 CHIPCFG (FFF5H)

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
------	------	------	------	------	------	------	------	------

位 定义:	BRST	—	—	—	—	—	—	BootSel
访问权限:	R/W	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复 位 值:	0	U	U	U	U	U	U	0
注	写该寄存器时，要先操作写保护控制寄存器 WPKEY，解除写保护后写入。							

Bit 7 **BRST: Boot 模式切换复位**

0: 无复位

1: 产生复位，硬件自动清 0

Bit 6:1 保留

Bit 0 **BootSel**

0: 程序区启动（物理地址 0x0000 启动）

1: 由 BootLoad Rom 启动（物理地址 0x3800），在 BootSel 位发生改变时候，地址空间映射会发生变化，具体见图 2-2，因此该位发生改变时，一定要将 BRST 位设置为 1，不然程序会发生不可恢复错误。

7. 电源管理

LCM08F003G 的电源管理模块 (PMU) 主要有带隙基准 BGR 模块, 用于给其它模块提供偏置电流和基准电压; 低压检测 LVD 和低压复位 LVR 模块, 用于检测电源电压并产生低电压报警中断或复位, 确保电路工作在安全工作电压区间。为满足电子系统日益苛刻的低功耗要求, LCM08F003G 提供了两种低功耗模式: SLEEP 模式和 STOP 模式。

7.1 基本特征

- ◇ 基准电压 VBG 出厂校准: 1.25V。
- ◇ 低压复位 8 级复位点可选。
- ◇ 低压检测 8 级检测点可选, 支持外部电压采样输入, 有独立的低压报警中断向量地址。
- ◇ 两种低功耗模式, 具有丰富的唤醒信号源。
- ◇ SLEEP 模式: 系统时钟源运行, 但是 CPU 时钟停止, 各个模块的的时钟单独可控。
- ◇ STOP 模式: 内部 RCH 振荡以及外部晶振两个时钟源停止运行, RCL 和 WDT 可配置开启。在 STOP 模式下可以切换到低功耗 LPLVD 低压检测模式, 进一步减少功耗。

7.2 功能框图

LCM08F003G 的 PMU 结构框图如下所示。

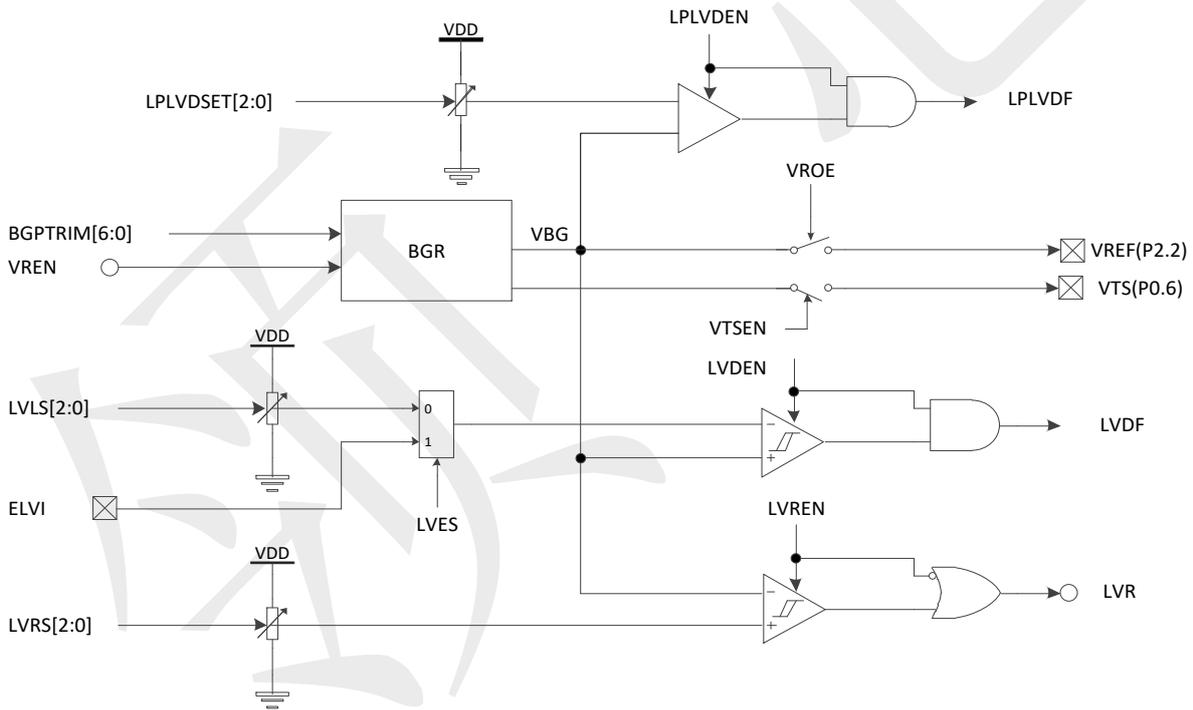


图 7-1 PMU 结构框图

LVD 模块用到 1 个外部管脚 ELVI, 其配置如下:

表 7-1 PMU 管脚复用配置表

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
ELVI	A	低压检测外部输入电平	P1.5	LVES (LVDCON.4) 置 1

7.3 PMU 功能描述

PMU 中主要有带隙基准模块 BGR、低压检测模块 LVD 和低压复位模块 LVR。

7.3.1 带隙基准 BGR

上电复位释放后，BGR 默认开启。基准电压模块 BGR 为 LVD、LVR 和 CMP 等模块提供基准电压和偏置电流；当任何一个需要 BGR 提供支持的模块使能时，BGR 就使能。BGR 本身也有一个使能位。

同时，为了测试方便，基准电压还可以输出到端口，将 VROE 置 1 即可。

7.3.2 低压检测 LVD

LVD 用于检测电源电压 VDD 的波动，当 VDD 低于检测电平时，低压检测标志位 LVDF 置 1。如果中断允许，则进入中断处理程序。

上电复位释放后，LVD 默认关闭。进入 STOP 模式后，如果 LVRCFG=1，则关闭 LVD；如果 LVRCFG=0，则 LVD 由 LVDEN 控制。

为了适应不同的供电系统，设置了 8 个低压检测电平：2.2V、2.4V、2.5V、2.7V、2.9V、3.1V、3.65V 和 4.5V。LVD 还支持外部输入电压。在 VDD 下降和上升过程中，LVDF 置位和清零存在一定的迟滞。以 2.9V 为例，当 $VDD < 2.9V$ 时，LVDF 置位；直到 $VDD \geq 3.0V$ ，LVDF 才清零。

7.3.3 低压复位 LVR

LVR 用于检测 VDD 的波动，当 VDD 跌落到检测电平以下时，使电路进入复位状态。

上电复位释放后，LVR 默认开启。进入 STOP 模式后，如果 LVRCFG=1，则关闭 LVR；如果 LVRCFG=0，则 LVR 由 LVREN 控制。

为了适应不同的供电系统，设置了 8 个低压复位电平：1.8V、2.0V、2.5V、2.6V、2.8V、3.0V、3.5V 和 4.0V。复位电压和释放电压存在一定的迟滞，范围在 100mV 左右。以 1.8V 为例， $VDD < 1.8V$ 时，LVR 复位；直到 $VDD \geq 1.9V$ ，LVR 释放复位。

7.3.4 低功耗低压检测 LPLVD

LPLVD 模块主要用于减少芯片在 STOP 模式下的功耗，设置了 8 个低压复位电平：2V、2.2V、2.5V、2.8V、3V、3.5V、4V 和 4.5V。在 STOP 模式下，用户可以将 LPLVD 配置为低压复位或者低压唤醒，当电压低于检测电压时候，LPLVD 会复位或唤醒系统。在正常工作模式下，LPLVD 主要用来检测电压，辅助 FLASH 读出延迟的切换。

7.3.5 温度传感器输出 VTS

LCM08F003G 内部集成温度传感器，由 VTSEN 使能输出到 ADC 通道 7 采样，并且可输出引脚 P0.6 用于测试观察；当使用外部温度传感器时，必须把 VTSEN 设置为 0。

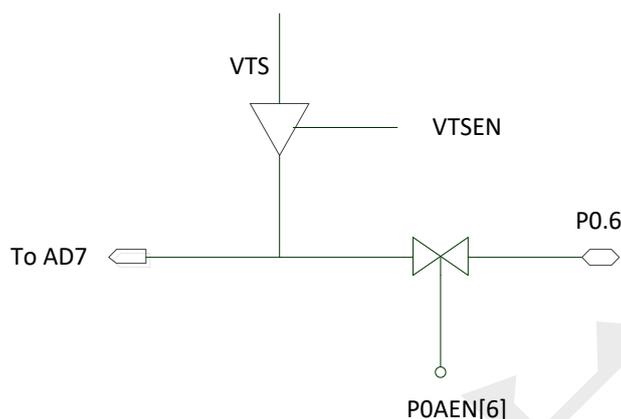


图 7-2 温度传感器 ADC 采样框图

在 STOP 模式下，PMU 各个模块的工作情况见表 7-2。

表 7-2 PMU 在 STOP 模式下工作情况

模式	LVD	LVR	LPLVD
LVRCFG=0	LV DEN=1:V	LV REN=1:V	N/A
	LV DEN=0:x	LV REN=0:x	
LVRCFG=1	x	x	N/A
LPLVDCFG=0	N/A	N/A	LPLVDWAKEN=1: 唤醒; v
			LPLVDWAKEN=0: 唤醒; x
			LPLVDRSTCFG=1: 复位; v
			LPLVDRSTCFG=0: 复位; x
LPLVDCFG=1	N/A	N/A	x

7.4 低功耗模式

7.4.1 SLEEP 模式

如果没有允许的中断请求事件发生，则电路在 SLEEP 位被软件设置为 1 时进入 SLEEP 工作模式；否则设置 SLEEP=1 无效，继续正常工作。

进入 SLEEP 模式后，CPU 相关寄存器（PSW、ACC、SP 等）、SFR、RAM 等保持不变，I/O 口状态也维持原状，WDT 内计数器计数操作停止，CPU 时钟 MCLK 被关断，但是中断系统、定时器等功能模块依然有时钟（FCLK）驱动。

为便于程序判断电路是否进入 SLEEP 模式，增加 SSREG0 为 SLEEP 的影子寄存器，如果 SLEEP=1，则在下一个时钟硬件将 SSREG0 置 1。但是中断事件唤醒 MCU 后，SLEEP=0，而 SSREG0 依然保持 1，读 PCON 寄存器指令可以将 SSREG0 清 0。

退出 SLEEP 模式有两种方式：内/外部复位或中断。任意复位源触发时，电路进入正常复位过程，重新初始化运行。当进入 SLEEP 前允许的中断发生时，电路就会被唤醒退出 SLEEP 模式，响应中断并进入中断服务程序，然后回到进入 SLEEP 模式时的程序点（SLEEP 操作后一条指令）继续运行。

7.4.2 STOP 模式

如果没有允许的中断请求事件或有效的唤醒信号源（比如 KBI 输入有效电平：如果配置成低电平唤醒，此时管脚为低）发生，则电路在 STOP 位被软件设置为 1 时进入 STOP 工作模式；否则设置 STOP=1 无效，继续正常工作。

进入 STOP 模式后，所有高频时钟（RCH、CRYH）都会被关闭，低频时钟（RCL）则根据 SYSCFG 寄存器中 RCLCFG 配置决定是否关闭。

类似 SLEEP 模式，该模式下 CPU 相关寄存器（PSW、ACC、SP 等）、SFR、RAM 等保持不变，I/O 状态也维持原状。WDT 计数器计数根据需要停止或继续工作。指示信号 STOP（文中有些模块框图中引用了该信号）变高，表明电路进入 STOP 模式。

为便于程序判断电路是否进入 STOP 模式，增加 SSREG1 为 STOP 的影子寄存器，如果 STOP=1，则在下一个时钟硬件将 SSREG1 置 1。但是退出 STOP 模式后，STOP=0，而 SSREG1 依然保持 1，读 PCON 寄存器指令可以将 SSREG1 清 0。

注：程序设置 STOP=1 后，需要等 SSREG1 也被置 1 才会关闭时钟源，进入 STOP 模式。

退出 STOP 模式有七种方式：外部复位、外部中断、KBI 输入、WDT 定时触发（需要通过配置 SYSCFG 的 WDTCFG 位以及 RCLCFG 位）、I2C 地址匹配唤醒、WT 定时唤醒（选择 RCL 时钟源并配置 RCLCFG 位）和 LPLVD 低压唤醒。外部复位触发后，电路进入正常复位过程，重新初始化运行。外部中断，KBI 输入以及 WDT 定时溢出唤醒电路后，从进入 STOP 模式时的程序继续运行。但是唤醒需要等待时间，首先是开启 RCH，经过一定延时（ $256 \times T_{RCH}$ ）后作为系统时钟。这样从 STOP 模式唤醒后，由于 RCH 起振快，程序可以得到快速响应，并且经过延时处理的 RCH 进一步改善可靠性。

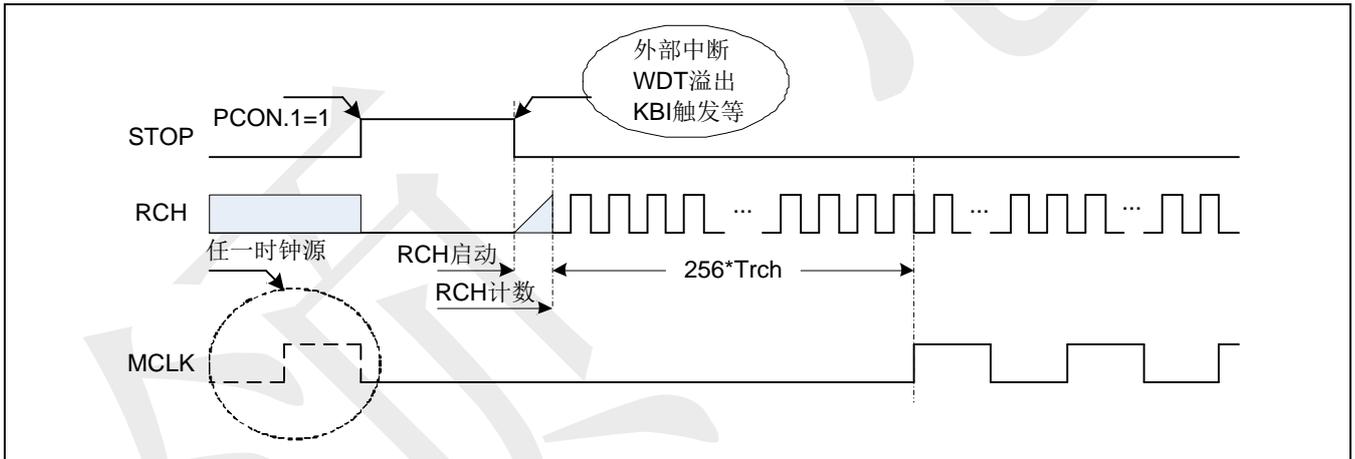


图 7-3 STOP 模式退出时序（非复位）

注：如果通过外部复位退出 STOP 模式，则 MCLK 默认为 8 分频；如果通过外部中断、KBI 输入、WDT 唤醒退出 STOP 模式，则 MCLK 维持进入 STOP 模式前的分频。

7.4.3 模式转换

由于 LCM08F003G 的时钟源较多，但是无论哪个时钟源作为主系统时钟，正常运行时（CPU 时钟 MCLK 工作）都称作 RUN 模式。电路的工作状态可以分为 4 种：复位状态/RUN 状态/SLEEP 状态/STOP 状态。

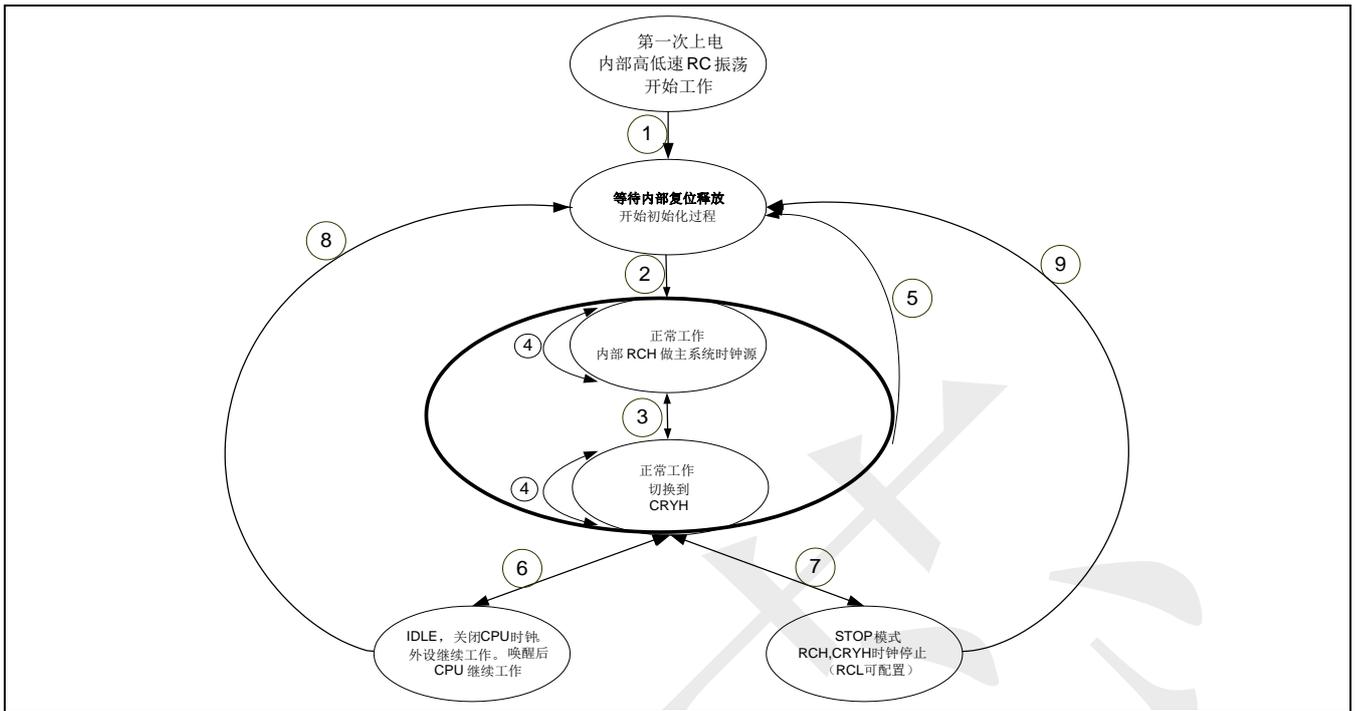


图 7-4 工作模式转换

上图中各个数字序号代表电路在不同时钟或工作状态下的切换过程。其中①表示上电复位后电路进入初始化过程。黑色粗线框内 2 个小框分别代表在不同时钟源情况下的正常工作状态，默认的 RCH 时钟单独展示出来。下面按照图 7-4 中的序号阐述各状态转换条件。

表 7-3 工作模式转换条件表

过程编号	过程说明	转换条件		备注
		进入条件	退出条件	
③	正常工作：系统时钟源从 RCH 切换到外部 CRYH 时钟	开启 CRYH 并设置 MCKS=1		时钟精度更精确
④	正常工作：同一时钟源改变工作频率	设置 MCKSET 寄存器中的 MDIV 位		根据速度与功耗的需求选择时钟频率
⑤	正常工作状态时转入复位状态	任意复位源触发		
⑥	正常工作状态时进入 SLEEP 状态	PCON.0=1	任意中断	降低工作电流但保持快速响应能力
⑦	正常工作状态时进入 STOP 状态	PCON.1=1	KBI、外部中断、WDT 唤醒	深度休眠，超低功耗
⑧	SLEEP 模式转入复位状态	任意复位源触发，电路重新初始化		故障恢复
⑨	STOP 模式转入复位状态	任意复位源触发，电路重新初始化		

7.5 使用提示

7.5.1 时钟

工作电流通常与时钟的频率有直接的关系，频率越低电流越小。所以在满足运算速度的前提下，尽量降低 CPU 工作频率可以降低功耗。可以通过分频的方法降低主频。

7.5.2 LVR 模块

由于 BGR 使能位与 LVR 使能位在同一个寄存器（LVRCON）中，使用 LVR 模块时必须遵循以下原则：先

开启 BGR (BGSTR=1)，20μs 后再开启 LVR (LVREN=1)，否则可能导致意外复位。

在不使用 LVR 时，将低压复位关掉，可以有效的减少功耗。有两种关掉 LVR 的方式：

- ✧ 进入 STOP 模式前，通过将 LVREN 清 0，关掉 LVR。
- ✧ 进入 STOP 模式前，将 LVRCFG 置 1（默认值），进入 STOP 后，自动关闭 LVR。

7.5.3 I/O 端口

复位之后的默认状态下，LCM08F003G 的 I/O 端口（除 P3.0 设置为输入上拉外）均被设置为高阻输入状态。即使在进入 SLEEP 模式和 STOP 模式，系统也会保持输入/输出端口的状态。

在具体应用中，为了降低静态功耗，必须将没有用到的端口设置为输入上拉或者输出状态，然后再进入 SLEEP 模式和 STOP 模式。对于某些小封装形式，未封出端口也需要设置成输出。

7.5.4 低功耗模式

根据应用的特性，进入 SLEEP 模式和 STOP 模式可以有效地减少功耗。

7.5.5 WDT 模块

在 STOP 模式下，可以设置 WDT 模块，让 WDT 周期性唤醒电路，即让系统周期性工作，这样可以有效的降低系统的平均功耗。

7.6 寄存器说明

PMU 相关寄存器如表 7-4 所示。

表 7-4 PMU 模块寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
PCON	电源控制寄存器	x	R/W	uuuu_uu00B	87H
LVDCON	低压检测控制寄存器	x	R/W	uu0c_ccccB	A5H
LVRCON	低压复位控制寄存器	x	R/W	ccc0_ccccB	A6H
LVLDLP_TRIM	内部低功耗基准 LPVR 电压修调寄存器	x	R/W	0000_xxxxB	A4H
VRCTRL	VRH_OP 电压选择寄存器	x	R/W	uuuu_uuu0B	BBH
LPLVDCON	低功耗低压检测控制寄存器	x	R/W	uuu0_ccccB	FF47H
STOPCFG	停机模式配置寄存器	x	R/W	u001_1u0uB	FFA0H
BGPTRIM	待机基准电压 BGP 校准寄存器	x	R/W	uuxx_xxxxB	FFF2H

注：x 表示不确定；- 表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

PMU 寄存器详细说明如下：

电源控制寄存器 PCON (87H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	-	-	-	-	-	STOP SSREG1	SLEEP SSREG0
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W
复位值:	U	U	U	U	U	U	0	0
注	写该寄存器时，要先操作写保护控制寄存器 WPKEY，解除写保护后写入。							

Bit 7:2 保留

Bit 1 STOP: STOP 模式控制位

该位置 1 时，进入 STOP 模式，RCH 关闭，系统进入深度休眠。读该位得到 SSREG1 的值，标

志电路是否进入 STOP 模式。

Bit 0 SLEEP: SLEEP 模式控制位
该位置 1 时，进入 SLEEP 模式，CPU 时钟 MCLK 关闭。读该位得到 SSREG0 的值，标志电路是否确实进入 SLEEP 模式。

低压检测控制寄存器 LVDCON¹ (A5H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	LVDF	LVES	LVLS[2:0] ²			LVDEN ³
访问权限:	R-0	R-0	R	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	0	0 ^c	0 ^c	0 ^c	0 ^c	0 ^c
注 1	该寄存器只受外部复位和上电复位的影响。							
注 2	LVLS[2:0]设置的电压是 LVDF 置位电压，即当 VDD 低于该设置值时，LVDF 置 1。LVF 清 0 时有 Δ 的迟滞。 Δ=100mV @ VLVD≥2.7V; Δ=50mV @ VLVD<2.7V。							
注 3	在 STOP 模式下，LVD 受 LVRGCFG 的控制，LVRCFG 置 1 时强制关闭 LVD，LVRCFG 置 0 时由 LVDCON 控制 LVD。							

Bit 7:6 保留

Bit 5 LVDF: 低压检测标志位，当 LVD 功能关闭时，该位为低电平

0: VDD 高于低压检测电平或低压检测不使能

1: VDD 低于低压检测电平

Bit 4 LVES: 低压检测外部输入电平使能位

0: 选择内部电阻分压（默认）

1: 选择外部输入电压，由 ELVI 脚输入

Bit 3:1 LVLS[2:0]: 低压检测电平选择位

000: 电源上升 2.25V 以上 LVDF 清除，下降到 2.2V 设置 LVDF

001: 电源上升 2.45V 以上 LVDF 清除，下降到 2.4V 设置 LVDF

010: 电源上升 2.55V 以上 LVDF 清除，下降到 2.5V 设置 LVDF

011: 电源上升 2.8V 以上 LVDF 清除，下降到 2.7V 设置 LVDF

100: 电源上升 3.0V 以上 LVDF 清除，下降到 2.9V 设置 LVDF

101: 电源上升 3.2V 以上 LVDF 清除，下降到 3.1V 设置 LVDF

110: 电源上升 3.75V 以上 LVDF 清除，下降到 3.65V 设置 LVDF

111: 电源上升 4.6V 以上 LVDF 清除，下降到 4.5V 设置 LVDF

Bit 0 LVDCON, 低压检测使能位

0: 关闭 LVD（默认）

1: 使能 LVD

低压复位控制寄存器 LVRCON¹ (A6H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	VREN	VROE ³	VTSEN	LVR_Rst	LVRS[2:0]			LVREN ²
访问权限:	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
复 位 值:	1 ^c	0 ^c	0 ^c	0	0 ^c	0 ^c	1 ^c	1 ^c
注 1	该寄存器只受外部复位和上电复位的影响。							
注 2	在 STOP 模式下，LVR 受 LVRGCFG 的控制，LVRGCFG 置 1 时强制关闭 LVR，LVRGCFG 置 0 时由 LVREN 控制 LVR。							
注 3	VBG 的输出引脚和 DAC、运放 AMP1 复用，因此 VROE 为 1 的时候，只有 DAC 和 AMP1 没有输出到引脚时才有效。							

Bit 7 VREN: BGR 使能位

0: 关闭 BGR

- 1: 开启 BGR (默认)
- Bit 6 VROE: VBG 输出到端口使能位
0: 禁止 VBG 输出到端口 P2.2
1: 允许 VBG 输出到端口 P2.2
VROE 为 1 的时候, 只有 DAC 和 AMP1 没有输出到引脚时才有效。
- Bit 5 VTSEN: 温度传感器电压 (VTS) 输出使能位
0: 禁止温度传感器输出电压 (高阻)
1: 允许温度传感器电压 VTS
- Bit 4 LVR_Rst: LVR 的状态, 只读
当 LVR 功能关闭时, 该位为高电平
- Bit 3:1 LVRS[2:0]: 复位电压选择位
000: 电源上升 1.9V 以上复位释放, 下降到 1.8V 触发复位
001: 电源上升 2.1V 以上复位释放, 下降到 2.0V 触发复位 (默认)
010: 电源上升 2.6V 以上复位释放, 下降到 2.5V 触发复位
011: 电源上升 2.7V 以上复位释放, 下降到 2.6V 触发复位
100: 电源上升 2.95V 以上复位释放, 下降到 2.8V 触发复位
101: 电源上升 3.15V 以上复位释放, 下降到 3.0V 触发复位
110: 电源上升 3.7V 以上复位释放, 下降到 3.5V 触发复位
111: 电源上升 4.2V 以上复位释放, 下降到 4.0V 触发复位
- Bit 0 LVREN: LVR 使能位
0: 关闭 LVR
1: 使能 LVR (默认)

低功耗低压检测控制寄存器 LPLVDCON¹ (FF47H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	LPLVDF	LPLVDSET[2:0]			LPLVDEN ²
访 问 权 限:	R-0	R-0	R-0	R	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	0	0 ^c	0 ^c	0 ^c	0 ^c
注 1	该寄存器只受外部复位和上电复位的影响。							
注 2	Bit 0 与 RCL 模块的 RCLLEN 为同一个信号; RCLLEN 和 LVDLP_EN 只要有一个为 1, 就会开启 LPLVD 模块。							

- Bit 7:5 保留
- Bit 4 LPLVDF: 低压检测标志位。LPLVD 功能关闭时, 该位输出低电平。
0: VDD 高于低压检测电平或低压检测不使能
1: VDD 低于低压检测电平
- Bit 3:1 LPLVDSET[2:0]: 低压检测电路阈值档位选择信号
000: 电压下降检测阈值 2V (默认)
001: 电压下降检测阈值 2.2V
010: 电压下降检测阈值 2.5V
011: 电压下降检测阈值 2.8V
100: 电压下降检测阈值 3V
101: 电压下降检测阈值 3.5V
110: 电压下降检测阈值 4V
111: 电压下降检测阈值 4.5V
- Bit 0 LPLVDEN: 低功耗低压检测使能位
0: 关闭 LPLVD (默认)

1: 使能 LPLVD

内部低功耗基准电压修调寄存器 LVDLP_TRIM (A4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	T[3:0]			
访问权限:	R-0	R-0	R-0	R-0	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	X	X	X	X
注	该寄存器只受外部复位和上电复位的影响。 复位值由信息区特殊字节决定, 该值经芯片中测过程而得, 并固化在信息区。							

Bit 7:4 保留

Bit 3:0 T[3:0]: 内部低功耗基准 LPVR 电压修调信号

VRH_OP 电压选择寄存器 VRCTRL (BBH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	—	VRHOP_SEL
访问权限:	R-0	R/W						
复 位 值:	U	U	U	U	U	U	U	0

Bit 7:1 保留

Bit 0 VRHOP_SEL: 提供给运放的 VRH 电压选择信号

0: VRH_OP = 2.5V (默认)

1: VRH_OP = 4V

STOP 模式配置寄存器 STOPCFG (FFA0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	LPLVDWAKEN	LPLVDRSTCFG	LPLVDCFG	LVRCFG	—	CRYLCFG	—
访问权限:	R-0	R/W	R/W	R/W	R/W	R-0	R/W	R-0
复 位 值:	U	0	0	1	1	U	0	U
注	该寄存器在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。							

Bit 7 保留

Bit 6 LPLVDWAKEN: STOP 模式下 LPLVD 的唤醒功能配置位

0: LPLVD 不能唤醒 STOP 模式 (默认)

1: LPLVD 可以唤醒 STOP 模式

Bit 5 LPLVDRSTCFG: STOP 模式下 LPLVD 的复位功能配置位

0: LPLVD 在 STOP 模式下不具有复位功能 (默认)

1: LPLVD 在 STOP 模式下作为复位源

Bit 4 LPLVDCFG: STOP 模式 LPLVD 配置位

0: STOP 模式下, LPLVD 由软件控制

1: STOP 模式下, LPLVD 关闭 (默认)

Bit 3 LVRCFG: STOP 模式下电源配置位

0: STOP 模式下, LVR/LVD 由软件控制

1: STOP 模式下, LVR/LVD 关闭 (默认)

Bit 2 保留

Bit 1 CRYLCFG: 停机模式下, 低频 CRYL 配置位

0: STOP 模式下, 低频 CRY 由 CRYEN 控制 (默认)

1: STOP 模式下, 低频 CRY 关闭

Bit 0 保留

基准电压校准寄存器 BGPTRIM (FFF2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	TRIM[5:0]					
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	X	X	X	X	X	X
注	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。 BGR 出厂前被校准到 1.25V, 校准值固化在存储区信息区, 上电复位后被读取到该寄存器, 用户可以根据需求调整给寄存器的值从而修改 BGP 电压输出。							

Bit 7:6 保留

Bit 5:0 BGPTRIM[5:0]: BGP 输出电压校准值

BGPTRIM[5:0]	输出电压
111111	输出最低
...	...
011111	中间值
...	...
000000	输出最高 (默认)

8. FLASH/E2PROM 在线编程控制器

LCM08F003G 包含三部分存储器，16KB FLASH 作为程序存储器，64 字节信息区用于保密和校准数据保存，256 字节 E2PROM 用于应用数据的保存，E2PROM 地址为 00H~FFH。程序在运行过程中可以通过 IAP 控制器对这些区间进行操作，程序区和信息区必须 16 位对齐操作，E2PROM 区按 8 位字节操作。信息区各字节用于存储器安全管理和模块校准。

8.1 基本特征

通过以下特殊功能寄存器（SFR）来完成对存储器编程。程序设置好地址、数据，再设置使能标志位后，程序暂停运行，等硬件写存储器操作完成后程序继续运行。在程序暂停运行时所有的状态保持不变，若出现中断，中断标志位保持，相当于进入 SLEEP 模式。为了防止由于存储器由于使用寿命/干扰导致无法正常完成写操作，用户可以采用 T1 中断或者采用控制器内部的定时器中止写操作。

- ◇ FLASH 控制寄存器 FLASHCtrl
- ◇ 存储器地址高 8 位寄存器 FLASHAddrH
- ◇ 存储器地址低 8 位寄存器 FLASHAddrL
- ◇ 存储器数据高 8 位寄存器 FLASHDataH
- ◇ 存储器数据低 8 位寄存器 FLASHDataL
- ◇ 分频寄存器 FLASHCLKDiv
- ◇ FLASH 编程安全寄存器 FLASHKey
- ◇ FLASH 写超时控制器寄存器 FLASHTIMCTRL

8.2 存储器安全机制简介

8.2.1 信息区字节说明

信息区包含 64 个字节，用于保密、保护字节、密钥、芯片 ID、模块校正数据的保存，系统在上电以后会自动读取部分信息区数据，其余数据需要通过 IAP 模式读取，用户可在应用程序中使用，本章节对信息区各个字节的意义作一个具体的说明。

根据芯片信息区地址 3F 存储区是否为 3AH，把信息区工作状态分为保密和非保密两种状态，当芯片处于保密状态时候，可以通过输入 32 位密钥（IAPKEYx 寄存器中写入密钥或者 ISP 模式下由烧录器发送）使芯片恢复到非保密状态。

表 8-1 信息区字节意义说明

地址	控制字节	ICP/IAP 读(R)写(W)擦(E)权限		说明
		保密状态	非保密状态	
加密使能 (LockEn)				
3FH	保密使能	写(W): N 读(R): N 擦除(E): Y	写(W): Y 读(R): Y 擦除(E): Y	保密使能字节 : 决定是否允许修改用户程序。 3AH : 保密，整个程序区间锁定，不能读写，除非输入加密密钥，加密密钥位置为 30~33H，32 位密钥，不能全为 0； 其它值 : 非保密，程序区间读写状态受读写保护字节（IRP/IWP 控制）按页控制； 保密状态下信息区 30H~33H 和 3EH~3FH 不可读不可写；
3EH	保留	同上	同上	用户禁止操作
页读保护配置 (IRP)				
3DH	页读保护 (IRP3)	写(W): 只允许写 1 读(R): Y		页读保护字节 : 8 个 bit 分别保护程序区 0x3000~0x3fff 这 4KB 空间的 8 个页（每页 512

		擦除(E): Y		字节)。对应位为 1 的时候, 除取指令, 任何方式均不能读该空间。
3CH	页读保护 (IRP2)	写(W): 只允许写 1 读(R): Y 擦除(E): Y		页读保护字节: 8 个 bit 分别保护程序区 0x2000~0x2fff 这 4KB 空间的 8 个页 (每页 512 字节)。对应位为 1 的时候, 除取指令以外, 任何方式均不能读该空间。
3BH	页读保护 (IRP1)	写(W): 只允许写 1 读(R): Y 擦除(E): Y		页读保护字节: 8 个 bit 分别保护程序区 0x1000~0x1fff 这 4KB 空间的 8 个页 (每页 512 字节)。对应位为 1 的时候, 除取指令以外, 任何方式均不能读该空间。
3AH	页读保护 (IRP0)	写(W): 只允许写 1 读(R): Y 擦除(E): Y		页读保护字节: 8 个 bit 分别保护程序区 0x0000~0x0fff 这 4KB 空间的 8 个页 (每页 512 字节)。对应位为 1 的时候, 除取指令以外, 任何方式均不能读该空间。
页写保护配置 (IWP)				
39H	页写保护 (IWP3)	写(W): Y 读(R): Y 擦除(E): Y		IAP 写保护: 8 个 bit 分别保护程序区 0x2000~0x2fff 这 4KB 空间的 8 个页 (每页 512 字节)。对应位为 1 的时候, 任何方式均不能对改区间进行写操作, 可避免该区间误操作。
38H	页写保护 (IWP2)	写(W): Y 读(R): Y 擦除(E): Y		IAP 写保护: 8 个 bit 分别保护程序区 0x2000~0x2fff 这 4KB 空间的 8 个页 (每页 512 字节)。对应位为 1 的时候, 任何方式均不能对改区间进行写操作, 可避免该区间误操作。
37H	页写保护 (IWP1)	写(W): Y 读(R): Y 擦除(E): Y		IAP 写保护: 8 个 bit 分别保护程序区 0x1000~0x1fff 这 4KB 空间的 8 个页 (每页 512 字节)。对应位为 1 的时候, 任何方式均不能对改区间进行写操作, 可避免该区间误操作。
36H	页写保护 (IWP0)	写(W): Y 读(R): Y 擦除(E): Y		IAP 写保护: 8 个 bit 分别保护程序区 0x0000~0x0fff 这 4KB 空间的 8 个页 (每页 512 字节)。对应位为 1 的时候, 任何方式均不能对改区间进行写操作, 可避免该区间误操作。
35H	保留	同上	同上	用户自定义
34H	保留	同上	同上	用户自定义
加密密钥				
33H	密钥 3	写(W): N 读(R): N 擦除(E): Y	写(W): Y 读(R): Y 擦除(E): Y	密钥[31:24]: 在 LockEn 为 3AH 情况下, 在输入 32 位密钥以后可解锁芯片到非保密状态;
32H	密钥 2	同上	同上	密钥[23:16]: 同上
31H	密钥 1	同上	同上	密钥[15:8]: 同上
30H	密钥 0	同上	同上	密钥[7:0]: 同上
2F~2C	芯片保留	写(W): IAP 禁止写 读(R): Y 擦除(E): N		用户不能使用
2BH~20H	芯片 96 位 ID	写(W): IAP 禁止写 读(R): Y 擦除(E): N		芯片 96 位唯一 ID, 出厂设置, 用户只可读
校准信息				
1FH	芯片保留	写(W): Y 读(R): Y 擦除(E): Y		用户不能使用

1EH	LPLVDTrim[3:0]	写(W): Y 读(R): Y 擦除(E): Y		内部低功耗基准 LPVR 电压修调信号
1DH	VBG Trim	写(W): Y 读(R): Y 擦除(E): Y		VBG trim, 带隙基准电压校正
1CH	RCH Trim	同上	同上	RCH TRIM, RCH 校正
1BH	VTEMP[11:8]	同上	同上	用于保存温度传感器参考温度高位
1AH	VTEMP[7:0]	同上	同上	用于保存温度传感器参考温度低位
19H	RCHPT&DUTY	同上	同上	微调控制信号和占空比控制信号, 控制恒流精度, 用于 RCH 校正
18H	保留	同上	同上	禁止用户操作
17H	保留	同上	同上	禁止用户操作
16H	BootCFG	同上	同上	Boot 启动区域选择 0x4E: 从 LDROM 启动 (即物理地址 0x3800) 其他: 正常启动 (即物理地址 0x0000)
15H	保留	同上	同上	禁止用户操作
14H	RCLTRIM	同上	同上	RCL TRIM, RCL 校正
13H~10H	芯片保留	同上	同上	禁止用户操作
用户自定义区				
0~FH	用户自定义	同上	同上	用户的自定义信息放在该区域

8.2.2 程序区读写说明

程序区读写受两个层次的控制。第一层次受信息区的加密字节控制, 当信息区加密字节 (LockEn) 为 3AH 时, 整个程序区的外部访问都被禁止, 读回数据被固定成 FFH, 写无效; 只有在输入 32 位密钥以后才可恢复。第二层次是受读写保护字节 (IRP 和 IWP) 控制, IRPx 字节的每一位控制 4KB 空间的一个 512 个字节页的读权限, IWPx 字节的每一位控制 4KB 空间的一个 512 字节的写权限, 具体如表 8-2 和表 8-3 所示。

读保护字节 IRPEn 的保护: 对应 bit 数据为 0 时, 允许读出对应保护区域数据; 否则, 读出数据固定为 FFH。

表 8-2 读保护说明

IP 读保护	Bit	保护区域
加密 LockEn	3AH	0x0000~0x3FFF
	0	0x0000~0x01FF
IRP0	1	0x0200~0x03FF
	2	0x0400~0x05FF
	3	0x0600~0x07FF
	4	0x0800~0x09FF
	5	0x0A00~0x0BFF
	6	0x0C00~0x0DFF
	7	0x0E00~0x0FFF
	IRP1	0
1		0x1200~0x13FF
2		0x1400~0x15FF
3		0x1600~0x17FF
4		0x1800~0x19FF

	5	0x1A00~0x1BFF
	6	0x1C00~0x1DFF
	7	0x1E00~0x1FFF
IRP2	0	0x2000~0x21FF
	1	0x2200~0x23FF
	2	0x2400~0x25FF
	3	0x2600~0x27FF
	4	0x2800~0x29FF
	5	0x2A00~0x2BFF
	6	0x2C00~0x2DFF
	7	0x2E00~0x2FFF
IRP2	0	0x3000~0x31FF
	1	0x3200~0x33FF
	2	0x3400~0x35FF
	3	0x3600~0x37FF
	4	0x3800~0x39FF
	5	0x3A00~0x3BFF
	6	0x3C00~0x3DFF
	7	0x3E00~0x3FFF

写保护字节 IWPEn 的保护：对应 bit 数据为 0 时，允许对应区域进行编程；否则禁止编程，可以防止程序通过 IAP 误修改。

表 8-3 写保护字节说明

IP 读保护	Bit	保护区域
加密 LockEn	3AH	0x0000~0x3FFF
IWPO	0	0x0000~0x01FF
	1	0x0200~0x03FF
	2	0x0400~0x05FF
	3	0x0600~0x07FF
	4	0x0800~0x09FF
	5	0x0A00~0x0BFF
	6	0x0C00~0x0DFF
	7	0x0E00~0x0FFF
IWP1	0	0x1000~0x11FF
	1	0x1200~0x13FF
	2	0x1400~0x15FF
	3	0x1600~0x17FF
	4	0x1800~0x19FF
	5	0x1A00~0x1BFF
	6	0x1C00~0x1DFF
	7	0x1E00~0x1FFF
IWP2	0	0x2000~0x21FF
	1	0x2200~0x23FF
	2	0x2400~0x25FF

	3	0x2600~0x27FF
	4	0x2800~0x29FF
	5	0x2A00~0x2BFF
	6	0x2C00~0x2DFF
	7	0x2E00~0x2FFF
IWP2	0	0x3000~0x31FF
	1	0x3200~0x33FF
	2	0x3400~0x35FF
	3	0x3600~0x37FF
	4	0x3800~0x39FF
	5	0x3A00~0x3BFF
	6	0x3C00~0x3DFF
	7	0x3E00~0x3FFF

8.3 FLASH/E2PROM 读写参数

表 8-4 存储区和信息区读写参数

读电压	1.8V~5.5V	
读时间	高速模式	40ns (min) @4.5~5.5V 125ns (min) @2.5~ 4.5V 240ns (min) @1.8V~2.5V
	低速模式	125ns (min) @2.5V ~5.5V 250ns (min) @1.8V ~2.5V
	省电模式	2us (min) @1.8V~5.5V
写入电压	3.0V~5.5V	
写时间 (Changed Code) ¹	4.5V<VDD<5.5V	0.3ms (typ)/3ms (wst)
	3.0V<VDD<4.5V	0.5ms (typ)/7ms (wst)
写时间 (non-changed code)	4.5V<VDD<5.4V	40us (min)
	3.0V<VDD<4.5V	0.1ms (min)
使用寿命	1,000 Cycles	

注 1: 用户进行大批量烧录的时候, 推荐采用 5 V 电压烧录。

表 8-5 E2PROM 读写参数

读电压	1.8V~5.5V	
读时间	250ns (min) @1.8V~5.5V	
写入电压	2.0V~5.5V	
写时间 (Changed Code)	2.5V<VDD<5.5V	0.7ms (typ)/3ms (wst)

	2.3V<VDD<2.5V	10ms (typ)/100ms (wst)
	2.0V<VDD<2.3V	100ms (typ)/500ms (wst)
写时间 (Non-changed code)	4.5V<VDD<5.4V	160us (min) @2.0V<VDD<5.5V
使用寿命	10,000 Cycles	

8.4 E2PROM 读写操作

方式 1: 带 Timer1 打断机制的读写 E2PROM

- (1) 写操作前, 初始化 Timer1 并使能, 设定计时 5ms, 5ms 内未进中断说明写成功。
- (2) 若 eeFlag 置 1, 说明写失败, 换地址重新写 E2PROM。
- (3) 若换地址重新写 E2PROM 仍然写失败, 芯片 E2PROM 写次数可能达到上限。
- (4) 当前定时器工作时钟为 4 MHz, 当切换到其他频率时, 需修改定时器 0/1 的初值设定。

方式 2: 带内部计时打断机制的读写 E2PROM

定时时间可选, 配置 FLASHTIMCTRL.1

E2PROM 读出
<pre> unsigned char EepromRd (unsigned char addr) { unsigned char rd_data; EA = 0; //对 IP 操作不可被打断 FLASHAddrH = 0x00; FLASHAddrL = addr; FlashCtrl = 0x0b; //读出 E2PROM Section; 不用配置密钥 rd_data = FLASHDataL; EA = 1; return rd_data; } </pre>
E2PROM 写入
<pre> void EepromWr (unsigned char addr, unsigned char wr_data) { EA = 0; //对 IP 操作不可被打断 FLASHAddrH = 0x00; FLASHAddrL = addr; FLASHDataH = 0x00; FLASHDataL = wr_data; FLASHKey = 0xA5; FLASHKey = 0xF1; FlashCtrl = 0x09; //写到 E2PROM Section EA = 1; } </pre>

```
}
```

带 TIM1 读写 E2PROM

```
/*TIM1 16 位计数模式*/
```

```
void Tim1_Mode1_16bit()
```

```
{
```

```
    TMOD |= (1 << 4); //定时器工作在模式 1
```

```
    xTIMPRS |= 0x01; //定时器计数时钟源 FCLK/4=4M; 主频配置 16M
```

```
    TR1 = 0; // T1 不使能
```

```
    TH1 = 0xEC;
```

```
    TL1 = 0x77; //溢出时间=(FFFFH + 1 - {TH1, TL1})/T1CLK
```

```
    ET1 = 1; // Timer1 溢出中断使能
```

```
    EA = 1; //使能总中断
```

```
}
```

```
/*TIM1 中断服务函数*/
```

```
void ISR_Timer1() interrupt 3
```

```
{
```

```
    TF1 = 0; //清标志位
```

```
    eeFlag = 1; // 1.25ms 进一次中断
```

```
}
```

/*带 T1 写 E2PROM: 地址 8 位有效, 为了做超地址判断, 故将写入地址变量扩展到 16 位, 实际可用 8 位*/

```
unsigned int E2Wr_T1 (unsigned int addr, unsigned char e2data)
```

```
{
```

```
    while (failFlag)
```

```
    {
```

```
        TR1 = 1;
```

```
        EepromWr(((unsigned char)addr), e2data); //对 0xf0 地址写入 0x88
```

```
        TR1 = 0;
```

```
        readData = EepromRd((unsigned char)addr);
```

```
        if ((eeFlag == 1) || (readData != e2data)) //有超时或者读出不一致计数失败次数
```

```
        {
```

```
            eeFlag = 0;
```

```
            fail_Count++;
```

```
        }
```

```
    else
```

```
    {
```

```
        eeFlag = 0;
```

```
        fail_Count = 0;
```

```
        failFlag = 0; //操作成功退出
```

```
    }
```

```
        if (fail_Count > 2) //计数失败到 3 次, 换地址写入
```

```
        {
```

```
            fail_Count = 0;
```

```
            addr = addr + 0x01;
```

```
        }
```



```

    if (addr > 0x00FF) //换地址超出最大地址直接退出， E2PROM 不可用， 建议换芯片
    {
        eeFlag = 0;
        fail_Count = 0;
        failFlag = 0; //超地址退出
    }
}
return addr;
}

```

采用内部计时的 E2PROM 读写操作

```

unsigned int E2Wr_Cnt (unsigned int addr, unsigned char e2data)
{
    while (failFlag)
    {
        LASHTIMCTRL = 0x01; //使能打断计时器， 当电压低于 3.0V 时， Bit1 建议配成 1
        EepromWr(((unsigned char)addr), e2data); //对地址写入数据
        readData = EepromRd((unsigned char)addr);
        if ((FLASHTIMCTRL & 0x04) || (readData != e2data))//有超时或者读出不一致计数失败次数
        {
            fail_Count++;
        }
        else
        {
            fail_Count = 0;
            failFlag = 0; //操作成功退出
        }
        if (fail_Count > 2) //计数失败到 3 次， 换地址写入
        {
            fail_Count = 0;
            addr = addr + 0x01;
            if (addr > 0x00FF) //换地址超出最大地址直接退出， 芯片 E2PROM 不可用， 建议换芯片
            {
                fail_Count = 0;
                failFlag = 0; //超地址退出
            }
        }
    }
    return addr;
}

```

8.5 程序区写操作

8.5.1 加密状态下的程序区写操作

```
DebugKey0= 0x78; //写入密钥, Key0 对应 FLASH 信息区 36H
DebugKey1= 0x56; //写入密钥, Key1 对应 FLASH 信息区 37H
DebugKey2= 0x34; //写入密钥, Key2 对应 FLASH 信息区 38H
DebugKey3= 0x12; //写入密钥, Key3 对应 FLASH 信息区 39H
FLASHAddrL = 0x00; //写入地址 0x2000
FLASHAddrH = 0x20;
FLASHDataL = 0xaa;
FLASHDataH = 0xaa; //双字节写入 0xaaaa
FLASHKey = 0xA5;
FLASHKey = 0xF1;
FLASHWrCtrl = 0x01;
```

8.5.2 写保护 (IWP) 下的程序区写操作

对 IWP 保护的程序区的写操作流程:

1. 修改对应的 IWP 位为 0
2. 配置 Reload 信息区位, 使新的配置有效
3. 修改对应的程序段
4. 将对应的 IWP 位设置为 1, 进入保护状态
5. 配置 Reload 信息区位, 使新的配置有效

以修改程序区 0x1000~0x11FF 为例, 当信息区写保护寄存器 IWP1 (36H) 的 bit0 为 1 时, 程序区 0x1000~0x11FF 禁止写操作, 如若编程, 需改变该区域的保护性质, 即 IWP1 bit0 的值修改为 0。

```
unsigned char lwpRead (unsigned char addr)
{
    unsigned char value1;
    FLASHAddrL = addr;
    FLASHAddrH = 0x00;
    FLASHWrCtrl = 0x07;
    value1 = FLASHDataL;
    return value1;
}

void lwpWrite (unsigned char addrL, unsigned long dat)
{
    unsigned char datah, datal;
    datah = dat>>8;
    datal = dat;
    FLASHAddrL = addrL;
    FLASHAddrH = 0x00;
```

```

        FLASHDataH = datah;
        FLASHDataL = datal;
        FLASHKey = 0xA5;
        FLASHKey = 0xF1;
        FLASHWrCtrl = 0x05; // 写到信息区
    }
void main()
{
    unsigned char iwp0, iwp1;
    unsigned long iwp0_1;
    iwp0 = lwpRead(0x36);
    iwp1 = lwpRead(0x37); // 读取 IWPO 和 IWP1 的值
    iwp1 = iwp1 & 0xfe; // IWP1 清除 bit0 保护
    iwp0_1 = (iwp1<<8) | iwp0;
    lwpWrite(0x36, iwp0_1); // 以双字节为单位，写回信息区
    WPKEY = 0x37;
    xINFLOAD = 0x01; //将信息区中 36H/37H 的值更新到 IWPO/IWP1，取消对应区域的写保护性质，
    // 程序区 0x1000~0x11FF 写保护释放，允许用户操作
    lwpRead (0x36);
    // 修改程序区
    FLASHAddrL = 0x00; // 写入地址 0x1000
    FLASHAddrH = 0x10;
    FLASHDataL = 0xaa;
    FLASHDataH = 0xaa; // 双字节写入 0xaaaa，修改程序区
    FLASHKey = 0xA5;
    FLASHKey = 0xF1;
    FLASHWrCtrl = 0x01;
    // 修改完毕
    iwp0_1 |= (1<<8); // 将 IWP1 的 bit0 的值由 0 改回到 1，程序区 0x1000~0x11FF 重新被写保护
    lwpWrite (0x36, iwp0_1); // 以双字节为单位，写回信息区
    WPKEY = 0x37;
    xINFLOAD = 0x01; //将信息区中 36H/37H 的值更新到 IWPO/IWP1
    lwpRead(0x36); //读操作使对应区域的写保护性质重新生效
    while(1);
}

```

8.6 寄存器说明

FLASH 控制器相关寄存器如表 8-6 所示。

表 8-6 FLASH 控制器相关寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
FLASHCtrl	FLASH 控制器	x	R/W	1100_0000B	D1H
FLASHAddrH	存储器单元地址高位	x	R/W	0000_0000B	D2H
FLASHAddrL	存储器单元地址低位	x	R/W	0000_0000B	D3H
FLASHDataH	存储器数据寄存器高 8 位	x	R/W	0000_0000B	D4H

FLASHDataL	存储器数据寄存器低 8 位	x	R/W	0000_0000B	D5H
FLASHCLKDiv	FLASH 编程时钟分频寄存器	x	R/W	0000_0110B	D6H
FLASHKey	FLASH 编程保护寄存器	x	W	uuuu_uuuuB	D7H
FLASHTIMCTRL	FLASH 写操作定时控制寄存器	x	R/W	uuuu_u000B	E6H
IAPKey0	解锁密钥第 1 字节	x	W	uuuu_uuuuB	FF62H
IAPKey1	解锁密钥第 2 字节	x	W	uuuu_uuuuB	FF63H
IAPKey2	解锁密钥第 3 字节	x	W	uuuu_uuuuB	FF64H
IAPKey3	解锁密钥第 4 字节	x	W	uuuu_uuuuB	FF65H
MTPLTY	FLASH 访问周期数控制寄存器	x	R/W	u000_0000B	FFF9H
MTPRUNMODE	FLASH 运行模式控制寄存器	x	R/W	uuuu_uuu0B	FFD4H
INFLOAD	信息区字节更新寄存器	x	R/W	uuu0_uuu0B	FFF6H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

FLASH 寄存器详细说明如下：

FLASH 控制寄存器 FLASHCtrl (D1H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SpeedCfg[1:0]		—	—	SecSel[1:0]		Opr	FLASHEn
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	0	0	0	0	0	0
注	在配置该寄存器之前，如果配置为写操作，必须先配置 FLASHKey 寄存器；读操作可以直接执行。							

- Bit 7:6 SpeedCfg[1:0]: FLASH 速度模式选择
00: 省电模式 (Standby) (<500 kHz)
10: 低速模式 (Low Speed) (<=4 MHz)
11: 高速模式 (High Speed) (>4 MHz) (默认)
其它: 禁止
在改变 FLASH 速度模式时，配置 SpeedCfg[1:0]时，FLASHCtrl[5:2]必须配置为 4'b1011，以防止误操作。
- Bit 5:4 保留
配置 FLASH 速度模式时，该两位设置为 2'b10。
- Bit 3:2 SecSel[1:0]: 操作区间选择
00: 程序区
01: 信息区
10: E2PROM 区
11: 保留
配置 FLASH 速度模式时，该两位设置为 2'b11
- Bit 1 Opr: 操作模式选择
1: 读
0: 写
- Bit 0 FLASHEn: IAP 读写使能
1: 使能
0: 禁止

存储器读写地址高 8 位寄存器 FLASHAddrH (D2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MADR[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 读写操作的高八位地址；对于 E2PROM 读写操作时，该寄存器无效。

存储器读写地址低 8 位寄存器 FLASHAddrL (D3H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MADR[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 读写操作的低八位地址

对于 FLASH 程序区和信息区的操作，必须 16 位对齐操作，因此 MADR[0]必须为 1'b0；对于 E2PROM，支持按字节操作，地址只由 FLASHAddrL 构成。

存储器数据寄存器高 8 位 FLASHDataH (D4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MDAT[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 写操作时候，该 8 位对应写入目标数据的高 8 位；读操作时，该 8 位对应读回数据的高 8 位。

存储器数据寄存器低 8 位 FLASHDataL (D5H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MDAT[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 写操作时候，该 8 位对应写入目标数据的低 8 位；读操作时，该 8 位对应读回数据的低 8 位。

分频寄存器 FLASHCLKDiv (D6H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	DIV[6:0]						
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	1	1	0

Bit 7 保留

Bit 6:0 存储器写过程中，要求产生一个 ClkIn，周期为 10us~15us，通过该寄存器由系统时钟 MCLK 分频得到 ClkIn，计算公式如下：

$$F_{ClkIn} = F_{Mclk} / 2 * (FlashClkDiv + 1)$$

FLASH 安全寄存器 FLASHKey (D7H)

该寄存器软件只能写，读该寄存器无效。该寄存器的作用是防止对 FLASH 编程的误操作，只有当向该寄存器依次写入 0xA5 和 0xF1 后才能进行对 FLASHCtrl 寄存器进行写操作。注意写入 0xA5 和 0xF1 的间隔不能超过 12 个时钟周期，建议写入 0xA5 后紧接着写入 0xF1。

IAPKey0 (FF62H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY[7:0]							
访 问 权 限:	W	W	W	W	W	W	W	W
复 位 值:	U	U	U	U	U	U	U	U

Bit 7:0 当信息区 3FH 地址的数据为 3AH 时，除 E2PROM 以外，程序区禁止 IAP 操作，输入 32 位密钥，可解除操作，该寄存器为密钥低字节。当完成 IAP 操作以后，需要写入非密钥值，对程序区进行加密。

IAPKey1 (FF63H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY[7:0]							
访 问 权 限:	W	W	W	W	W	W	W	W
复 位 值:	U	U	U	U	U	U	U	U

Bit 7:0 当信息区 3FH 地址的数据为 3AH 时，除 E2PROM 以外，程序区禁止 IAP 操作，输入 32 位密钥，可解除操作，该寄存器为密钥第 2 个字节。当完成 IAP 操作以后，需要写入非密钥值，对程序区进行加密。

IAPKey2 (FF64H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY[7:0]							
访 问 权 限:	W	W	W	W	W	W	W	W
复 位 值:	U	U	U	U	U	U	U	U

Bit 7:0 当信息区 3FH 地址的数据为 3AH 时，除 E2PROM 以外，程序区禁止 IAP 操作，输入 32 位密钥，可解除操作，该寄存器为密钥第 3 个字节。当完成 IAP 操作以后，需要写入非密钥值，对程序区进行加密。

IAPKey3 (FF65H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY[7:0]							
访 问 权 限:	W	W	W	W	W	W	W	W
复 位 值:	U	U	U	U	U	U	U	U

Bit 7:0 当信息区 3FH 地址的数据为 3AH 时，除 E2PROM 以外，程序区禁止 IAP 操作，输入 32 位密钥，可解除操作，该寄存器为密钥高字节。当完成 IAP 操作以后，需要写入非密钥值，对程序区进行加密。

FLASH 写操作计时控制寄存器 FLASHTIMCTRL (E6H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
--------	------	------	------	------	------	------	------	------



位 定义:	—	—	—	—	—	TimOutFlag	TimLen	TimOutMode
访问权限:	R-0	R-0	R-0	R-0	R-0	R/W	R/W	R/W
复 位 值:	U	U	U	U	U	0	0	0
注 1	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。							
注 2	该寄存器用于对 FLASH 写操作进行监控。FLASH 写时间随外界温度和电压变化, 通过配置该寄存器或采用定时器 1, 设定定时时间, 写操作启动定时器。若计时器溢出, 则判定写失败, 即未在窗口时间内完成写 FLASH 操作。							

- Bit 7:3 保留
- Bit 2 TimOutFlag: 时间溢出标志 (写清除)
0: 写 FLASH 成功
1: 写 FLASH 失败
- Bit 1 Tim1Len: 定时时间选择, 见分频寄存器 FLASHClkDiv
0: 256 个 F_{clkIn}
1: 512 个 F_{clkIn} (电压低于 3.0V 时候, 建议配置为该值)
- Bit 0 TimOutMode: 定时模式选择
0: 与定时器 1 联动
1: FLASH 内部超时计数

信息区字节更新寄存器 INFLOAD (FFF6H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	Wrp_Sel	—	—	—	InfLoad
访问权限:	R-0	R-0	R-0	R/W	R-0	R-0	R-0	R/W
复 位 值:	U	U	U	0	U	U	U	0
注	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。							

- Bit 7:5 保留
- Bit 4 Wrp_Sel: 选择更新字节
0: IWP1 和 IPW0 将更新生效
1: IWP3 和 IWP2 将更新生效
- Bit 3:1 保留
- Bit 0 InfLoad: 对信息区的对应保护配置进行更新以后, 设置 InfLoad 为 1, 更新以后的值将生效。

FLASH 访问周期控制寄存器 MTPLTY (FFF9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	LtyDecCon	VDecEn	LtyFlag	ReadCyc[3:0]			
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	0	0	0	0	0	0	0
注 1	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。							
注 2	当系统从低频率变为高频率时, 如果设置的 ReadCyc 不满足要求, 会自动变为最低时钟周期数, 具体见表 8-7; 当系统是从高频率降低为低频率时, 程序需要修改 ReadCyc, 以满足性能要求。							

- Bit 7 保留
- Bit 6 LtyDecCon: FLASH 访问周期数违反监测控制位
0: 监测开启 (默认)
1: 监测关闭

用于监测当前访问 FLASH 周期数是否违反（当前运行值小于默认值），以及访问周期数修改违反（当前写入值小于默认值），一旦违反置位标志位 LtyFlag。

Bit 5 VDecEn: 当前电压监测使能，结合 LPLVD 使用
0: 监测关闭（默认）
1: 监测开启

FLASH 的访问时间受芯片工作电压影响。开启电压监测，芯片可根据当前电压值调整访问周期数，使其在较低电压下也能正确访问 FLASH。

Bit 4 LtyFlag: FLASH 访问周期数违反标志位
一旦违反标志位置 1，若配置相应中断使能，产生中断，该位软件清 0。

Bit 3:0 ReadCyc[3:0]: 访问周期数设定
当芯片工作电压较低，芯片默认的访问周期数无法满足要求时，用户可软件调整 FLASH 的访问周期数，以保证系统正常运行。FLASH 默认访问周期数可查表 8-7 得知。

FLASH 运行模式控制寄存器 MTPRunMode (FFD4H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	—	RunMode
访问权限:	R-0	R/W						
复位值:	U	U	U	U	U	U	U	0

Bit 0 RunMode: FLASH 访问周期配置
0: 访问周期数由 ReadCyc[3:0]控制。
1: 当工作电压稳定在 4.5V 以上时候，关闭 LtyDecCon，无论系统频率是多少，均可以配置 ReadCyc 为 0。

由于 FLASH 在不同速度模式和电压下，访问速度不同，因此当 MCU 工作在不同频率下，需要预留多个时钟，具体见下表 8-7（电压点 3.3V 可以改变）：

表 8-7 FLASH 电压/频率与访问周期数的关系

High Speed 模式 (FLASHCtrl.Speed=2'b11)		
电压	工作频率	访问周期数 (ReadCyc) 配置值
大于 3.3V	16 MHz	1
	8 MHz	0
	Others	0
小于 3.3V	16 MHz	2
	8 MHz	1
	4 MHz	0
	Others	0
Low Power 模式 (FLASHCtrl.Speed=2'b10)		
大于 3.3V	16 MHz	3
	8 MHz	1
	4 MHz	0
	Others	0
小于 3.3V	16 MHz	7
	8 MHz	4
	4 MHz	2
	2 MHz	0

	Others	0	
Standby 模式 (FLASHCtrl.Speed=2'b00)			
1.8V~5.5V	16 MHz	禁止	
	8 MHz	禁止	
	4 MHz	6.5	7
	2 MHz	2.5	3
	1 MHz	1.5	1
	500 kHz	0.5	0

9. 中断系统

现今 8/16/32 位 MCU 都提供这样的机制：允许某些内部或外部事件的优先级高于正常的程序流程，当这些事件发生时，CPU 必须尽快中止当前正在执行的程序，转向相应的处理程序为其服务，待处理完毕，再返回去执行被中止的原程序，这个过程就是中断。引起中断的原因或设备称为中断源。MCU 的中断源一般会有多个，用来管理这些中断的逻辑称为中断系统。

中断机制有两种，可屏蔽中断与不可屏蔽中断。可屏蔽中断指某个事件发生时能置起中断标志，但是只有对应使能位有效时该中断才会被响应；而不可屏蔽中断则不受使能位影响，当事件触发出现后 CPU 必须无条件响应，比如复位。

9.1 基本特征

LCM08F003G 集成了 8 位 LC51 核，采用了类似 8051 的中断结构。LC51 核最大支持 23 个中断源，LCM08F003G 的中断系统基本特征如下：

- ◇ 16 个可屏蔽中断源，其中包括 4 个外部中断。
- ◇ 一个中断对应一个中断使能位。
- ◇ 一个中断对应一个优先级控制位。
- ◇ 一个中断对应一个独立的中断入口地址（也称为中断向量）。
- ◇ 一个中断可能有一个以上标志，这种中断响应后需要软件识别中断源，如 T2 中断。
- ◇ 两个不同优先级中断同时发生时，先响应高优先级中断。
- ◇ 两个同优先级中断同时发生时，按照默认优先级响应。矢量地址低的中断源具有更高的优先级。
- ◇ 某些中断标志可在进入中断入口后被硬件自动清除，也可以通过软件清除。
- ◇ KBI 中断有双缓冲机制。

9.2 中断表

LCM08F003G 各中断源以及相关标志位/使能位与入口地址列表如下：

表 9-1 LCM08F003G 中断资源

默认 优先级	中断名称	标志位	标志位 硬件清除	使能位	中断入口地址
	复位	-	-	-	0000H
0	外部中断 0	IE0 (TCON.1)	是	EX0	0003H
1	定时器 0 中断	TF0 (TCON.5)	是	ET0	000BH
2	外部中断 1	IE1 (TCON.3)	是	EX1	0013H
3	定时器 1 中断	TF1 (TCON.7)	是	ET1	001BH
4	串行口 UART0 中断	RI/TI	否	ES	0023H
5	定时器 2 溢出中断	TF2 (T2CON1.7) EXF2 (T2CON1.6)	否	ET2	002BH
6	SPI 中断	SPRF (SPIFLG.5) SPTEF (SPIFLG.4) RXOV (SPIFLG.3) WCOL (SPIFLG.2) MODF (SPIFLG.1)	否	ESPI	0033H
7	定时器 2 捕获中断	CAPF (T2CON.6)	否	ET2CAP	003BH
8	I2C 中断	SI (I2CCON.3)	否	EI2C	0043H
9	低压报警中断	LVDF (LVDCON.5)	否	ELVD	004BH

默认 优先级	中断名称	标志位	标志位 硬件清除	使能位	中断入口地址
10	高级定时器 T3 捕获源中断	CC1IF (SR2.1) CC2IF (SR2.2) CC3IF (SR2.3) CC4IF (SR2.4)	否	ET3CAP	0053H
11	比较器 0 输出中断	CP0RIF (CP0CON.1) CP0FIF (CP0CON.0)	否	ECMP0	005BH
12	比较器 1 输出中断	CP1RIF (CP1CON.1) CP1FIF (CP1CON.0)	否	ECMP1	0063H
13	ADC 中断	ADINTS (ADCON.1)	否	EADC	006BH
14	FLASH 读延迟切换中断	LtyFlag (MTPLTY.4)	否	EFLASH	0073H
15	外部中断 2	EINTF[2] (EINTCS1.0)	否	EX2	007BH
16	外部中断 3	EINTF[3] (EINTCS1.1)	否	EX3	0083H
17	看门狗 WDT 预警中断	WDTF (RSTSRC.3)	否	EWDT	008BH
18	串行口 UART1 中断	RI1/TI1	否	EUART1	0093H
19	WT 中断	WTIF (WTCON.6)	否	EWT	009BH
20	KBI 中断	KBIF (KBIFLG.0)	否	EKB	00A3H
21	高级定时器 3 非捕获源中 断	BIF (SR2.7) TIF (SR2.6) COMIF (SR2.5) UIF (SR2.0)	否	ET3NONCAP	00ABH

9.3 中断系统框图

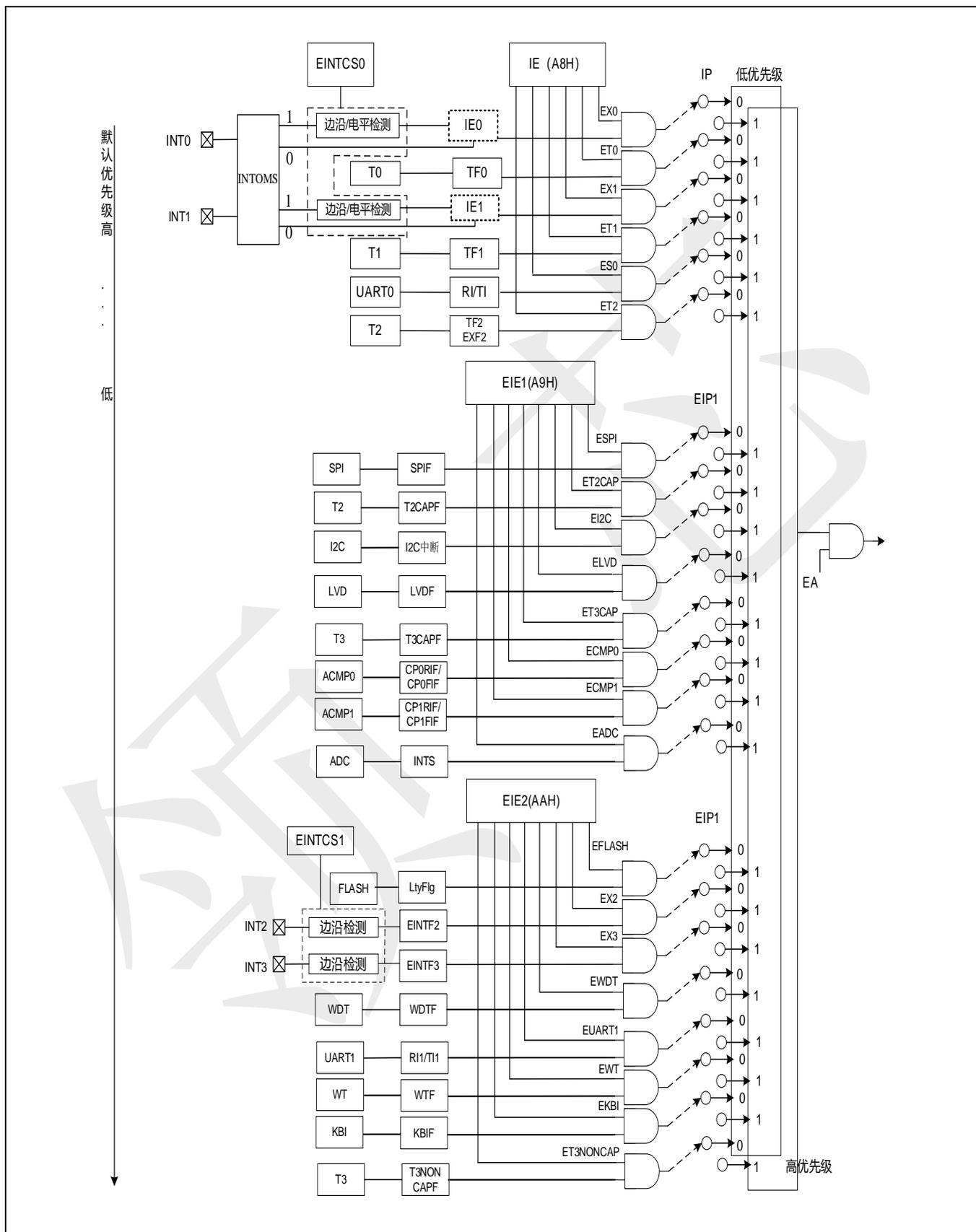


图 9-1 中断系统框图

图 9-1 中 IP/ EIP1/EIP2 对应 3 个优先级设置寄存器，IE/ EIE1/EIE2 对应 3 个中断使能寄存器（个别中断

标志位还需要模块本身的中断使能位控制，详见各模块介绍）。EINTCS0/1 用于 4 个外部中断的触发方式选择/使能，并记录相关状态。

9.4 管脚配置

外部中断 INT0~INT3 需要与外部管脚复用，配置如表 9-2:

表 9-2 外部中断复用管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
INT0	I	外部中断 0 输入	P0.0 ~ P0.7	EINT01RMP[2:0]
INT1	I	外部中断 1 输入	全引脚覆盖	INT1SEL= 0: 来自外部引脚, 由 EINT01RMP[7:3]选择输入的引脚 INT1SEL= 1: 来自 RCL/8
INT2	I	外部中断 2 输入	P2.0 ~ P2.4	EINT23RMP[2:0]
INT3	I	外部中断 3 输入	全引脚覆盖	EINT23RMP[7:3]

9.5 功能描述

9.5.1 中断执行过程

每个中断源都可以用 IE/EIE1/EIE2 三个寄存器中的一个中断允许位允许或禁止，并且必须首先置 EA 位为 1 (IE.7) 才能使能所有中断。不管每个中断允许位的设置如何，清 EA 位将禁止所有中断。

进入 SLEEP 模式前，必须置 EA 为 1，并且使能相应中断使能位，这样在 SLEEP 模式中相应中断请求发生时才能唤醒 CPU 并进入中断服务程序。

某些中断标志在 CPU 进入 ISR 时被中断系统中的硬件逻辑自动清除。但大多数中断标志不是由硬件清除的，必须在 ISR 返回前用软件清除。如果一个中断标志在 CPU 执行 RETI 指令后仍然保持置位状态，则会立即产生一个新的中断请求，CPU 将在执行完下一条指令后重新进入 ISR。

软件设置对应的中断标志，在对应中断使能时也能产生有效的中断请求。

9.5.2 中断时序

在 EA 置 1 且相应中断使能的前提下，中断基本时序如图 9-2 所示（以外部中断 INTn 为例）：

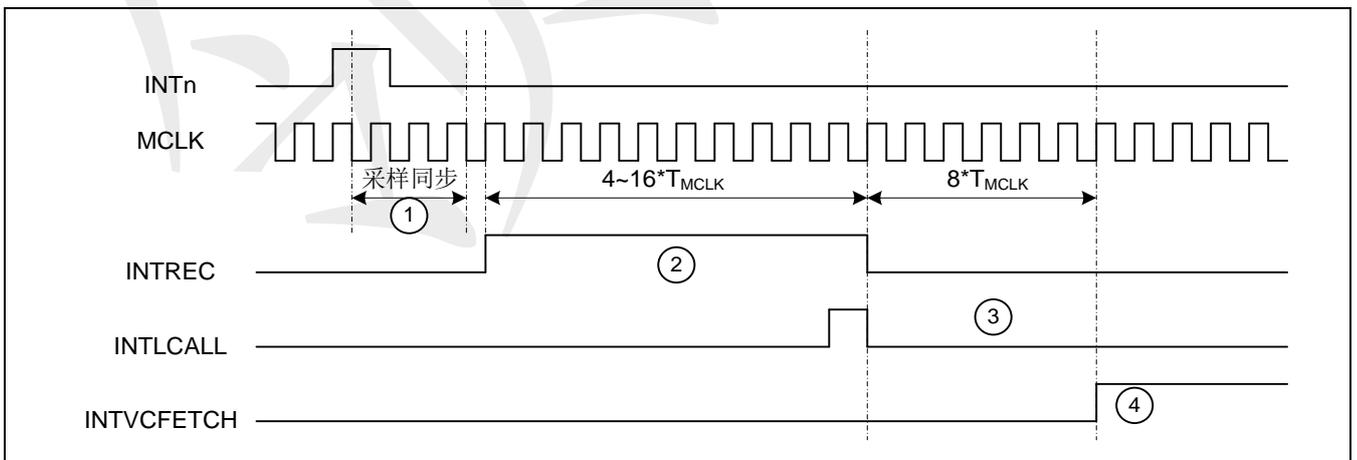


图 9-2 基本中断时序

信号说明:

✧ INTREC/INTLCALL/INTVCFETCH 这三个信号是中断处理逻辑内部信号。

- ◇ INTREC 表示 CPU 有效识别中断请求。
- ◇ INTLCALL 表示 CPU 接下来插入一个长跳转指令。
- ◇ INTVCFETCH 表示 CPU 跳转到对应中断矢量地址入口。

当外部中断有效电平/有效沿到达（ $INTnMS=0$ ， $n=0/1/2/3$ ），LC51 核依靠 FCLK 的下降沿来检测该信号（同步），系统在第 4 个下降沿检测到同步中断信号。如果在此之前系统处于 SLEEP 模式，则此后系统将被唤醒，MCLK 有效（SLEEP 模式中 MCLK 停止，所以前面的采集时钟来自 FCLK，该信号与 MCLK 相位相同）。接着 MCLK 的上升沿置起 INTREC 标志。该过程对应图 9-2 的第①步。

为了保证中断处理过程不把任意一个正在执行的指令从中间断开引起错误，中断执行流程允许中断请求有效（INTREC 置高）以后接下来的两条指令执行完成。此时中断逻辑清除内部的中断请求（一般不是模块中的标志）并准备执行 LCALL 指令。如图 9-2 的第②步，中断逻辑执行这些操作至少需要 4 个 MCLK 周期，即使两条指令执行时间小于 4 个 MCLK 周期，那么这一步的时间最少也是 4 个 MCLK 周期。如果两条指令执行时间长于 4 个 MCLK 周期，那么这一步延时由指令执行时间决定。如两条 DIV 指令，则这里的延时长达 16 个周期。

第③步时间固定为 8 个 MCLK 周期。程序指针压栈，执行 LCALL 操作，获取中断矢量地址。因此中断响应时间（中断请求信号出现到中断服务入口的延时）最短为 15 个 MCLK 周期，最大为 27 个 MCLK 周期。

外部中断信号还有一条异步触发中断的途径。设置 $EINTSEL[n]=1$ ，外部信号边沿（上升或下降）直接触发生成一个请求标志 EINTF 再由 FCLK 采样，随后响应过程与前面的描述相同。

9.5.3 外部中断

9.5.3.1 外部中断检测

LCM08F003G 有 4 个外部中断 $INT0\sim INT3$ ，其中 $INT0/INT1$ 除了兼容传统 8051 设计被 TCON 寄存器中的 $IT0/IT1$ 控制以外，还增加了 1 个寄存器 EINTCS0，允许任意边沿或电平触发中断。 $INT2/INT3$ 则只允许边沿触发中断。

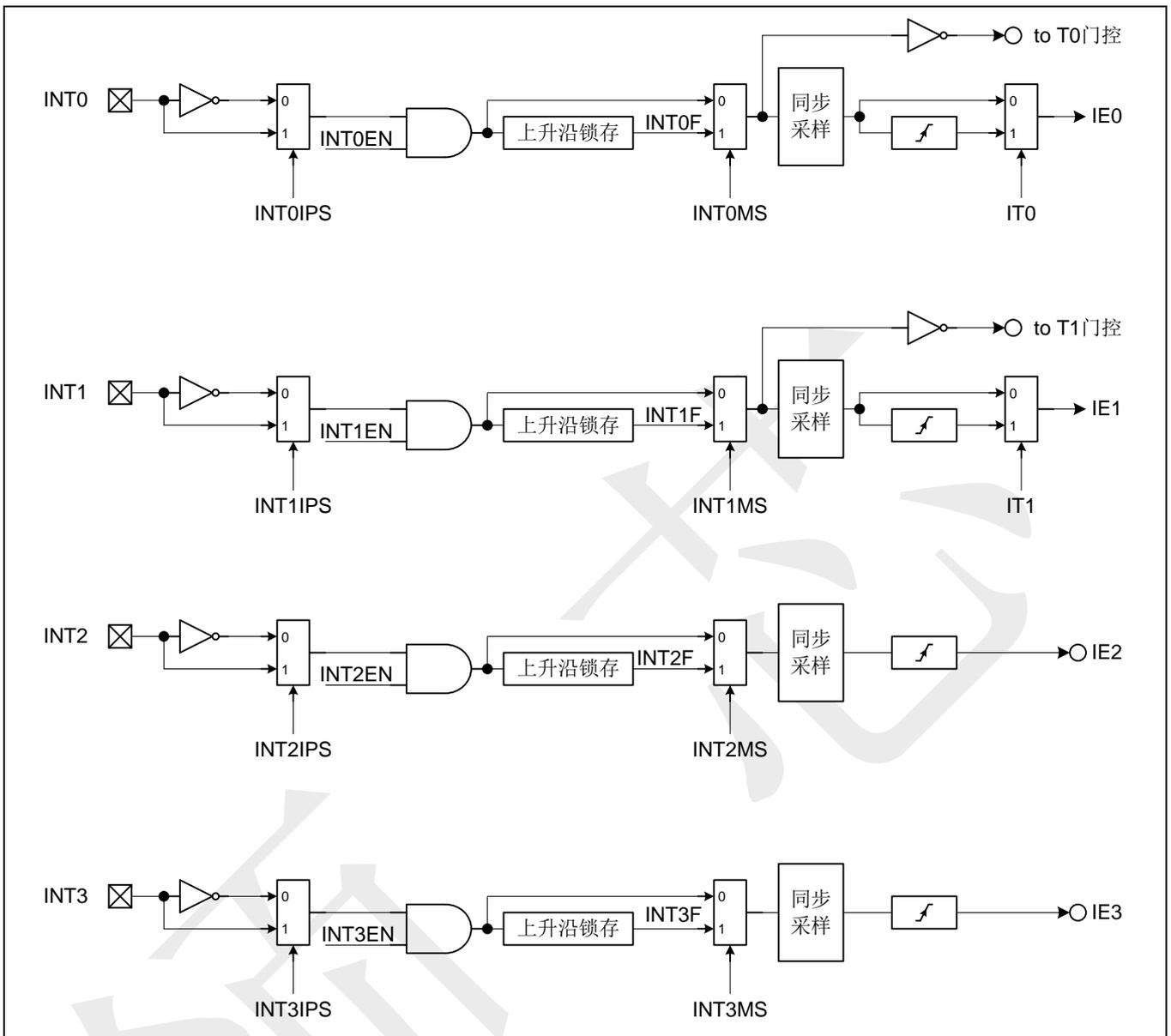


图 9-3 外部中断检测

注 1: INT0~INT3 可选择不同的管脚（或信号），请参考章节 9.4。相应管脚用作外部中断时，要设置成输入，避免误触发。

注 2: 上升沿锁存单元一旦检测到上升沿，就会将中断标志位置 1，直到复位或者软件清除（读清）才变 0。

注 3: 外部中断配置成锁存模式时，必须在中断处理程序（ISR）中清除 INTnF（n=0/1/2/3）标志以便接收后面的中断。

图 9-3 是对外部中断检测（图 9-1 中虚线框）的细化。经 INTnMS 选择前所有 4 个中断配置相同，有两条路径，这两条路径差别在于对外部输入中断脉冲信号宽度的要求不同。

当 INTnMS=0 时，外部信号直接输入到中断处理逻辑，要求外部中断信号宽度不小于 1 个 FCLK 周期，简称直通中断途径。

当 INTnMS=1 时，外部信号的上升沿可直接产生中断标志，因此也称之为锁存中断路径。该路径下可以接收信号宽度小于 FCLK 周期的中断请求，但由于要经过硬件消抖，所以对中断脉冲仍有最小宽度的要求。配置成该模式时，中断处理结束后必须软件清除 INTnF 标志（读清）以便接收后面的中断。

由于这些标志位采用了双缓冲设计，建议用户在每次清 0 前后读一次标志位，以确保有效清除中断标志。

9.5.3.2 外部中断配置

INT0/1 采用与传统 8051 类似的结构，寄存器 TCON 中控制位 IT0/IT1 进一步控制电平与极性的选择。这两路中断配置方式如下（以 INT0 为例，INT1 与 INT0 相同）：

表 9-3 INTO 模式配置

INTOMS	ITO	INTOIPS	说明
0	0	0	模式 1: 直通模式, 低电平触发中断, 中断标志 IE0。
	0	1	模式 2: 直通模式, 高电平触发中断, 中断标志 IE0。
	1	0	模式 3: 直通模式, 下降沿触发中断, 中断标志 IE0。
	1	1	模式 4: 直通模式, 上升沿触发中断, 中断标志 IE0。
1	0	0	模式 5: 锁存模式, 下降沿触发设置 INTOF 标志, 该标志以电平方式产生内部中断请求。因此中断处理结束后如果 INTOF 没有清除, 那么将产生连续中断。
	0	1	模式 6: 锁存模式, 上升沿触发设置 INTOF 标志。后续处理同模式 5。
	1	0	模式 7: 锁存模式, 下降沿触发设置 INTOF 标志, 该标志从低到高跳变产生内部中断请求。因此只产生一次中断。同样中断处理结束后需要清 INTOF 标志, 否则无法接收后面的中断。
	1	1	模式 8: 锁存模式, 上升沿触发设置 INTOF 标志。后续处理同模式 7。

根据上表, 模式 1/2/3/4 配置为直通模式。外部中断 INTO (INT1) 模式 1/3 与传统 8051 兼容。而模式 2/4 分别实现了高电平/上升沿中断。电平中断模式下, 中断服务程序结束退出中断后, 如果相应电平条件依然满足, 那么将再次进入中断。这 4 种模式要求外部中断信号宽度≥1 个 MCLK 周期。

模式 5/6/7/8 配置为锁存模式, 扩展该方式的根本目的是接收脉冲宽度小于 MCLK 周期的中断信号。无论 ITO/IT1 怎么设置, 中断逻辑都能检测到有效的中断请求。如果 ITO (IT1) =0, 外部一次触发产生的请求将在内部持续产生中断请求。而当 ITO (IT1) 置 1 时, 则只触发一次有效的中断请求。ISR 退出后必须清 INTOF/INT1F 标志, 否则模式 5/6 下将不停产生中断。而模式 7/8 则无法接收后面的中断。用户可根据需要选择这 4 种模式中的一种。

由于 EINTCS0/1 中配置 INTnEN 位, 即使相应中断不使能, 外部中断请求有效时 IE0/IE1 标志也能置 1。INT2/3 与 INTO/1 不同, 其模式配置如下表 (以 INT2 为例, INT3 与 INT2 相同):

表 9-4 INT2 模式配置

INT2MS	INT2IPS	说明
0	0	直通模式, 下降沿触发中断
0	1	直通模式, 上升沿触发中断
1	0	锁存模式, 下降沿触发设置 INT2F 标志, 发出中断请求
1	1	锁存模式, 上升沿触发设置 INT2F 标志, 发出中断请求

9.6 使用提示

中断的正确使用方法如下:

1. 开启相关模块或配置好外部中断方式。(对于外部中断选用异步中断方式时, 需要将对应中断端口设置为输入模式)。
2. 清除对应中断标志, 防止残留状态触发意外中断。注意某些具有双缓冲机制的中断, 需要清除两次。
3. 对应中断使能位置 1, 允许该中断源触发中断。
4. EA 置 1, 总中断使能开启。

进入中断服务程序后, 正确流程如下:

1. 备份相关寄存器。
2. 根据中断源进行相关中断处理操作。
3. 恢复相关寄存器。
4. 清除中断标志 (某些标志硬件自动清除), 并退出中断服务程序 (RETI)。

9.7 寄存器说明

LCM08F003G 的相关中断寄存器如表 9-5 所示。

表 9-5 中断相关寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
IE	中断允许寄存器	√	R/W	0u00_0000B	A8H
IP	中断优先级寄存器	√	R/W	uu00_0000B	B8H
EIE1	扩展中断允许 1	×	R/W	0000_0000B	A9H
EIE2	扩展中断允许 2	×	R/W	0000_0000B	AAH
EIP1	扩展中断优先级 1	×	R/W	0000_0000B	B9H
EIP2	扩展中断优先级 2	×	R/W	0000_0000B	BAH
EINTCS0	外部中断控制状态寄存器 0	×	R/W	0000_0000B	ACH
EINTCS1	外部中断控制状态寄存器 1	×	R/W	0000_0000B	BCH
TCON	定时器控制寄存器	√	R/W	0000_0000B	88H
EINT01RMP	外部中断 01 引脚选择寄存器	×	R/W	0000_0000B	FF56H
EINT23RMP	外部中断 23 引脚选择寄存器	×	R/W	0000_0000B	FF57H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

中断寄存器详细说明如下：

中断允许寄存器 IE (A8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	EA	—	ET2	ES	ET1	EX1	ETO	EXO
访问权限:	R/W	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	U	0	0	0	0	0	0

- Bit 7 EA: 中断请求总使能位
0: 禁止所有中断请求（默认）
1: 中断请求总使能位打开，中断是否允许取决于各中断使能位
- Bit 6 保留
- Bit 5 ET2: T2 中断使能位
0: 禁止 T2 的中断请求（默认）
1: 允许 T2 的中断请求
- Bit 4 ES: UART0 中断使能位
0: 禁止 UART0 的中断请求（默认）
1: 允许 UART0 的中断请求
- Bit 3 ET1: T1 溢出中断使能位
0: 禁止 T1 的中断请求（默认）
1: 允许 T1 的中断请求
- Bit 2 EX1: 外部中断 INT1 中断使能位
0: 禁止 INT1 的中断请求（默认）
1: 允许 INT1 的中断请求
- Bit 1 ETO: T0 溢出中断使能位
0: 禁止 T0 的中断请求（默认）
1: 允许 T0 的中断请求
- Bit 0 EX0: 外部中断 INTO 中断使能位
0: 禁止 INTO 的中断请求（默认）
1: 允许 INTO 的中断请求

中断优先级寄存器 IP (B8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	PT2	PUART0	PT1	PX1	PT0	PX0
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	0	0	0	0	0	0

Bit 7:6 保留

Bit 5 PT2: T2 中断优先级选择位

0: 低优先级 (默认)

1: 高优先级

Bit 4 PUART0: UART0 中断优先级选择位

0: 低优先级 (默认)

1: 高优先级

Bit 3 PT1: T1 中断优先级选择位

0: 低优先级 (默认)

1: 高优先级

Bit 2 PX1: 外部中断 INT1 中断优先级选择位

0: 低优先级 (默认)

1: 高优先级

Bit 1 PT0: T0 中断优先级选择位

0: 低优先级 (默认)

1: 高优先级

Bit 0 PX0: 外部中断 INTO 中断优先级选择位

0: 低优先级 (默认)

1: 高优先级

扩展中断允许寄存器 EIE1 (A9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	EADC	ECMP1	ECMP0	ET3CAP	ELVD	EI2C	ET2CAP	ESPI
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7 EADC: ADC 转换结束中断使能

0: 禁止 ADC 转换结束中断请求 (默认)

1: 允许 ADC 转换结束中断请求

Bit 6 ECMP1: 比较器 1 上升/下降沿中断使能位

0: 禁止比较器 1 中断请求 (默认)

1: 允许比较器 1 中断请求

Bit 5 ECMP0: 比较器 0 上升/下降沿中断使能位

0: 禁止比较器 0 中断请求 (默认)

1: 允许比较器 0 中断请求

Bit 4 ET3CAP: 高级定时器捕获中断使能位

0: 禁止高级定时器捕获中断请求 (默认)

1: 允许高级定时器捕获中断请求

Bit 3 ELVD: 低压检测中断使能位

0: 禁止低压检测中断请求 (默认)

1: 允许低压检测中断请求



- Bit 2 EI2C: I2C 中断使能位
0: 禁止 I2C 中断请求 (默认)
1: 允许 I2C 中断请求
- Bit 1 ET2CAP: 定时器 2 捕获中断允许位
0: 禁止 T2 捕获中断请求 (默认)
1: 允许 T2 捕获中断请求
- Bit 0 ESPI: SPI 中断允许位
0: 禁止 SPI 中断请求 (默认)
1: 允许 SPI 中断请求

扩展中断允许寄存器 EIE2 (AAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ET3NONCAP	EKBI	EWT	EUART1	EWDT	EX3	EX2	EFLASH
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7 ET3NONCAP: 高级定时器非捕获中断使能位
0: 禁止高级定时器非捕获中断请求 (默认)
1: 允许高级定时器非捕获中断请求
- Bit 6 EKBI: 键盘中断使能位
0: 禁止键盘中断请求 (默认)
1: 允许键盘中断请求
- Bit 5 EWT: WT 中断使能位
0: 禁止 WT 中断请求 (默认)
1: 允许 WT 中断请求
- Bit 4 EUART1: UART1 中断使能位
0: 禁止 UART1 中断请求 (默认)
1: 允许 UART1 中断请求
- Bit 3 EWDT: WDT 中断使能位
0: 禁止 WDT 中断请求 (默认)
1: 允许 WDT 中断请求
- Bit 2 EX3: 外部中断 INT3 中断使能位
0: 禁止 INT3 的中断请求 (默认)
1: 允许 INT3 的中断请求
- Bit 1 EX2: 外部中断 INT2 中断使能位
0: 禁止 INT2 的中断请求 (默认)
1: 允许 INT2 的中断请求
- Bit 0 EFLASH: FLASH 读周期数异常中断使能位
0: 禁止中断请求 (默认)
1: 允许中断请求

扩展中断优先级寄存器 EIP1 (B9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PADC	PCPOF	PCPOR	PT3CAP	PLVD	PI2C	PT2CAP	PSPI
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7 PADC: ADC 转换结束中断优先级控制位
0: 低优先级 (默认)
1: 高优先级
- Bit 6 PCPOF: CPO 下降沿中断优先级选择位
0: 低优先级 (默认)
1: 高优先级
- Bit 5 PCPOR: CPO 上升沿中断优先级选择位
0: 低优先级 (默认)
1: 高优先级
- Bit 4 PT3CAP: 高级定时器捕获中断优先级选择位
0: 低优先级 (默认)
1: 高优先级
- Bit 3 PLVD: LVD 中断优先级选择位
0: 低优先级 (默认)
1: 高优先级
- Bit 2 PI2C: I2C 中断优先级选择位
0: 低优先级(默认)
1: 高优先级
- Bit 1 PT2CAP:T2 捕获中断优先级控制位
0: 低优先级 (默认)
1: 高优先级
- Bit 0 PSPI: SPI 中断优先级控制位
0: 低优先级 (默认)
1: 高优先级

扩展中断优先级寄存器 EIP2 (BAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PT3NONCAP	PKB	PWT	PS1	PWDT	PX3	PX2	PFLASH
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7 PT3NONCAP: 高级定时器非捕获中断优先级选择位
0: 低优先级 (默认)
1: 高优先级
- Bit 6 PKB: KBI 中断优先级选择位
0: 低优先级 (默认)
1: 高优先级
- Bit 5 PWT: WT 中断优先级选择位
0: 低优先级 (默认)
1: 高优先级
- Bit 4 PS1: UART1 中断优先级选择位
0: 低优先级 (默认)
1: 高优先级
- Bit 3 PWDT: WDT 中断优先级选择位
0: 低优先级 (默认)

- 1: 高优先级
- Bit 2 **PX3: 外部中断 INT3 中断优先级选择位**
0: 低优先级 (默认)
1: 高优先级
- Bit 1 **PX2: 外部中断 INT2 中断优先级选择位**
0: 低优先级 (默认)
1: 高优先级
- Bit 0 **PFLASH: FLASH 读周期数异常中断优先级选择位**
0: 低优先级 (默认)
1: 高优先级

外部中断控制与状态寄存器 EINTCS0 (ACH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	INT1MS	INT0MS	INT1EN	INT0EN	INT1IPS	INT0IPS	INT1F	INT0F
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
注	INT0/1 配置成锁存模式时, 必须在中断处理程序 (ISR) 中清除 INT0F (INT1F) 标志以便接收后面的中断。							

- Bit 7 **INT1MS: INT1 输入模式选择位**
0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期 (默认)。
1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INT1F, 允许接收脉冲宽度小于 MCLK 周期的中断请求。
- Bit 6 **INT0MS: INT0 输入模式选择位**
0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期 (默认)。
1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INT0F, 允许接收脉冲宽度小于 MCLK 周期的中断请求。
- Bit 5 **INT1EN: INT1 中断请求使能位**
0: 禁止 INT1 产生中断请求 (默认)
1: 允许 INT1 产生中断请求
- Bit 4 **INT0EN: INT0 中断请求使能位**
0: 禁止 INT0 产生中断请求 (默认)
1: 允许 INT0 产生中断请求
- Bit 3 **INT1IPS: INT1 输入极性选择位**
0: 反相输入 (默认)
1: 正相输入
- Bit 2 **INT0IPS: INT0 输入极性选择位**
0: 反相输入 (默认)
1: 正相输入
- Bit 1 **INT1F: INT1 中断标志位**
0: 无中断请求产生
1: 有中断请求产生
读 1 后写 0 清 0
- Bit 0 **INT0F: INT0 中断标志位**

- 0: 无中断请求产生
 1: 有中断请求产生
 读 1 后写 0 清 0

外部中断控制与状态寄存器 EINTCS1 (BCH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	INT3MS	INT2MS	INT3EN	INT2EN	INT3IPS	INT2IPS	INT3F	INT2F
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
注	INT2/3 配置成锁存模式时, 必须在中断处理程序 (ISR) 中清除 INT2F (INT3F) 标志以便接收后面的中断。							

- Bit 7** INT3MS: INT3 输入模式选择位
 0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期 (默认)。
 1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INT3F, 允许接收脉冲宽度小于 MCLK 周期的中断请求。
- Bit 6** INT2MS: INT2 输入模式选择位。
 0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期 (默认)。
 1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INT2F, 允许接收脉冲宽度小于 MCLK 周期的中断请求。
- Bit 5** INT3EN: INT3 中断请求使能位
 0: 禁止 INT3 产生中断请求 (默认)
 1: 允许 INT3 产生中断请求
- Bit 4** INT2EN: INT2 中断请求使能位
 0: 禁止 INT2 产生中断请求 (默认)
 1: 允许 INT2 产生中断请求
- Bit 3** INT3IPS: INT3 输入极性选择位
 0: 反相输入 (默认)
 1: 正相输入
- Bit 2** INT2IPS: INT2 输入极性选择位
 0: 反相输入 (默认)
 1: 正相输入
- Bit 1** INT3F: INT3 中断标志位
 0: 无中断请求产生
 1: 有中断请求产生
 读 1 后写 0 清 0
- Bit 0** INT2F: INT2 中断标志位
 0: 无中断请求产生
 1: 有中断请求产生
 读 1 后写 0 清 0

定时器控制寄存器 TCON (88H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0

位地址:	8FH	8EH	8DH	8CH	8BH	8AH	89H	88H
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

- Bit 3 IE1: INT1 中断请求标志位
0: 无 INT1 中断请求产生
1: 有 INT1 中断请求产生
中断发生后硬件清 0
- Bit 2 IT1: INT1 触发方式选择位
0: 高电平触发 (默认)
1: 上升沿触发
- Bit 1 IE0: INTO 中断请求标志位
0: 无 INTO 中断请求产生
1: 有 INTO 中断请求产生
中断发生后硬件清 0
- Bit 0 IT0: INTO 触发方式选择位
0: 高电平触发 (默认)
1: 上升沿触发

外部中断引脚选择寄存器 EINT01RMP (FF56H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	INTRMP1[4:0]					INTRMP0[2:0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

- Bit 7:3 INTRMP1[4:0]: INT1 输入引脚选择
00000~00111: P0.0~P0.7 (默认 P0.0)
01000~01111: P1.0~P1.7
10000~10100: P2.0~P2.4
其他: P1.0
- Bit 2:0 INTRMP0[2:0]: INTO 输入引脚选择
000: P0.0 (默认)
001: P0.1
010: P0.2
011: P0.3
100: P0.4
101: P0.5
110: P0.6
111: P0.7

外部中断引脚选择寄存器 EINT23RMP (FF57H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	INTRMP3[4:0]					INTRMP2[2:0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

- Bit 7:3 INTRMP3[4:0]: INT3 输入引脚选择

00000~00111: P0.0~P0.7 (默认 P0.0)
01000~01111: P1.0~P1.7
10000~10100: P2.0~P2.4
其他: P2.3

Bit 2:0 INTRMP2[2:0]: INT2 输入引脚选择

000: P2.0 (默认)
001: P2.1
010: P2.2
011: P2.3
100: P2.4
其他: P2.0

10. 定时器 T0/T1

10.1 基本特征

LCM08F003G 的 T0/T1 两个定时器，与传统 51 兼容，但 T0 增加了方波输出，T1 增加了 PWM 输出。基本特征如下：

- ◇ 兼容 MCS-51 的 Timer0/Timer1
- ◇ 独立的预分频时钟选择，每个定时器都有 8 级分频比可选，最大分频比为 256。
- ◇ T0/T1 各自中断源独立。
- ◇ T0 支持方波输出，T1 支持 PWM 输出。

正常工作模式下和 SLEEP 模式下 T0/T1 均可正常工作，产生中断。STOP 模式下，T0/T1 不工作。

10.2 管脚配置

T0/T1 工作在计数模式和 PWM 模式时，需要与管脚复用，具体配置见下表。

表 10-1 T0/T1 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
T0	I	T0 计数脉冲输入	P0.5/P1.3	TIMER0RMP
T1	I	T1 计数脉冲输入	P0.0/P0.7	TIMER1RMP
T0O	O	T0 输出	P0.5/P1.3	TOPWMEN 置 1 T0OE (IOMUX2.6)
T1O	O	T1 输出	P0.0/P0.7	T1PWMEN 置 1 T1OE (IOMUX2.7)

10.3 功能描述

LCM08F003G 的 T0/T1 为 16 位定时/计数，有 8 位预分频器。兼容了传统 8051 T0/T1 的功能，通过设置 TOM[1:0]和 T1M[1:0]，T0 支持 4 种工作模式，T1 支持 3 种工作模式。同时 T0 增加了方波输出功能，T1 增加了 PWM 输出功能。

TR1/TRO 用于使能 T0/T1，TF1/TF0 用于指示 T0/T1 的状态。通过将 ET1/ET0 置 1，可以在 T0/T1 溢出时，产生中断请求。

初始化计数器前，需要置 TRO/1 位为 0，否则初始化不能成功。当需要 T1 工作在 PWM 模式时，要先使能 T1PWMEN，然后再设置 TL1 和 TH1。

进入 SLEEP 模式后，T0/T1 仍可以继续计数，此时系统的功耗很低，适用于需要长时间定时又需要低功耗的场合。

下面以 T0 为例介绍定时器的几种工作模式（除工作模式 3，T1 和 T0 相同）。

10.3.1 工作模式 0

TOM[1:0]设置为 2'b00 时，T0 工作在模式 0。

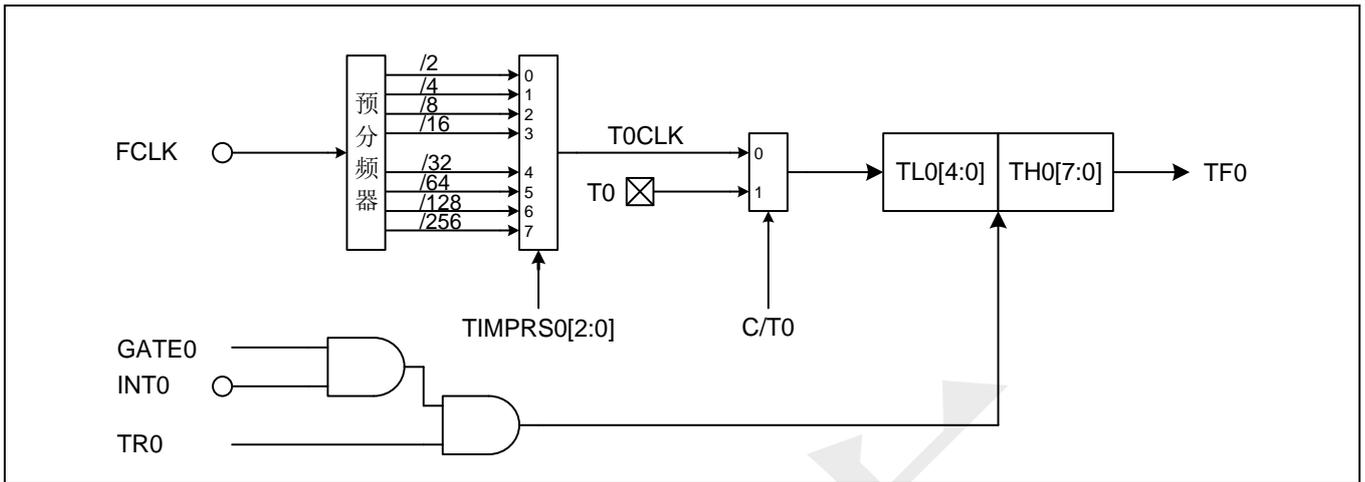


图 10-1 工作模式 0

此模式下，T0 用作 13 位定时器，由 TH0 的 8 位和 TL0 的低 5 位组成。计到 1FFFH 后，再计一次将使计数置回到 0000H，溢出中断标志位 TF0 置 1，如果该中断被允许（ETO 置 1），将产生一个中断。

T0 有两种使能方式：GATE0 为 0 时，TR0 置 1 使能 T0；GATE0 为 1 时，TR0 置 1 并不会立即使能 T0，而是要等到 INTO 为高电平时才使能 T0，称之为门控计数方式，可用于测量外部中断管脚 INTO 有效输入信号的电平宽度。INT0 并不直接来自于外部管脚，而是经过一些逻辑处理。

通过设置 C/T0 选择定时和计数模式。C/T0 为 0 时，选择定时模式时，时钟源来自 FCLK；C/T0 为 1 时，选择计数模式时，时钟源来自外部管脚 T0/T1 输入，当检测到 T0/T1 管脚的下降沿时，计数器加 1。

10.3.2 工作模式 1

T0M[1:0] 设置为 2'b01 时，T0 工作在模式 1。

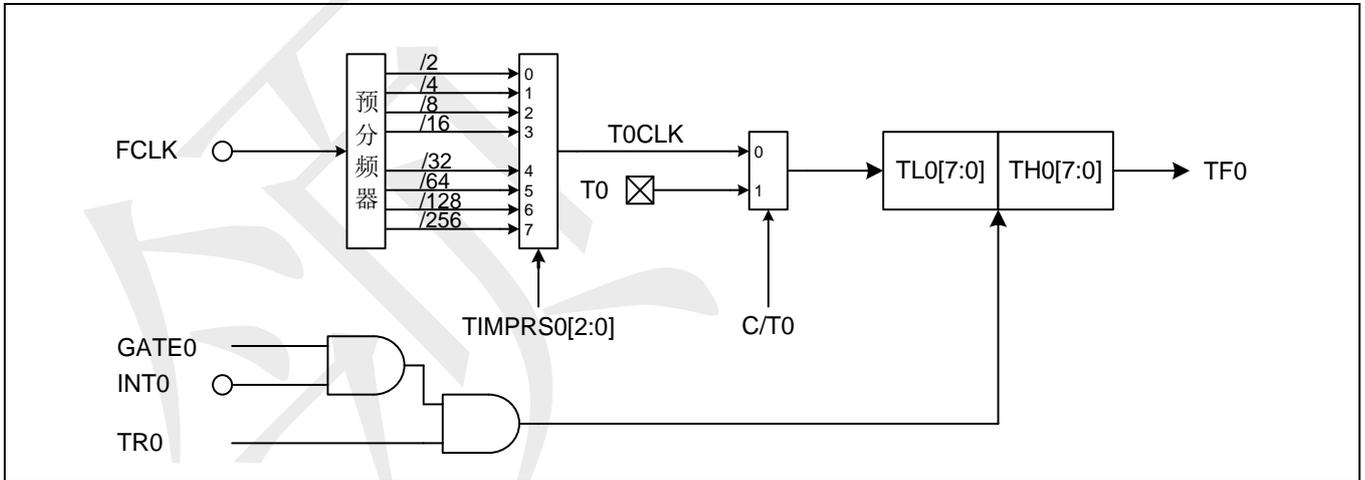


图 10-2 工作模式 1

此模式下，T0 用作 16 位定时器，由 TH0 的 8 位和 TL0 的 8 位组成。计到 FFFFH 后，再计一次将使计数置回到 0000H，溢出中断标志位 TF0 置 1，如果该中断被允许（ETO 置 1），将产生一个中断。其他控制方式同模式 0。

10.3.3 工作模式 2

T0M[1:0] 设置为 2'b10 时，T0 工作在模式 2。

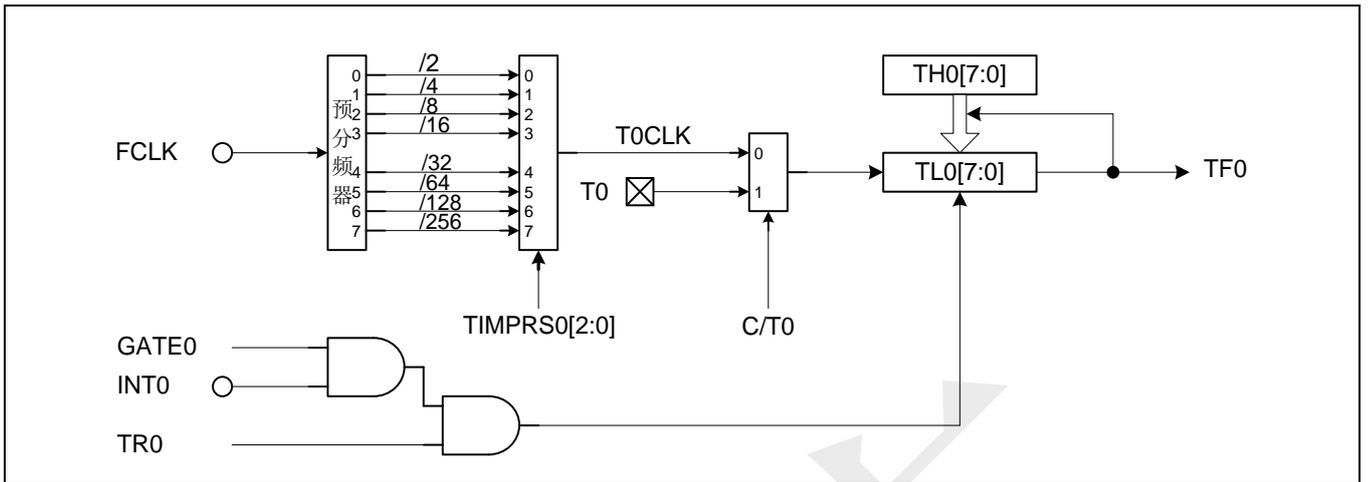


图 10-3 工作模式 2

此模式下，T0 配置为具有自动重新装载计数初值能力的 8 位定时器。TLO 为 8 位定时器，而 TH0 装载初始值。当 TLO 中的计数值发生溢出（从 00H 到 FFH）时，TH0 中的值被重新装入到 TLO，同时定时器溢出标志位 TF0 置 1，如果中断被允许（ETO 置 1），将产生一个中断。TH0 中的重载值保持不变。

为了保证第一次计数正确，必须在允许定时器之前将 TLO 初始化为所希望的计数值。

10.3.4 工作模式 3

TOM[1:0] 设置为 2'b11 时，T0 工作在模式 3。

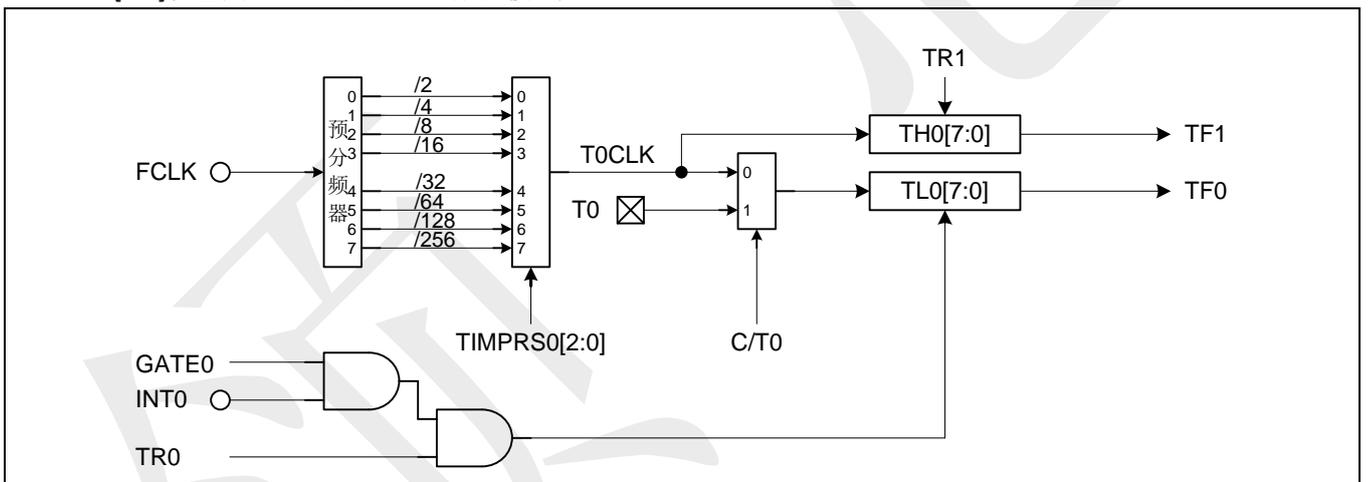


图 10-4 工作模式 3

此模式下，T0 的 TLO 和 TH0 被配置为两个独立的 8 位定时器。TLO 使用 TR0、C/T0、GATE0 和 TF0 等控制和标志位。TH0 只能实现定时器功能，并且使用 TR1 作为使能位，发生溢出时，置位 TF1。

T1 无此工作模式。若将 T1 设置成模式 3，就会使 T1 立即停止计数（等效于 TR1=0）。在 T0 工作在模式 3 时，T1 仍可设置成模式 0/1/2，但不能置位 TF1 和产生中断。

10.3.5 T0 方波输出模式

将 TOPWMEN (TIMCFG.0) 置 1，T0 配置为占空比为 50%、周期可调的方波输出模式。TOOE (IOMUX2[6]) 设置引脚，可以将 T00 输出到管脚。

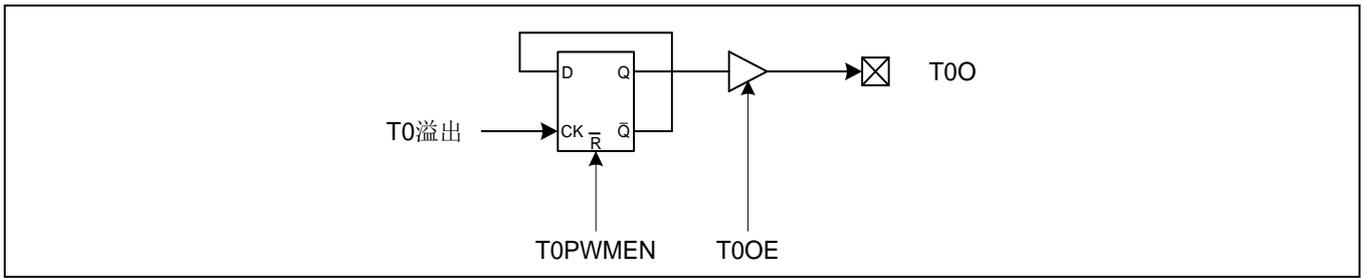


图 10-5 T0 方波输出示意图

T0 工作在方波输出模式时，使能以后，T0 从设置的初值开始计数。T0 计数器溢出时，T0O 翻转，同时 T0 计数器继续从设置的初值向上计数，等到 T0 再溢出时 T0O 再次翻转，依次循环，得到一个占空比为 50%、周期可调的方波。其周期由 T0 溢出频率决定，如下表：

表 10-2 T0 方波周期表

T0 工作方式	T0 方波频率
工作方式 0	$2 * (1FFFH + 1 - \{TH0, TL0[4:0]\}) * TOCLK$
工作方式 1	$2 * (FFFFH + 1 - \{TH0, TL0\}) * TOCLK$
工作方式 2	$2 * (256 - TH0) * TOCLK$
工作方式 3	$2 * (256 - TL0) * TOCLK$
注 1	当使能 T0 方波输出时，建议 T0 工作在模式 2。工作在其它模式时，由于要响应中断，在 ISR 中对 TH0/TL0 赋值，会造成周期误差。
注 2	TOCLK 指 FCLK 经过分频后的时钟，详见各工作模式框图。

10.3.6 T1 PWM 输出模式

T1 工作在模式 2 时，将 T1PWMEN (TIMCFG.1) 置 1，T1 配置为占空比和周期可调的 8 位 PWM 模式。T1OE (IOMUX2[7]) 选择管脚，可以将 T1O 输出到管脚。

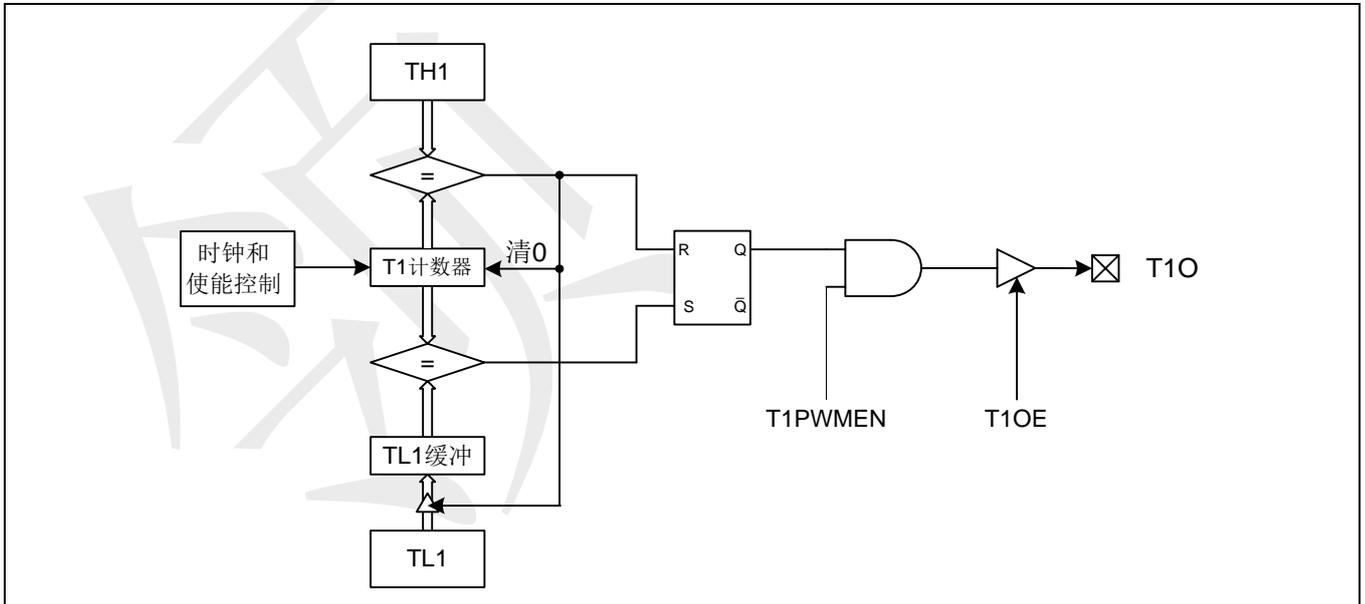


图 10-6 T1 PWM 输出示意图

T1 扩展为 PWM 模式时，TL1 作为占空比寄存器，TH1 作为周期寄存器。占空比寄存器有缓冲，可随时修改占空比。使能 T1 后，T1O 清 0，T1 计数器从 00H 开始向上计数。当 T1 计数值和 TL1 缓存值相等时，T1O 置 1，T1 计数器继续计数。当 T1 计数值和 TH1 寄存器值相等时，T1O 清 0，同时将 T1 计数器清 0，并从 TL1 寄存器读入新的占空比值到 TL1 缓存，T1 计数器重新开始计数。

T1 的 PWM 占空比为 $(TH1 - TL1) / TH1 * 100\%$ 。只有 T1 工作在模式 2 时，才能扩展成 PWM 模式。

10.4 寄存器说明

定时器 T0/T1 相关寄存器列表如下：

表 10-3 T0/T1 相关寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
TCON	定时器控制寄存器	√	R/W	0000_0000B	88H
TMOD	定时器方式寄存器	×	R/W	0000_0000B	89H
TL0	定时器 0 低字节	×	R/W	0000_0000B	8AH
TL1	定时器 1 低字节	×	R/W	0000_0000B	8BH
TH0	定时器 0 高字节	×	R/W	0000_0000B	8CH
TH1	定时器 1 高字节	×	R/W	0000_0000B	8DH
TIMPRS	TIMER 时钟预分频控制寄存器	×	R/W	u000_u000B	FFCAH
TIMCFG	定时器 0/1 配置寄存器	×	R/W	uuuu_uu00B	FFCDH
IOMUX2	IO 复用控制寄存器 0	×	R/W	00uu_0000B	FFE2H
TIMERMP	计数时钟源输入引脚配置寄存器	×	R/W	00uu_uu00B	FF51H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

T0/T1 相关寄存器详细说明如下：

定时器控制寄存器 TCON (88H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
访问权限:	R/W							
复 位 值:	0	0	0	0	0	0	0	0

Bit 7 TF1: T1 溢出中断请求标志位

0: 无 T1 溢出中断请求产生

1: 有 T1 溢出中断请求产生

当 T1 计数溢出时，由内部硬件置位 TF1，请求中断，当 CPU 响应中断并转向执行 ISR 时，该标志位由内部硬件自动清 0。

Bit 6 TR1: T1 使能位

0: 关闭 T1 (默认)

1: 开启 T1

Bit 5 TF0: T0 溢出中断请求标志位

0: 无 T0 溢出中断请求产生

1: 有 T0 溢出中断请求产生

当 T0 计数溢出时，由内部硬件置位 TF0，请求中断，当 CPU 响应中断并转向执行 ISR 时，该标志位由内部硬件自动清 0。

Bit 4 TR0: T0 使能位

0: 关闭 T0 (默认)

1: 开启 T0

Bit 3 IE1: INT1 中断请求标志位

0: 无 INT1 中断请求产生

1: 有 INT1 中断请求产生

中断发生后硬件清 0



- Bit 2 IT1: INT1 触发方式选择位
0: 高电平触发 (默认)
1: 上升沿触发
- Bit 1 IE0: INTO 中断请求标志位
0: 无 INTO 中断请求产生
1: 有 INTO 中断请求产生
中断发生后硬件清 0
- Bit 0 IT0: INTO 触发方式选择位
0: 高电平触发 (默认)
1: 上升沿触发

定时器模式寄存器 TMOD (89H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	GATE1	C/T1	T1M[1:0]		GATE0	C/T0	T0M[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7 GATE1: T1 门控模式使能位
0: 禁止门控模式, T1 的开启与关闭由 TR1 决定 (默认)
1: 开启门控模式, T1 的开启与关闭由 TR1 和 INT1 决定
- Bit 6 C/T1: T1 定时器/计数器模式选择位
0: 定时器模式, 由 FCLK 经过预分频器后触发 T1 (默认)
1: 计数器模式, 由 T1 管脚输入的脉冲信号触发 T1
- Bit 5:4 T1M[1:0]: T1 工作模式选择位
00: 模式 0, 13 位计数模式 (默认)
01: 模式 1, 16 位计数模式
10: 模式 2, 自动装载的 8 位计数模式
11: T1 无效, 停止计数
- Bit 3 GATE0: T0 门控模式使能位
0: 禁止门控模式, T0 的开启与关闭由 TR0 决定 (默认)
1: 开启门控模式, T0 的开启与关闭由 TR0 和 INTO 决定
- Bit 2 C/T0: T0 定时器/计数器模式选择位
0: 定时器模式, 由 FCLK 经过预分频器后触发 T0 (默认)
1: 计数器模式, 由 T0 管脚输入的脉冲信号触发 T0
- Bit 1:0 T0M[1:0]: T0 工作模式选择位
00: 模式 0, 13 位计数模式 (默认)
01: 模式 1, 16 位计数模式
10: 模式 2, 自动装载的 8 位计数模式
11: 模式 3, 两个独立的 8 位计数器 (无自动重载)

T0 寄存器高字节 TH0 (8CH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TH0[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

T0 寄存器低字节 TL0 (8AH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TL0[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

T0 寄存器是 16 位寄存器，由高字节 TH0 和低字节 TL0 构成，复位值都是 00H。这两个寄存器都只能按字节寻址，写 TH0、TL0 之前须先停止 T0 的计数。

T1 寄存器高字节 TH1 (8DH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TH1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

T1 寄存器低字节 TL1 (8BH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TL1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

T1 寄存器是 16 位寄存器，由高字节 TH1 和低字节 TL1 构成，复位值都是 00H。这两个寄存器都只能按字节寻址，写 TH1、TL1 之前须先停止 T1 的计数。

T0/T1 时钟预分频控制寄存器 TIMPRS (FFCAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	TIMPRS1[2:0]			—	TIMPRS0[2:0]		
访问权限:	R-0	R/W	R/W	R/W	R-0	R/W	R/W	R/W
复 位 值:	U	0	0	0	U	0	0	0

Bit 7 保留

Bit 6:4 TIMPRS1[2:0]: T1 时钟预分频选择位

000: T1 工作时钟为 FCLK/2 (默认)

001: T1 工作时钟为 FCLK/4

010: T1 工作时钟为 FCLK/8

011: T1 工作时钟为 FCLK/16

100: T1 工作时钟为 FCLK/32

101: T1 工作时钟为 FCLK/64

110: T1 工作时钟为 FCLK/128

111: T1 工作时钟为 FCLK/256

Bit 3 保留

Bit 2:0 TIMPRS0[2:0]: T0 时钟预分频选择位

000: T0 工作时钟为 FCLK/2 (默认)

001: T0 工作时钟为 FCLK/4

010: T0 工作时钟为 FCLK/8

011: T0 工作时钟为 FCLK/16

- 100: T0 工作时钟为 FCLK/32
- 101: T0 工作时钟为 FCLK/64
- 110: T0 工作时钟为 FCLK/128
- 111: T0 工作时钟为 FCLK/256

T0/T1 扩展 PWM 配置寄存器 TIMCFG (FFCDH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	T1PWMEN	TOPWMEN
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W
复位值:	U	U	U	U	U	U	0	0

- Bit 7:2 保留
- Bit 1 T1PWMEN: T1 配置为 PWM 输出模式使能位
 0: 禁止 PWM 输出模式 (默认)
 1: 使能 PWM 输出模式
- Bit 0 TOPWMEN: T0 配置为方波输出模式使能位
 0: 禁止方波输出模式 (默认)
 1: 使能方波输出模式

管脚复用控制寄存器 IOMUX2 (FFE2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	T1OE	T0OE	—	—	I2CRMP[1:0]		BUZEN	nBUZEN
访问权限:	R/W	R/W	R-0	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	U	U	0	0	0	0
注	T00、T10 复用控制分别在 TOPWMEN 和 T1PWMEN 为高电平时有效							

- Bit 7 T1OE: 定时器 1 PWM 波形输出使能位 (T1PWMEN 为 1 时有效)
 0: P0.0 复用成 PWM (默认)
 1: P0.7 复用成 PWM
- Bit 6 T0OE: 定时器 0 方波输出使能位 (TOPWMEN 为 1 时有效)
 0: P0.5 复用成 PWM (默认)
 1: P1.3 复用成 PWM

计数时钟源输入引脚配置寄存器 TIMERMP (FF51H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TIMER2RMP	T2EX	—	—	—	—	TIMER1RMP	TIMER0RMP
访问权限:	R/W	R/W	R-0	R-0	R-0	R-0	R/W	R/W
复位值:	0	0	U	U	U	U	0	0

- Bit 1 TIMER1RMP T1 输入引脚选择
 0: P0.0 (默认)
 1: P0.7
- Bit 0 TIMER0RMP T0 输入引脚选择
 0: P0.5 (默认)
 1: P1.3

11. 定时器 T2

T2 是一个 16 位的定时器/计数器，由两个 8 位的计数器 TL2（低字节）和 TH2（高字节）组成，支持 4 路捕获通道，支持 1 对互补 PWM 波的产生。

11.1 基本特征

LCM08F003G 具有一个 16 位的定时器，其具有五种工作状态，分别是：

- ◇ 16 位自动重载模式，支持内部触发重载，外部触发重载和溢出重载三种重载方式。
- ◇ 16 位捕获模式，支持多个可选外部触发源，提供两个 16 位的捕获寄存器。
- ◇ 可编程波形生成模式（PPG 模式），支持内部触发和外部触发，支持重复触发。
- ◇ 单脉冲模式（one-shot 模式），支持内部触发和外部触发。
- ◇ PWM 死区互补波形输出模式，支持 PWM/nPWM 波形输出。

正常工作模式下和 SLEEP 模式下 T2 均可正常工作，正常产生中断。STOP 模式下，T2 被禁止。

11.2 管脚配置

T2 有 4 个引脚跟外部管脚复用，具体配置见下表：

表 11-1 T2 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
T2	I	T2 计数时钟输入	P0.3/P1.0	TIMERMP[7]
T2EX	I	T2 捕获输入	P0.3/P0.4/P0.5/ P1.0/P1.5	TIMERMP[6]
PWM	O	T2PWM 输出	P0.3/P0.6 /P1.5/P2.2	PWMRMP[1:0], T2PWMEN = 1
nPWM	O	T2PWM 互补输出	P0.2/P0.7	PWMRMP[4], T2NPWMEN = 1, DTGEN = 1

11.3 功能描述

11.3.1 定时器 2 捕获电路

定时器 2 共 4 路捕获通道，包含多种捕获源：高级定时器、外部引脚、比较器 0/1、RCL 和内部 1KHz 方波。

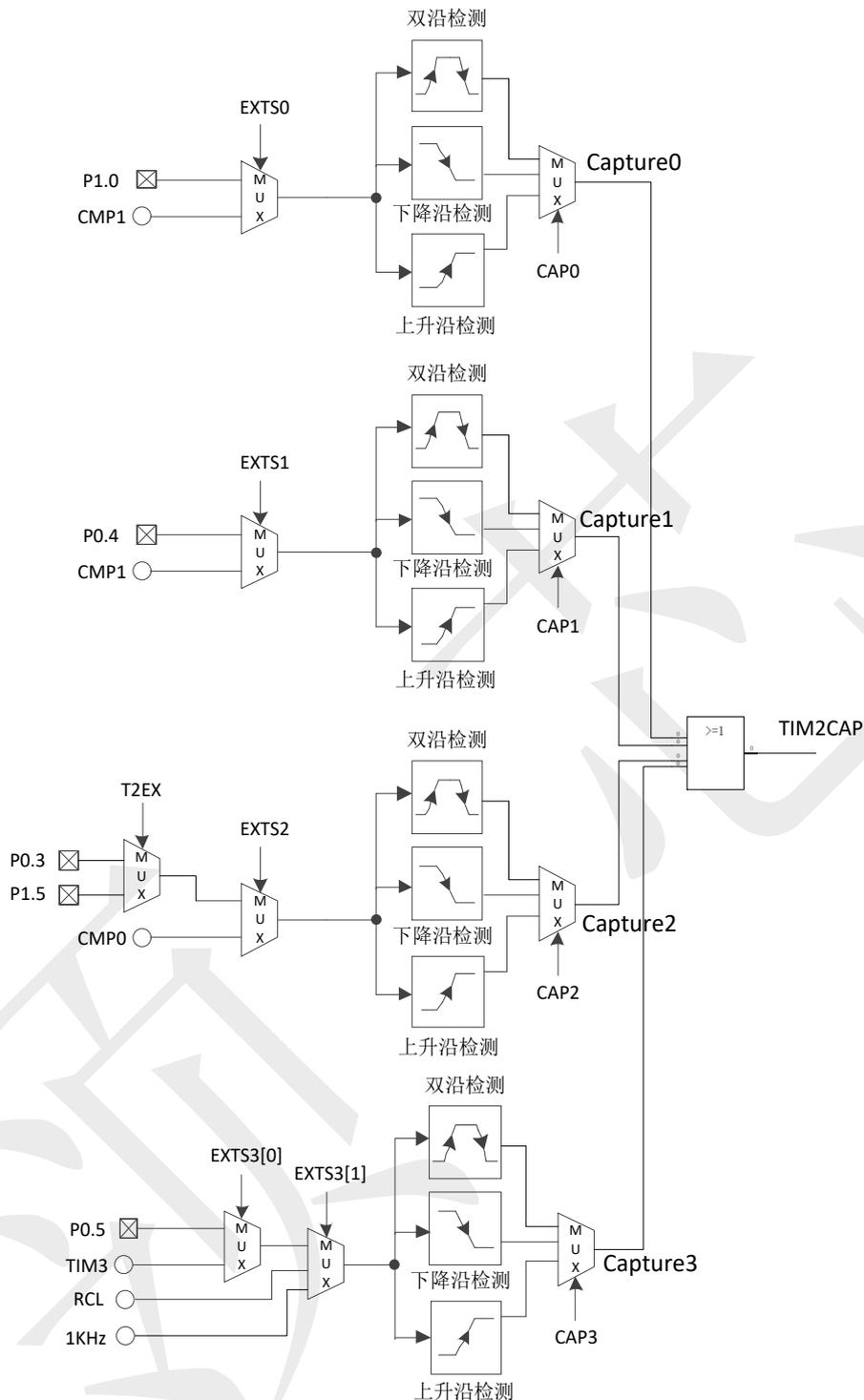


图 11-1 捕获电路框图

11.3.2 16 位自动重载模式 (PPGEN=0, CP/RL2=0)

在该模式下，内部向上计数器正常计数，捕获寄存器 1 和捕获寄存器 2 用于存储重载的数据。当遇到重载条件发生时，将相应寄存器值重载到计数器中继续计数。LCM08F003G 共支持 3 个重载源，一个外部触发，内部软件触发和计数溢出重载。外部触发可以选择上升沿触发，下降沿触发或者双边沿触发，在采用外部触发时首先需要选择相应触发源的触发极性，然后使能 T2CON 中的 EXEN2 位。当外部重载触发时，可以通过查看 T2CAPS 寄存器查看相应触发标志。当选用内部软件触发时，直接写 T2MOD 中 LOAD 位为 1，该位在写完后将会自动清零。重载寄存器有三种可以选择，可以通过 T2MOD 寄存器中的 RDSRC 位

配置，可以配置为重载全 0，重载捕获寄存器 1 和重载捕获寄存器 2。在开启定时器 2 之前，可以往 TL2 和 TH2 中写入计数器初值。在自动重载模式下，有两个中断源，T2 溢出中断和 T2 外部触发中断。在发生溢出操作或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序。

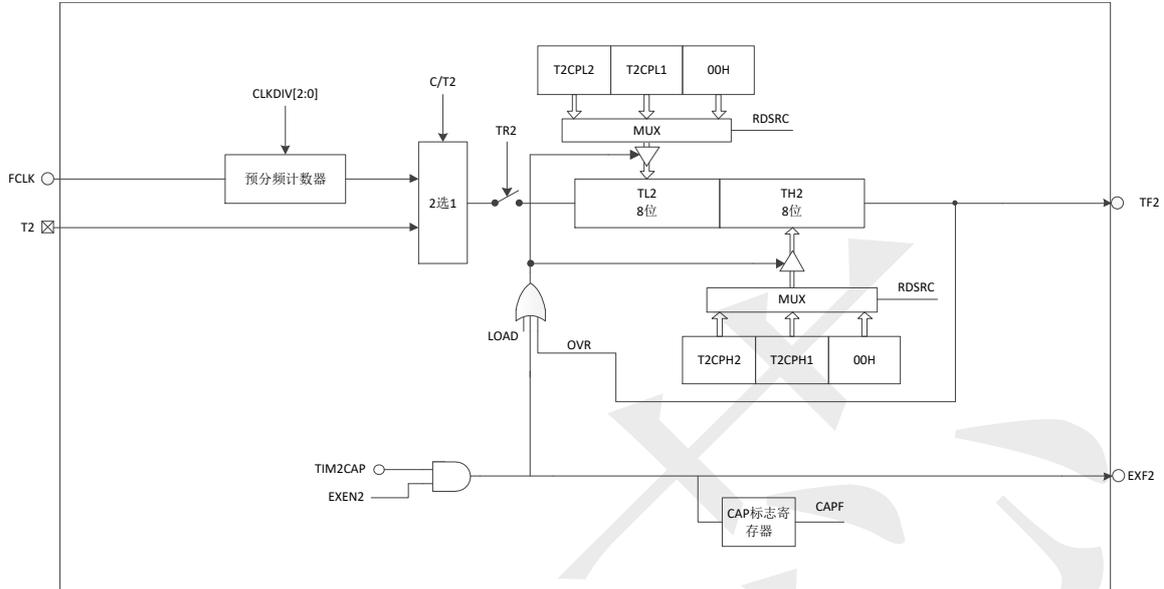


图 11-2 16 位自动重载模式内部框图

11.3.3 16 位捕获模式 (PPGEN=0, CP/RL2=1)

16 位捕获模式可以捕获当前 16 位计数器的值到捕获寄存器。捕获寄存器 1/2 用于存储捕获数据。当外部触发时，捕获的数据将存储到捕获寄存器 1 或 2 中。在捕获操作发生时，可以根据 T2MOD 寄存器中 CAPCLR 位确定计数器是继续计数还是归零重新开始计数。在开启定时器 2 之前，可以往 TL2 和 TH2 中写入计数器初值。在捕获模式下，有两个中断源，T2 溢出中断和 T2 外部触发中断。在发生溢出操作或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序。

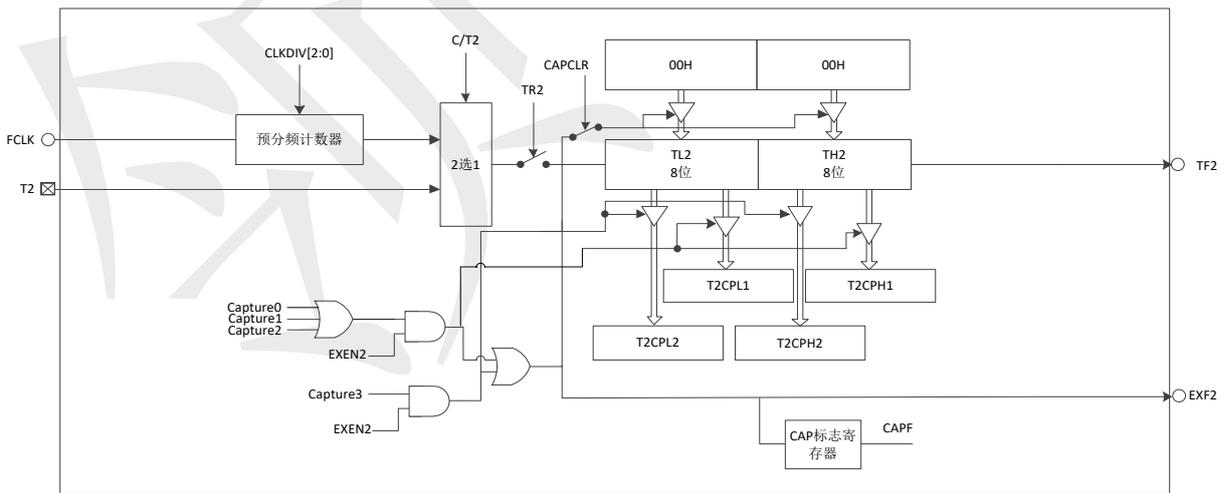


图 11-3 16 位捕获模式内部框图

11.3.4 可编程波形生成器 (PPGEN=1, CP/RL2=0)

在该模式下，用户可以生成各种 PWM 波形，Timer2 支持 1 路 PWM 波的产生，并支持不同的占空比配置。PWM 周期最大可达 65536 个计数周期，DUTY 可以从 0 变化到 65535。其中，捕获寄存器 1 用于存储计

数起始值以决定 PWM 周期，捕获寄存器 2 用于存储计数翻转值以确定 PPG 占空比。配置时，为了保证能够同步 16 位计数器的载入，避免发生高 8 位和低 8 位两次载入的问题，采用了 2 级缓存的结构。通过写 T2CPL2，T2CPL1 寄存器更新一级缓存，因此在需要改变 T2CPH2 和 T2CPH1 的值时，需要先写 T2CPH2 和 T2CPH1 的值，然后再写 T2CPL2 和 T2CPL1 的值。二级缓存的更新则在外触发或者计数溢出时重新载入。

计数器在计数时，首先通过触发或者溢出重载将周期和占空比数值载入到计数器中，PPG 波形生成器的输出与 T2CON 寄存器中的 INVEN 有关。当 INVEN 为 0 时，波形发生器在开始触发时输出低电平，计数到与二级缓存中的数据一致时翻转输出高电平，到计数溢出后再次输出低电平。当 INVEN 为 1 时，输出波形与为 0 时的相反。

PPG 模式可以由外部触发，也可以由内部软件触发。当选用外部触发时，与重载模式一样，需要首先配置相应触发源的极性，然后使能 T2CON 中的 EXEN2 位。外部触发的状态可以通过 T2CAP 的 CAPF 查询。当选用内部软件触发时，可以往 T2MOD 寄存器中 LOAD 写 1，开始 PPG 模式。

PPG 模式允许重复触发，可以通过 T2MOD 中 RTRGEN 位配置，允许在 PPG 波形生成过程中重新触发。如果改变捕获寄存器 1 的值，新的值将会在触发发生时或者计数溢出时方可载入到计数器中。配置时，若捕获寄存器 2 的值小于捕获寄存器 1 的值，输出将会是常态。当 INVEN 为 0 时，输出为 0，当 INVEN 为 1 时，输出为 1。当捕获寄存器 2 的值大于等于捕获寄存器 1 的值时，输出正常波形，PPG 占空比为： $(65535 - \text{捕获寄存器 2}) / (65536 - \text{捕获寄存器 1})$ 。特别的，当捕获寄存器 1 和捕获寄存器 2 的值都为 16'hFFFF 时，若 INVEN 为 0，输出 PPG 为 0，若 INVEN 为 1，输出 PPG 为 1。

在 PPG 模式下，有三个中断源，T2 溢出中断，T2 匹配中断和 T2 外部触发中断。在发生溢出操作，计数匹配或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序。溢出中断和匹配中断共享一个中断向量，通过 T2MOD 寄存器中的 INTS 位选择使能的中断。

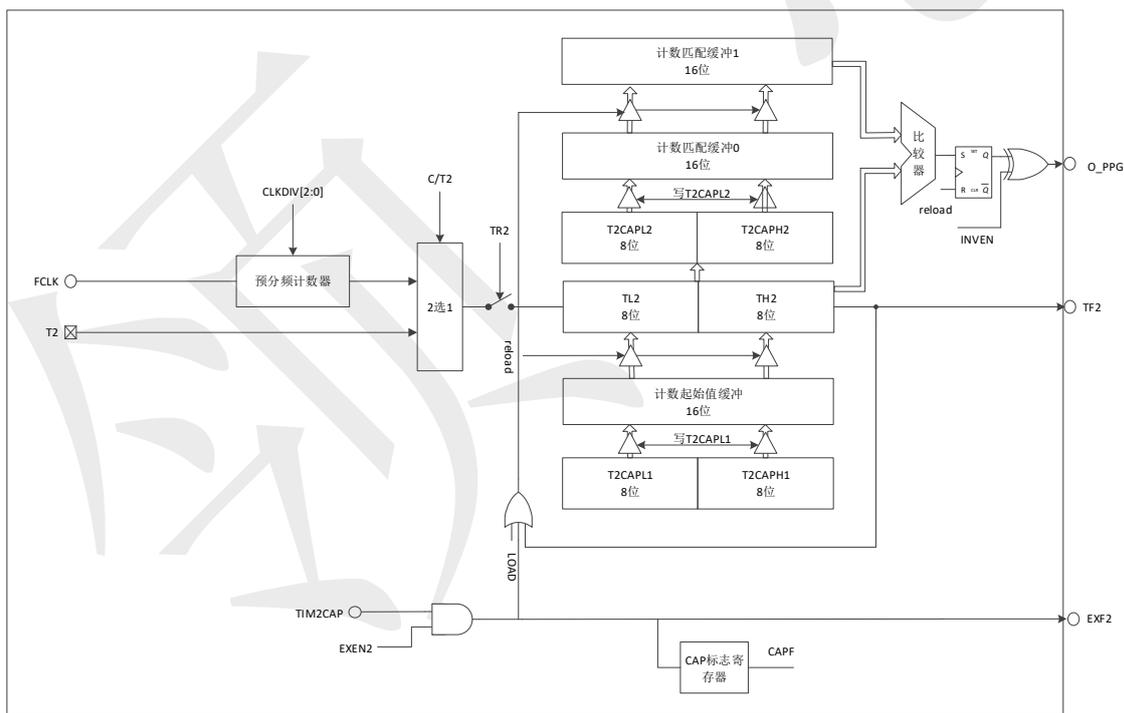


图 11-4 16 位 PPG 模式内部框图

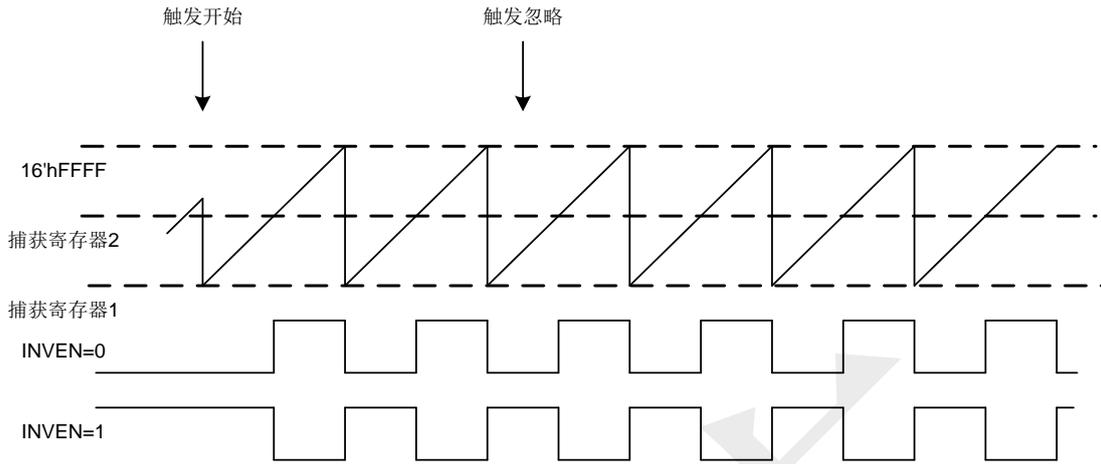


图 11-5 16 位 PPG 模式重复触发禁止波形图

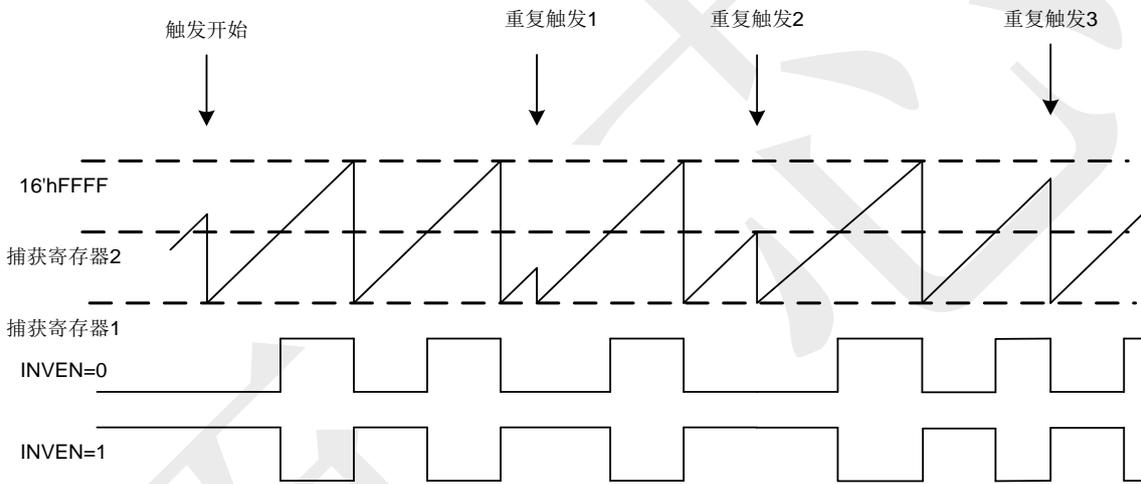


图 11-6 16 位 PPG 模式重复触发使能波形图

11.3.5 单脉冲发生器

单脉冲发生器工作模式只产生单个脉冲。通过软件触发或者外部触发来启动单脉冲发生器。在外部触发或者内部触发发生后经过一段时间延迟后输出脉冲波形。延迟的时间取决于捕获寄存器 2 和捕获寄存器 1 的差。当捕获寄存器 2 值小于捕获寄存器 1 的值时，将没有脉冲信号输出。特别的，当捕获寄存器 1 和捕获寄存器 2 的值都为 16'hFFFF 时，若 INVEN 为 0，输出 PPG 为 0，若 INVEN 为 1，输出 PPG 为 1。

单脉冲宽度的计算： $(65535 - \text{捕获寄存器 2}) \times T_{\text{cycle}}$;

延迟时间的计算： $(\text{捕获寄存器 2} - \text{捕获寄存器 1} + 1) \times T_{\text{cycle}}$ 。

在单脉冲发生器模式下，重复触发将无效，只有首次触发才能启动单脉冲计数。

在单脉冲模式中，有三个中断源，T2 溢出中断，T2 匹配中断和 T2 外部触发中断。在发生溢出操作，计数匹配或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序。溢出中断和匹配中断共享一个中断向量，通过 T2MOD 寄存器中的 INTS 位选择使能的中断。

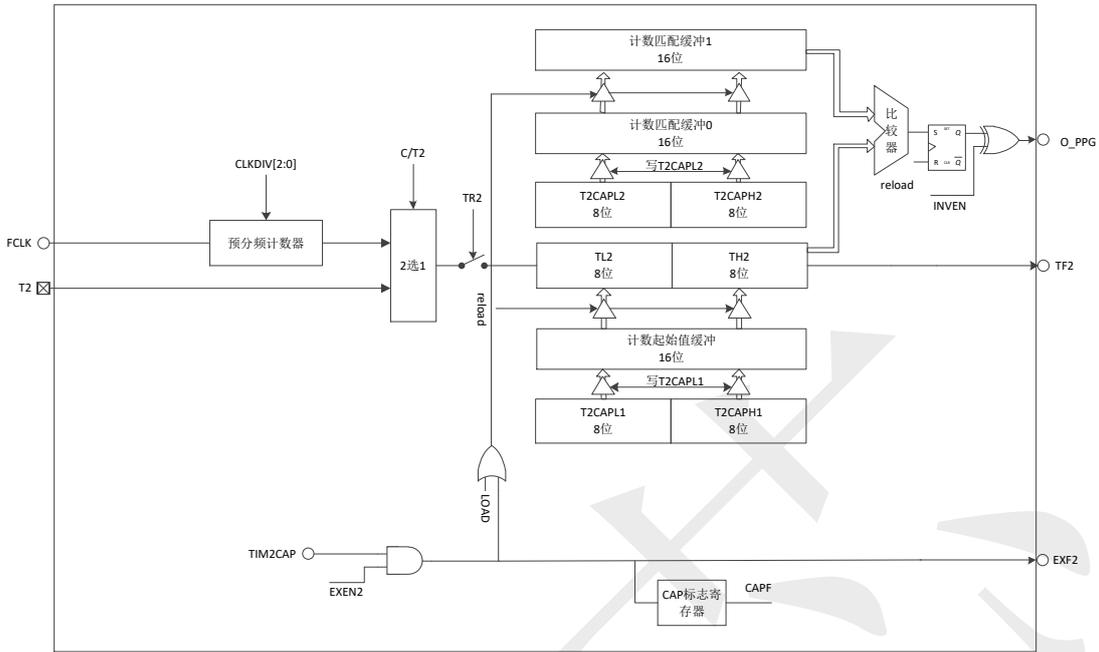


图 11-7 16 位单脉冲模式内部框图

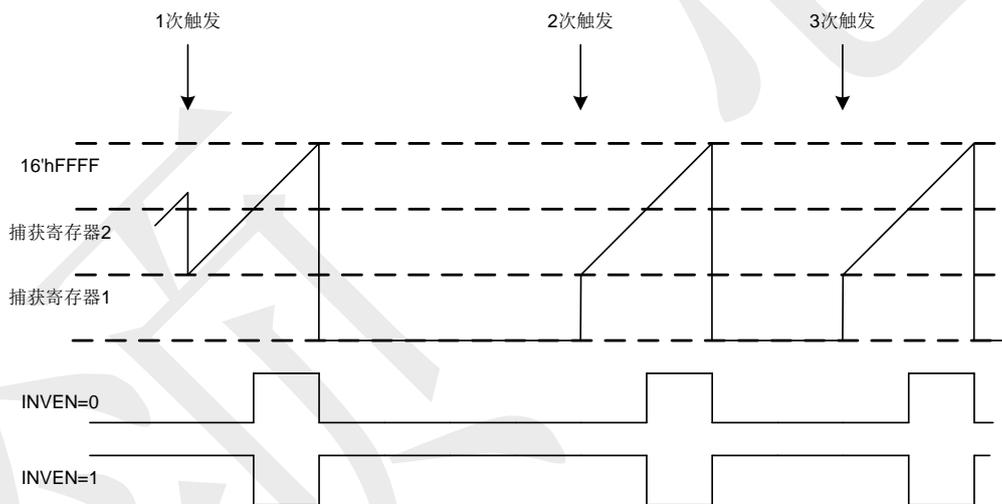


图 11-8 16 位单脉冲模式波形图

11.3.6 定时器 2 死区互补波形输出

定时器 2 支持一对 PWM 死区波形输出，即 PPG/nPPG。

设定 T2CON.4 为 1，T2CON.0 为 0 将定时器工作模式设定为 PPG 模式。置位 T2MOD.3 设定 PPG 可重复触发。设定 T2CPH1/T2CPL1 和 T2CPH2/T2CPL2 确定 PWM 波形的周期占空比。配置 PWMRMP 开启 PWM 正反向波形输出使能，并确定输出引脚。配置 TIMERDTG，根据计算公式确定死区维持时间，并置位 PWMRMP.7 开启死区功能。启动定时器，并软件触发互补波形产生。

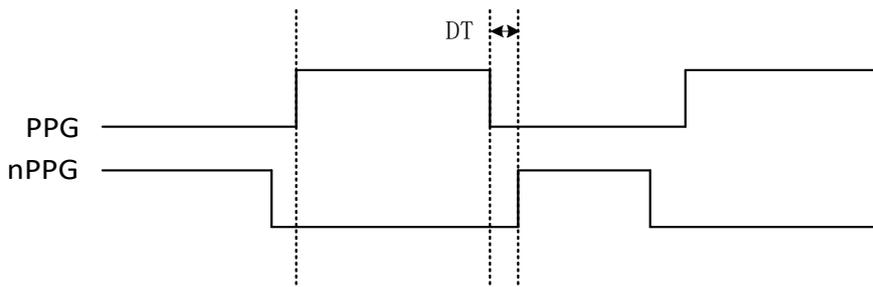


图 11-9 PWM 死区互补波形图

11.4 寄存器说明

定时器 T2 的相关寄存器如表 11-2 所示。

表 11-2 T2 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
T2MOD	T2模式寄存器	x	R/W	0000_0000B	C1H
T2CPL1	T2捕获寄存器1低字节	x	R/W	0000_0000B	C2H
T2CPH1	T2捕获寄存器1高字节	x	R/W	0000_0000B	C3H
T2CPL2	T2捕获寄存器2低字节	x	R/W	0000_0000B	C4H
T2CPH2	T2捕获寄存器2高字节	x	R/W	0000_0000B	C5H
T2CAP	T2捕获设置寄存器	x	R/W	0100_0000B	C6H
T2CAPS	T2捕获状态寄存器	x	R/W	0000_0000B	C7H
T2CON	T2控制寄存器	x	R/W	0000_0000B	C9H
TL2	T2计数器低字节	x	R/W	0000_0000B	CAH
TH2	T2计数高字节	x	R/W	0000_0000B	CBH
T2EXS0	T2外部触发源选择寄存器	x	R/W	00u0_u0u0B	CCH
TIMERMP	定时器外部时钟引脚复用寄存器	x	R/W	00uu_uu00B	FF51H
PWMRMP	PWM输出引脚复用寄存器	x	R/W	0u00_u000B	FF52H
TIMERDTG	死区时间设置寄存器	x	R/W	0000_0000B	FF53H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

定时器 T2 的寄存器详细说明如下：

T2 模式寄存器 T2MOD (C1H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CLKDIV[2:0]			CAPCLR/INTS	RTRGEN	RDSRC[1:0]		LOAD
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit 7:5 CLKDIV[2:0]: T2 内部时钟源分频位
 000: 系统时钟 1 分频
 001: 系统时钟 2 分频
 010: 系统时钟 4 分频
 011: 系统时钟 8 分频
 100: 系统时钟 16 分频

- 101: 系统时钟 32 分频
 110: 系统时钟 64 分频
 111: 系统时钟 128 分频
- Bit 4 CAPCLR/INTS: 仅在捕获模式, PPG 模式和单脉冲模式下有效
 在捕获模式下
 0: 捕获操作发生时, 计数器继续计数
 1: 捕获操作发生时, 计数器从 0 开始计数
 在 PPG 模式和单脉冲模式下, 确定 T2CON TF2 标志位的中断类型
 0: PPG 模式和单脉冲模式下, 溢出中断
 1: PPG 模式和单脉冲模式下, 匹配中断
- Bit 3 RTRGEN: 仅在 PPG 模式下有效
 0: 禁止多次触发
 1: 允许多次触发
- Bit 2:1 RDSRC[1:0]: 重载值选择, 仅在重载模式下有效
 00: 重载值选择 T2CPL2, T2CPH2
 01: 重载值选择 T2CPL1, T2CPH1
 1x: 重载值选择 16'h0000
- Bit 0 LOAD: T2 软件触发使能位, 写 1 后自动清零
 在重载模式下, 对该位写 1 启动重载操作
 在 PPG 模式和单脉冲模式下, 对该位写 1 触发 PPG 输出和单脉冲输出

T2 捕获寄存器 1 低字节 T2CPL1 (C2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPL1[7:0]							
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7:0 T2CPL1[7:0]: T2 捕获寄存器 1 低字节
 在重载模式下, 可作为计数器低 8 位的重载值
 在捕获模式下, 发生触发时, 暂存第 0/1/2 路捕获源的计数值低 8 位
 在 PPG 模式和单脉冲模式时, 作为计数器起始值的低 8 位

T2 捕获寄存器 1 高字节 T2CPH1 (C3H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPH1[7:0]							
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7:0 T2CPH1[7:0]: T2 捕获寄存器 1 高字节
 在重载模式下, 可作为计数器高 8 位的重载值
 在捕获模式下, 发生触发时, 暂存第 0/1/2 路捕获源的计数值高 8 位
 在 PPG 模式和单脉冲模式时, 作为计数器起始值的高 8 位

T2 捕获寄存器 2 低字节 T2CPL2 (C4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
--------	------	------	------	------	------	------	------	------

位 定 义:	T2CPL2[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 T2CPL2[7:0]: T2 捕获寄存器 2 低字节
 在重载模式下, 可作为计数器低 8 位的重载值
 在捕获模式下, 发生触发时, 暂存第 3 路捕获源的计数值低 8 位
 在 PPG 模式和单脉冲模式时, 作为产生 PPG 的计数器比较值的低 8 位

T2 捕获寄存器 2 高字节 T2CPH2 (C5H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPH2[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 T2CPH2[7:0]: T2 捕获寄存器 2 高字节
 在重载模式下, 可作为计数器高 8 位的重载值
 在捕获模式下, 发生触发时, 暂存第 3 路捕获源的计数值高 8 位
 在 PPG 模式和单脉冲模式时, 作为 PPG 的计数器比较值的高 8 位

T2 捕获寄存器 T2CAP (C6H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CAP3[1:0]		CAP2[1:0]		CAP1[1:0]		CAPO[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	1	0	0	0	0	0	0

Bit 7:6 CAP3[1:0]: T2 第 3 路外部触发源边沿选择
 00: 禁止外部触发源触发
 01: 下降沿触发 (默认)
 10: 上升沿触发
 11: 上升沿或者下降沿触发

Bit 5:4 CAP2[1:0]: T2 第 2 路外部触发源边沿选择
 00: 禁止外部触发源触发 (默认)
 01: 下降沿触发
 10: 上升沿触发
 11: 上升沿或者下降沿触发

Bit 3:2 CAP1[1:0]: T2 第 1 路外部触发源边沿选择
 00: 禁止外部触发源触发 (默认)
 01: 下降沿触发
 10: 上升沿触发
 11: 上升沿或者下降沿触发

Bit 1:0 CAPO[1:0]: T2 第 0 路外部触发源边沿选择
 00: 禁止外部触发源触发 (默认)
 01: 下降沿触发
 10: 上升沿触发
 11: 上升沿或者下降沿触发

T2 捕获状态寄存器 T2CAPS (C7H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CAPF3	CAPF2	CAPF1	CAPF0	T2EX3IN	T2EX2IN	T2EX1IN	T2EX0IN
访问权限:	R/W	R/W	R/W	R/W	R-0	R-0	R-0	R-0
复 位 值:	0	0	0	0	0	0	0	0

Bit 7 CAPF3: 第 3 路外部触发源触发标志位, 写 0 清除

0: 未发生触发

1: 发生触发

Bit 6 CAPF2: 第 2 路外部触发源触发标志位, 写 0 清除

0: 未发生触发

1: 发生触发

Bit 5 CAPF1: 第 1 路外部触发源触发标志位, 写 0 清除

0: 未发生触发

1: 发生触发

Bit 4 CAPF0: 第 0 路外部触发源触发标志位, 写 0 清除

0: 未发生触发

1: 发生触发

Bit 3 T2EX3IN: 第 3 路外部触发源输入状态, 只读

0: 输入值为低

1: 输入值为高

Bit 2 T2EX2IN: 第 2 路外部触发源输入状态, 只读

0: 输入值为低

1: 输入值为高

Bit 1 T2EX1IN: 第 1 路外部触发源输入状态, 只读

0: 输入值为低

1: 输入值为高

Bit 0 T2EX0IN: 第 0 路外部触发源输入状态, 只读

0: 输入值为低

1: 输入值为高

T2 控制寄存器 T2CON (C9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TF2	EXF2	INVEN	PPGEN	EXEN2	TR2	C/T2	CP/RL2
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7 TF2: T2 中断标志, 软件写 0 清中断

在 PPG 模式或者单脉冲模式, INTS 设置为 1 时

0: 代表未发生匹配中断

1: 代表发生匹配中断

其他情况下

0: 代表未发生溢出中断

1: 代表发生溢出中断

Bit 6	EXF2: T2 外部触发中断标志, 软件写 0 清中断 0: 未发生外部触发中断 1: 发生外部触发中断
Bit 5	INVEN: 仅在 PPG 模式和单脉冲模式下有效 (控制第一路 PPG 相位) 0: 代表正常输出 1: 代表反相输出
Bit 4	PPGEN: 与 CP/RL2 一起确定 T2 的工作模式 0: T2 工作在捕获模式或者重载模式 1: T2 工作在 PPG 模式或者单脉冲模式
Bit 3	EXEN2: 外部捕获使能位 0: 禁止外部捕获功能 1: 使能外部捕获功能
Bit 2	TR2: T2 使能控制位 0: T2 禁止 1: T2 使能
Bit 1	C/T2: 外部时钟选择位 0: T2 采用内部时钟 1: T2 采用外部时钟
Bit 0	CP/RL2: 与 PPGEN 一起控制 T2 的工作模式 PPGEN=0, CP/RL2=0: 16 位自动重载模式 PPGEN=0, CP/RL2=1: 捕获模式 PPGEN=1, CP/RL2=0: PPG 模式 PPGEN=1, CP/RL2=1: 单脉冲模式

T2 计数器低字节 T2L (CAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2L[7:0]							
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

T2 计数器高字节 T2H (CBH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2H[7:0]							
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

T2 寄存器为 16 位寄存器, 由高字节 TH2 和低字节 TL2 组成, 复位值为 00H。这两个寄存器是字节寻址, 只有在 T2 启动之前才可以配置。在重载时, 由硬件从相应重载源重载数据。在 PPG 模式或者单脉冲模式时, 从 T2CPL1 和 T2CPH1 的缓冲区载入数据。

T2 外部触发源选择寄存器 T2EXS0 (CCH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	EXTS3[1:0]		—	EXTS2	—	EXTS1	—	EXTS0
访 问 权 限:	R/W	R/W	R-0	R/W	R-0	R/W	R-0	R/W
复 位 值:	0	0	U	0	U	0	U	0

- Bit 7:6 EXTS3[1:0]: 第 3 路捕获源选择
 00: 选择外部引脚 P0.5 输入
 01: 选择高级定时器 trgo 输入
 10: 选择 RCL 时钟作为输入
 11: 固定时钟频率 1024Hz 输入
 选择 RCL 时钟作为输入时, 必须确保主时钟频率高于 RCL 时钟频率。
- Bit 5 保留
- Bit 4 EXTS2: 第 2 路捕获源选择
 0: 外部引脚 P1.5 (T2EX = 1) 或 P0.3 (T2EX = 0) 输入
 1: 比较器 0 输入
- Bit 3 保留
- Bit 2 EXTS1: 第 1 路捕获源选择
 0: 外部引脚 P0.4 输入
 1: 比较器 1 输入
- Bit 1 保留
- Bit 0 EXTS0: 第 0 路捕获源选择
 0: 外部引脚 P1.0 输入
 1: 比较器 1 输入

定时器外部时钟引脚复用寄存器 TIMERMP (FF51H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TIMER2RMP	T2EX	—	—	—	—	TIMER1RMP	TIMER0RMP
访问权限:	R/W	R/W	R-0	R-0	R-0	R-0	R/W	R/W
复 位 值:	0	0	U	U	U	U	0	0
注	使用外部引脚作为计数时钟源输入时, 必须先将相应的引脚方向配置成输入。							

- Bit 7 TIMER2RMP: T2 计数时钟源输入引脚选择
 0: P0.3 (默认)
 1: P1.0
- Bit 6 T2EX: T2 捕获输入引脚选择
 0: P0.3 (默认)
 1: P1.5

PWM 波形输出引脚复用寄存器 PWMRMP (FF52H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DTGEN	—	T2NPWMEN	T2NPWMRMP	—	T2PWMEN	T2PWMRMP[1:0]	
访问权限:	R/W	R-0	R/W	R/W	R-0	R/W	R/W	R/W
复 位 值:	0	U	0	0	U	0	0	0

- Bit 7 DTGEN: PWM 死区功能控制
 0: 关闭
 1: 开启
- Bit 6 保留
- Bit 5 T2NPWMEN: PWM 反向 (nPWM) 输出使能, 仅在 DTGEN 为高电平时有效
 0: 关闭
 1: 开启

- Bit 4 T2NPWMRMP: nPWM 输出引脚选择
0: P0.2 输出
1: P0.7 输出
- Bit 3 保留
- Bit 2 T2PWMEN: PWM 输出使能
0: 关闭
1: 开启
- Bit 1:0 T2PWMRMP[1:0]: PWM 输出引脚选择
00: P0.3 输出
01: P0.6 输出
10: P1.5 输出
11: P2.2 输出

死区时间设置寄存器 TIMERDTG (FF53H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DTG[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7:0 DTG[7:0]: PWM 死区时间设置
死区维持时间 DT 计算公式如下:
DTG[7:5]=0xx, $DT = DTG[7:0] \times t_{dtg}$, $t_{dtg} = t_{DTS}$
DTG[7:5]=10x, $DT = (64 + DTG[5:0]) \times t_{dtg}$, $t_{dtg} = 2 \times t_{DTS}$
DTG[7:5]=110, $DT = (32 + DTG[4:0]) \times t_{dtg}$, $t_{dtg} = 8 \times t_{DTS}$
DTG[7:5]=111, $DT = (32 + DTG[4:0]) \times t_{dtg}$, $t_{dtg} = 16 \times t_{DTS}$
其中 t_{DTS} 为系统时钟的周期

12. 高级定时器 T3

高级定时器 T3 是一个 16 位的定时器/计数器，由一个可编程的预分频器驱动，有四路不同的捕获/比较通道。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）产生输出波形（输出比较，PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、刹车、触发）的中断以及与其它 timer 或外部信号（外部时钟、复位、触发和使能信号）同步。

12.1 基本特征

LCM08F003G 的高级定时器 T3 特性包括：

- ◇ 16 位向上、向下、向上/下自动装载计数器。
- ◇ 定时器重复计数器。
- ◇ 16 位可编程(可以实时修改)预分频器，计数器时钟频率的分频系数为 1~65535 之间的任意数值。
- ◇ 同步电路，用于使用外部信号控制定时器以及定时器互联。
- ◇ 4 个独立通道，可以配置成：
 - 输入捕获
 - 输出比较
 - PWM 生成（边缘或中间对齐模式）
 - 六步 PWM 输出
 - 单脉冲模式输出
 - 四个支持带互补输出，并且死区时间可编程的通道
- ◇ 刹车输入信号可以将定时器输出信号置于复位状态或者一个已知状态
- ◇ 外部触发输入
- ◇ 产生中断的事件包括：
 - 更新：计数器向上溢出/向下溢出，计数器初始化(通过软件或者内部/外部触发)
 - 触发事件(计数器启动、停止、初始化或者由内部/外部触发计数)
 - 输入捕获
 - 输出比较
 - 刹车信号输入

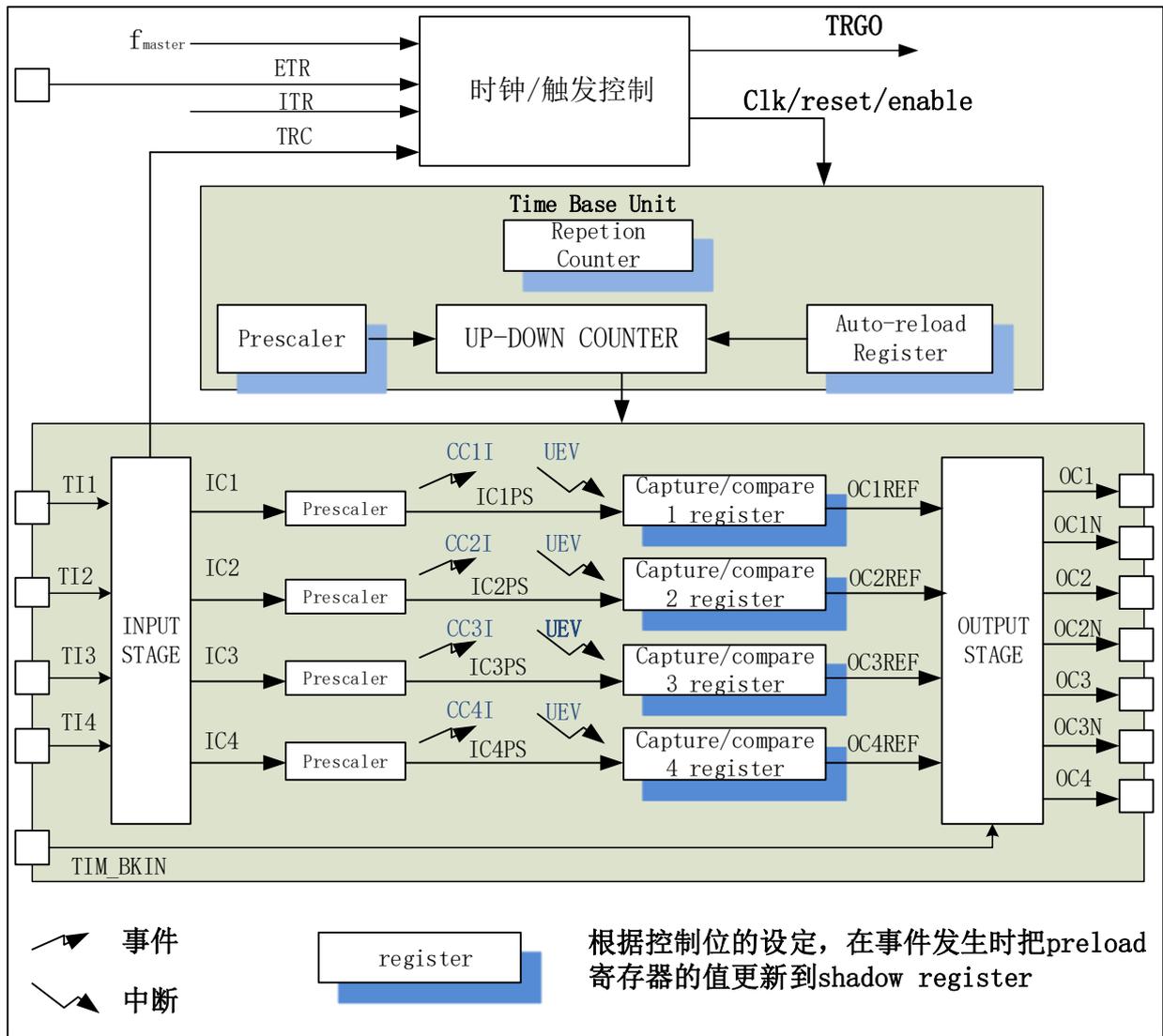


图 12-1 TIM3 框图

12.2 时基单元

时基单元包含：

- 16 位向上/向下计数器
- 16 位自动重载寄存器
- 重复计数器
- 预分频器

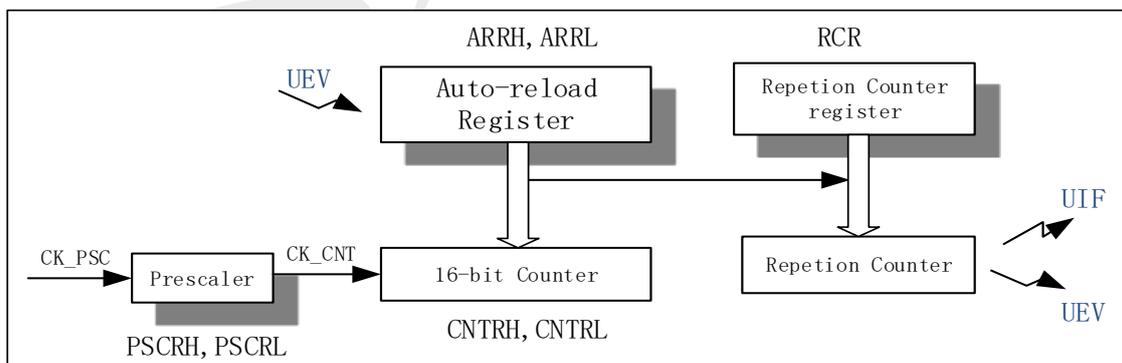


图 12-2 时基单元

16 位计数器，预分频器，自动重载寄存器和重复计数器寄存器都可以通过软件进行读写操作。

自动重载寄存器由预装载寄存器和影子寄存器组成（影子寄存器：shadow register，有效工作寄存器：active register）。

可在两种模式下写自动重载寄存器：

- 自动预装载已使能（TIM3_CR1 寄存器的 ARPE 位置位）。在此模式下，写入自动重载寄存器的数据将被保存在预装载寄存器中，并在下一个更新事件（UEV）时传送到影子寄存器。
- 自动预装载已禁止（TIM3_CR1 寄存器的 ARPE 位清除）。在此模式下，写入自动重载寄存器的数据将立即写入影子寄存器。

更新事件的产生条件：

- 计数器向上或向下溢出。
- 软件置位了 TIM3_EGR 寄存器的 UG 位。
- 时钟/触发控制器产生了触发事件

在预装载使能时（ARPE=1），如果发生了更新事件，预装载寄存器中的数值（TIM3_ARR）将写入影子寄存器中，并且 TIM3_PSCR 寄存器中的值将写入预分频器中。置位 TIM3_CR1 寄存器的 UDIS 位将禁止更新事件（UEV）。

计数器由预分频器的输出 CK_CNT 驱动，而 CK_CNT 仅在 TIM3_CR1 寄存器的计数器使能位（CEN）被置位时才有效。

注：在使能了 CEN 位的一个时钟周期后，计数器才开始计数。

12.2.1 读写 16 位计数器 CNT

写计数器的操作没有缓存，并且可以在任何时候写 TIM3_CNTRH 和 TIM3_CNTRL 寄存器，因此我们建议不要在计数器运行时写入新的数值，以免写入了错误的数值。

读计数器的操作带有 8 位的缓存。在用户读了高位（MS）字节后，低位（LS）字节将被自动缓存，缓存的数据在 16 位的读操作完成之前不会有变化，下图解释了这一过程。

注：要注意读取 TIM3_CNT 的值高低字节的顺序关系，避免读出的数值是错误的。

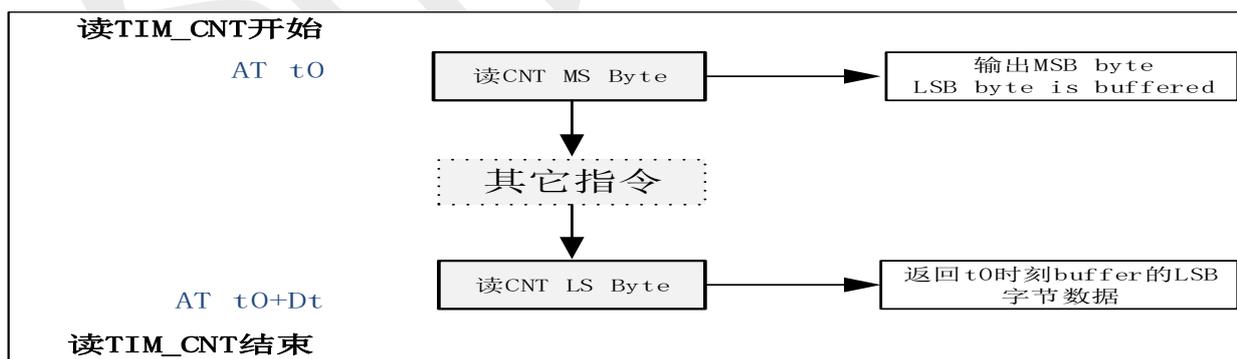


图 12-3 读 16 位计数器的过程

12.2.2 16 位 ARR 寄存器的写操作

预装载寄存器中的值将写入 16 位的 TIM3_ARR 寄存器中，此操作由两条指令完成，每条指令写入 1 个字节，高位（MS）字节是先写入的。

影子寄存器在高位（MS）字节写入时被锁定，并保持到低位（LS）字节写完。写 TIM3_ARR 寄存器，确保先写入高位（MS）字节，再写入低位（LS）字节。在自动预装载已禁止（TIM3_CR1 寄存器的 ARPE 位清

除)模式下,写入自动重载寄存器高位(MS)字节时被锁定,并保持到写入低位(LS)字节数据时一起写入到影子寄存器。

12.2.3 预分频器

TIM3 的预分频器基于一个由 16 位寄存器 (TIM3_PSC) 控制的 16 位计数器。由于这个控制寄存器带有缓冲器,因此它能够在运行时被改变。预分频器可以将计数器的时钟频率按 1 到 65536 之间的任意值分频。计数器的频率可以由下式计算:

$$f_{CK_CNT} = f_{CK_PSC} / (PSCR[15:0] + 1)$$

预分频器的值由预装载寄存器写入,需两次单独的写操作来写 16 位寄存器,高位(MS)先写。新的预分频器的值在下次更新事件到来时被采用。对 TIM3_PSCR 寄存器的读操作通过预装载寄存器完成,因此不需要特别的关注。

12.2.4 向上计数模式

在向上计数模式中,计数器从 0 计数到用户定义的比较值(TIM3_ARR 寄存器的值),然后重新从 0 开始计数并产生一个计数器溢出事件,同时如果 TIM3_CR1 寄存器的 UDIS 位是 0,将会产生一个更新事件(UEV)。

置位 TIM3_EGR 寄存器的 UG 位(通过软件方式或者使用从模式控制器)也同样可以产生一个更新事件。

使用软件置位 TIM3_CR1 寄存器的 UDIS 位,可以禁止更新事件,这样可以避免在更新预装载寄存器时更新影子寄存器。在 UDIS 位被清除之前,将不产生更新事件。但是在应该产生更新事件时,计数器仍会被清 0,同时预分频器的计数也被清 0(但预分频器的数值不变)。此外,如果设置了 TIM3_CR1 寄存器中的 URS 位(选择更新请求),设置 UG 位将产生一个更新事件 UEV,但硬件不设置 UIF 标志(即不产生中断请求)。这是为了避免在捕获模式下清除计数器时,同时产生更新和捕获中断。

当发生一个更新事件时,所有的寄存器都被更新,硬件同时依据 URS 位设置更新标志位(TIM3_SR 寄存器的 UIF 位):自动装载影子寄存器被重新置入预装载寄存器的值(TIM3_ARR)。预分频器的缓存器被置入预装载寄存器的值(TIM3_PSC 寄存器的内容)。

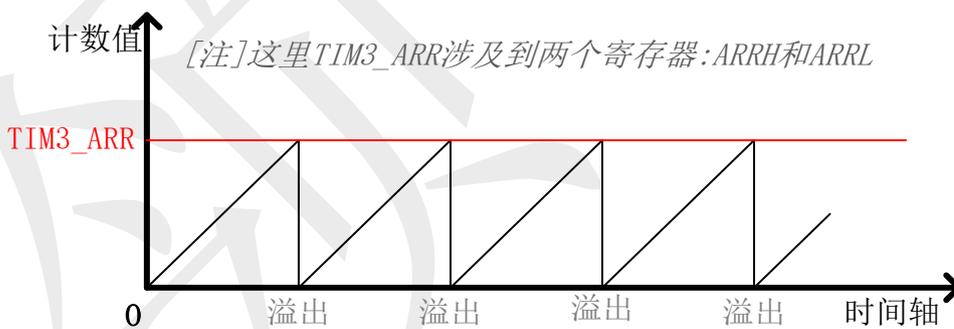


图 12-4 向上计数模式的计数器

12.2.5 向下计数模式

在向下模式中,计数器从自动装载的值(TIM3_ARR 寄存器的值)开始向下计数到 0,然后再从自动装载的值重新开始计数,并产生一个计数器向下溢出事件。如果 TIM3_CR1 寄存器的 UDIS 位被清除,还会产生一个更新事件(UEV)。

置位 TIM3_EGR 寄存器的 UG 位(通过软件方式或者使用从模式控制器)也同样可以产生一个更新事件。

置位 TIM3_CR1 寄存器的 UDIS 位可以禁止 UEV 事件。这样可以避免在更新预装载寄存器时更新影子寄存器。因此 UDIS 位清除之前不会产生更新事件。然而,计数器仍会从当前自动加载值重新开始计数,并且

预分频器的计数器重新从 0 开始（但预分频器不能被修改）。

此外，如果设置了 TIM3_CR1 寄存器中的 URS 位（选择更新请求），设置 UG 位将产生一个更新事件 UEV 但不设置 UIF 标志（因此不产生中断），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

当发生更新事件时，所有的寄存器都被更新，并且（根据 URS 位的设置）更新标志位（TIM3_SR 寄存器中的 UIF 位）也被设置：预分频器的缓存器被存入预装载的值（TIMx_PSC 寄存器的值）。当前的自动加载寄存器被更新为预装载值（TIMx_ARR 寄存器中的内容）。

自动装载寄存器在计数器重载入之前被更新，所以在更新事件时，向下模式的计数器的值会更新上一次自动装载寄存器的值，而本次更新的自动装载寄存器的值要等到下次更新事件，才会更新到计数器（延迟一个计数周期才是预期的值）。非自动重载模式下可以立即更新。

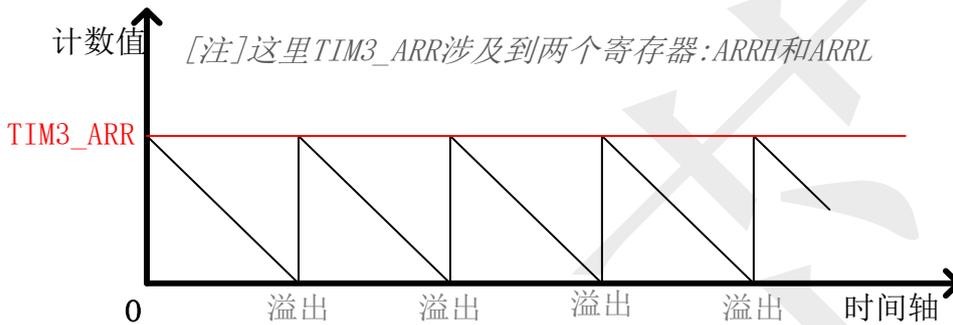


图 12-5 向下计数模式的计数器

12.2.6 中央对齐模式(向上/向下计数)

在中央对齐模式，计数器从 0 开始计数到自动加载的值（TIM3_ARR 寄存器）减 1，产生一个计数器溢出事件，然后向下计数到 0 并且产生一个计数器下溢事件；然后再从 0 开始重新计数。

在此模式下，不能写入 TIM3_CR1 中的 DIR 方向位。它由硬件更新并指示当前的计数方向。

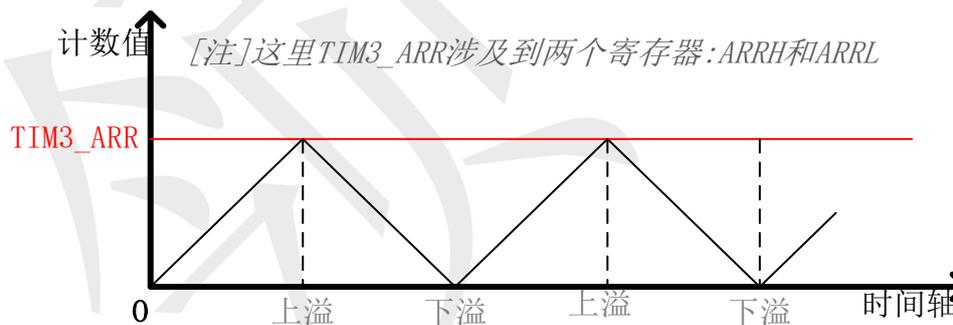


图 12-6 中央对齐模式的计数器

如果定时器带有重复计数器，在重复了指定次数（TIM3_RCR 的值）的向上和向下溢出之后会产生更新事件（UEV）。否则每一次的向上向下溢出都会产生更新事件。

置位 TIM3_EGR 寄存器的 UG 位(通过软件方式或者使用从模式控制器)也同样可以产生一个更新事件。此时，计数器重新从 0 开始计数，预分频器也重新从 0 开始计数。

设置 TIM3_CR1 寄存器中的 UDIS 位可以禁止 UEV 事件。这样可以避免在更新预装载寄存器时更新影子寄存器。因此 UDIS 位被清为 0 之前不会产生更新事件。然而，计数器仍会根据当前自动重加载的值，继续向上或向下计数。

如果定时器带有重复计数器，由于重复寄存器没有双重的缓冲，新的重复数值将立刻生效，因此在修改时需要小心。

此外，如果设置了 TIM3_CR1 寄存器中的 URS 位（选择更新请求），设置 UG 位将产生一个更新事件 UEV 但不设置 UIF 标志（因此不产生中断），这是为了避免在发生捕获事件并清除计数器时，同时产生更新和捕获中断。

当发生更新事件时，所有的寄存器都被更新，并且（根据 URS 位的设置）更新标志位（TIM3_SR 寄存器中的 UIF 位）也被设置。预分频器的缓存器被加载为预装载（TIM3_PSC 寄存器）的值。当前的自动加载寄存器被更新为预装载值（TIM3_ARR 寄存器中的内容）。要注意到如果因为计数器溢出而产生更新，自动重载寄存器将在计数器重载入之前被更新，因此下一个周期才是预期的值（计数器被装载为新的值）。

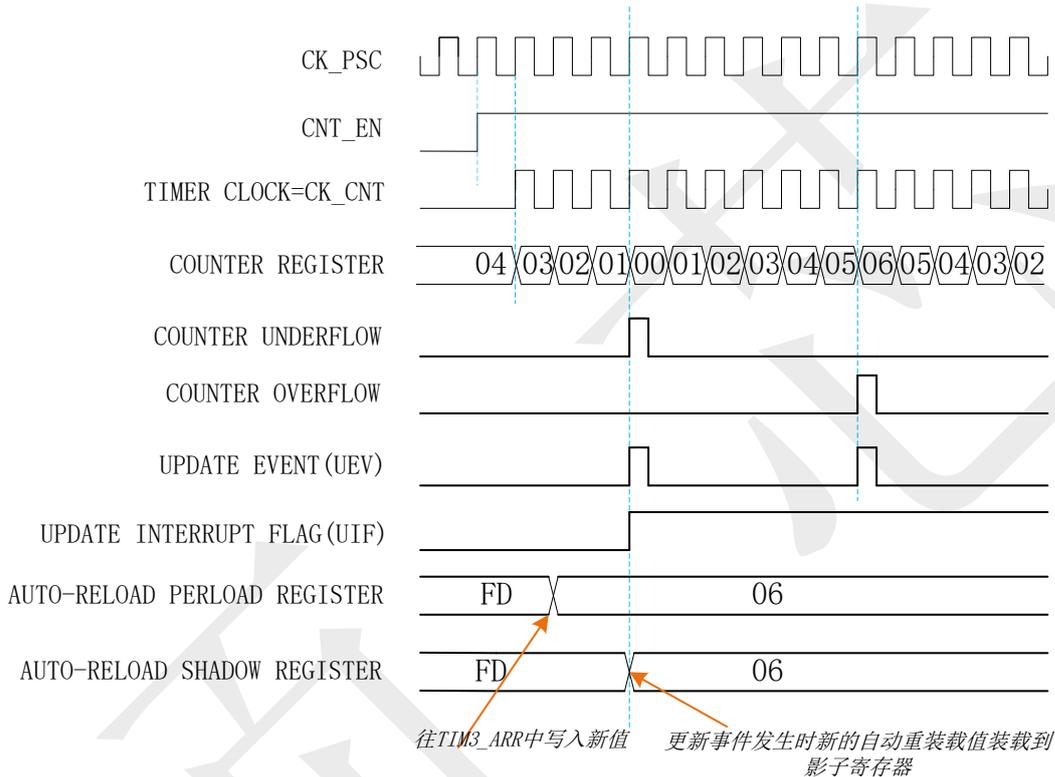


图 12-7 计数器时序图，内部时钟分频因子为 1，TIM3_ARR=0x6，ARPE=1

使用中央对齐模式的提示：

- 启动中央对齐模式时，计数器将按照原有的向上/向下的配置计数。也就是说 TIM3_CR1 寄存器中的 DIR 位将决定计数器是向上还是向下计数。此外，软件不能同时修改 DIR 位和 CMS 位的值。
- 不推荐在中央对齐模式下，计数器正在计数时写计数器的值，这将导致不能预料的后果。具体的说：
 - 向计数器写入了比自动装载值更大的数值时（TIM3_CNT > TIM3_ARR），但计数器的计数方向不发生改变。例如计数器已经向上溢出，但计数器仍然向上计数。
 - 向计数器写入了 0 或者 TIM3_ARR 的值，但更新事件不发生。
- 安全使用中央对齐模式的计数器的方法是在启动计数器之前先用软件（置位 TIM3_EGR 寄存器的 UG 位）产生一个更新事件，并且不在计数器计数时修改计数器的值。

12.2.7 重复计数器

前面时基单元解释了计数器向上/向下溢出时更新事件（UEV）是如何产生的，然而事实上它只能在重复计数器的值达到 0 的时候产生。这个特性对产生 PWM 信号非常有用。

这意味着在每 N 次计数上溢或下溢时，数据从预装载寄存器传输到影子寄存器（TIM3_ARR 自动重载入寄存器，TIM3_PSC 预装载寄存器，还有在比较模式下的捕获/比较寄存器 TIM3_CCRi），N 是 TIM3_RCR 重复计数寄存器中的值。

重复计数器在下述任一条件成立时递减：

- 向上计数模式下每次计数器向上溢出时
- 向下计数模式下每次计数器向下溢出时
- 中央对齐模式下每次上溢和每次下溢时

虽然这样限制了 PWM 的最大循环周期为 128，但它能够在每个 PWM 周期 2 次更新占空比。在中央对齐模式下，因为波形是对称的，如果每个 PWM 周期中仅刷新一次比较寄存器，则最大的分辨率为 $2 \times t_{CK_PSC}$ 。

重复计数器是自动加载的，重复速率由 TIM3_RCR 寄存器的值定义。当更新事件由软件产生（通过设置 TIM3_EGR 中的 UG 位）或者通过硬件的从模式控制器产生，则无论重复计数器的值是多少，立即发生更新事件，并且 TIM3_RCR 寄存器中的内容被重载入到重复计数器。

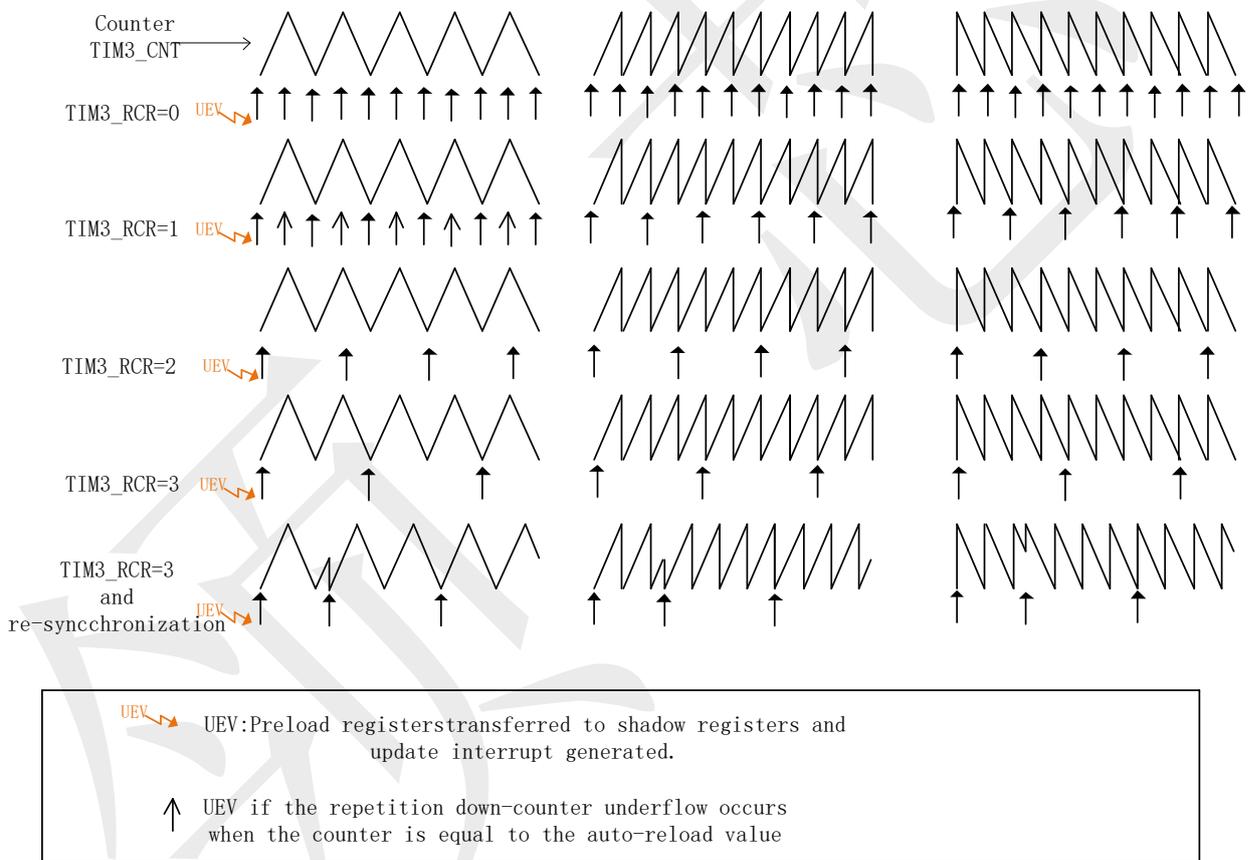


图 12-8 不同模式下更新速率的例子，及 TIM3_RCR 的寄存器设置

12.3 时钟/触发控制器

时钟/触发控制器允许用户选择计数器的时钟源(CK_PSC)，触发输入信号(TRGI)和触发输出信号(TRGO)，如图所示。

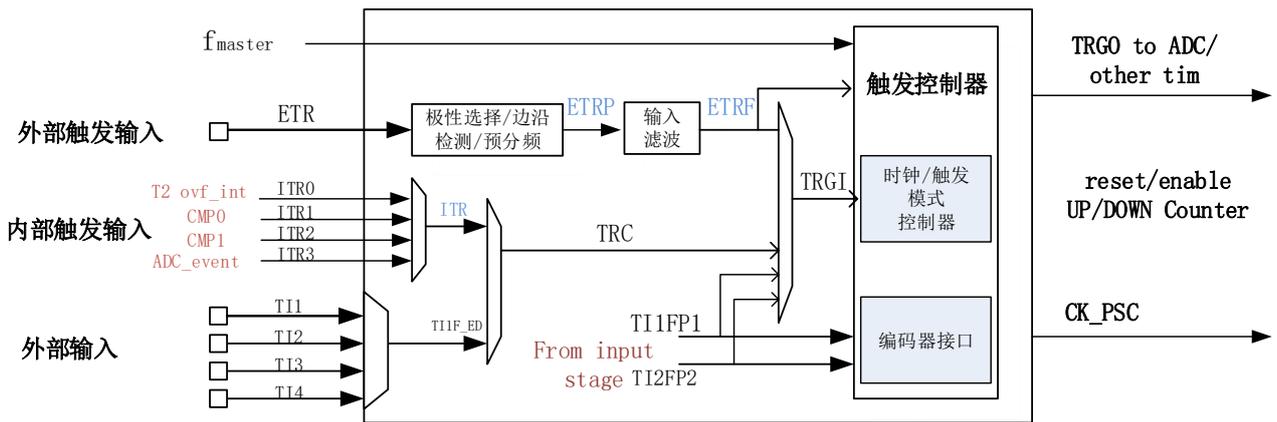


图 12-9 时钟/触发控制器框图

12.3.1 预分频时钟

时基单元的预分频时钟（CK_PSC）可以由以下源提供：

- ✧ 内部时钟（f_{MASTER}）：芯片内部时钟
- ✧ 外部时钟模式 1：外部时钟输入（TI_x）
- ✧ 外部时钟模式 2：外部触发输入 ETR
- ✧ 内部触发输入（ITR_x）：使用 MCU 内部其他模块的信号

表 12-1 触发输入互联

信号名称	信号描述	复用来源	复用选择寄存器
内部触发 ITR			
ITR0	内部触发 0	T2 溢出中断信号	—
ITR1	内部触发 1	比较器 CMP0 输出信号	—
ITR2	内部触发 2	比较器 CMP1 输出信号	—
ITR3	内部触发 3	ADC_event 输出信号	—
外部时钟输入 TI			
TI1	外部 Timer 输入 1	CMP0 CPO/P2.3/P0.0	TIM3TI1RMP
TI2	外部 Timer 输入 2	CMP1 CPO/P2.4/P0.1	TIM3TI2RMP
TI3	外部 Timer 输入 3	P1.5/P1.3/P1.2/P0.3	TIM3TI3RMP
TI4	外部 Timer 输入 4	P1.4/P1.1/P0.5/P0.4	TIM3TI4RMP
外部触发输入 ETR			
ETR	外部触发	P1.3/P0.2	ETRRMP

12.3.2 内部时钟源（f_{MASTER}）

如果同时禁止了时钟/触发模式控制器和外部触发输入（TIM3_SMCR 寄存器的 SMS=000，TIM3_ETR 寄存器的 ECE=0），则 CEN、DIR 和 UG 位是实际上的控制位，并且只能被软件修改（UG 位仍被自动清除）。一旦 CEN 位被写成 1，预分频器的时钟就由内部时钟提供。下图描述了控制电路和向上计数器在普通模式下，不带预分频器时的操作。

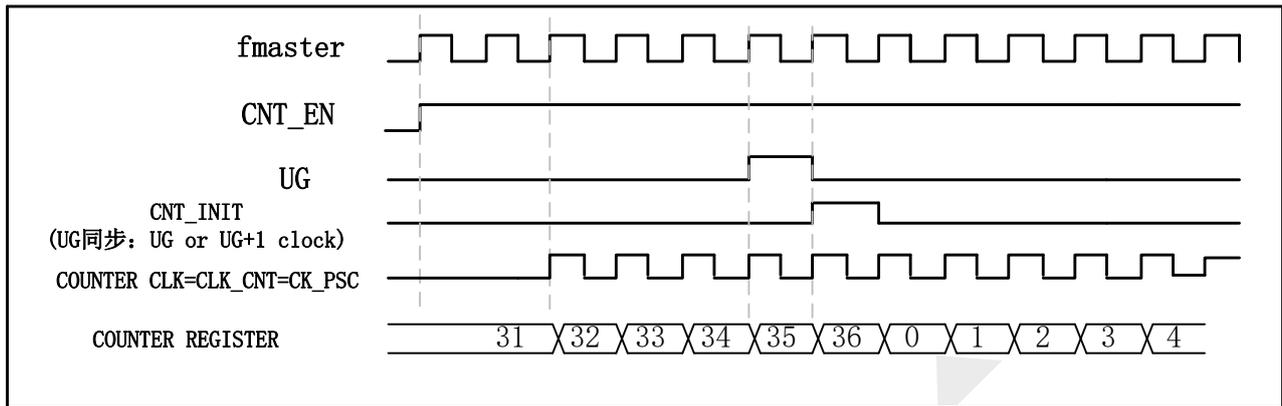


图 12-10 普通模式下的控制电路，fMaster 分频因子=1

12.3.3 外部时钟源模式 1

当 TIMx_SMCR 寄存器的 SMS=111 时，此模式被选中。计数器可以在选定输入端的每个上升沿或下降沿计数。

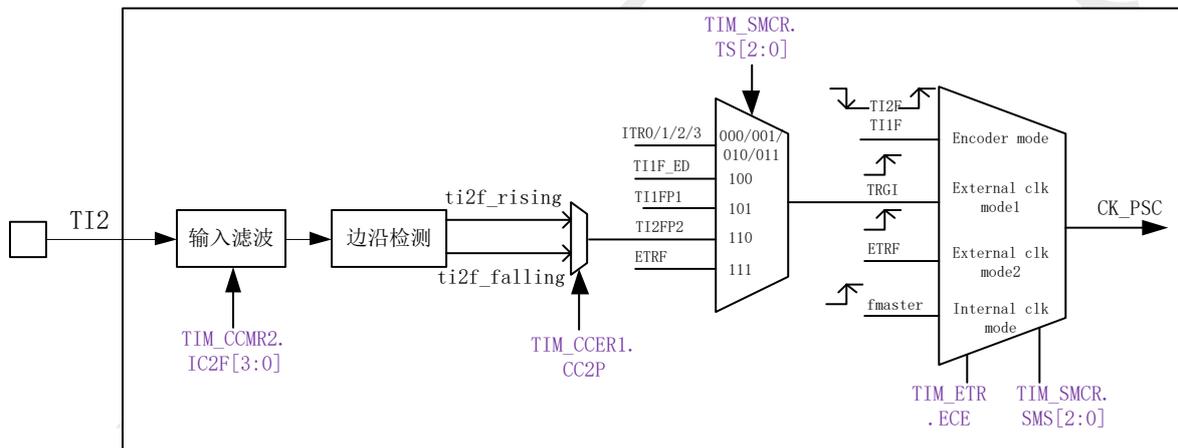


图 12-11 TI2 外部时钟连接

例如，要配置向上计数器在 T12 输入端的上升沿计数，使用下列步骤：

1. 配置 TIM3_CCMR2 寄存器的 CC2S=01，使用通道 2 检测 TI2 输入的上升沿
2. 配置 TIM3_CCMR2 寄存器的 IC2F[3:0]位，选择输入滤波器带宽（如果不需要滤波器，保持 IC2F=0000）
3. 配置 TIM3_CCER1 寄存器的 CC2P=0，选定上升沿极性
4. 配置 TIM3_SMCR 寄存器的 SMS=111，配置计数器使用外部时钟模式 1
5. 配置 TIM3_SMCR 寄存器的 TS=110，选定 TI2 作为输入源
6. 设置 TIM3_CR1 寄存器的 CEN=1，启动计数器

当上升沿出现在 TI2，计数器计数一次，且触发标识位（TIM3_SR1 寄存器的 TIF 位）被置 1，如果使能了中断（在 TIM3_IER 寄存器中配置）则会产生中断请求。

在 TI2 的上升沿和计数器实际时钟之间的延时取决于在 TI2 输入端的重新同步电路（下图预分频系数为 1）。

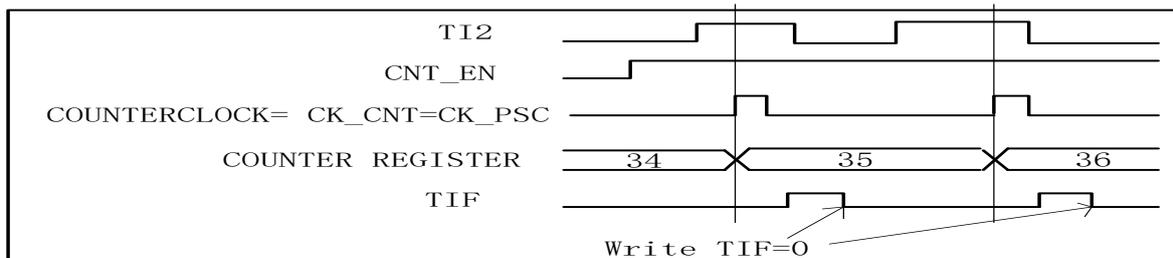


图 12-12 外部时钟模式 1 下的控制电路

12.3.4 外部时钟源模式 2

计数器能够在外部触发输入 ETR 信号的每一个上升沿或下降沿计数。将 TIM3_ETR 寄存器的 ECE 位写 1，即可选定此模式。下图描述了外部触发输入的总体框图。

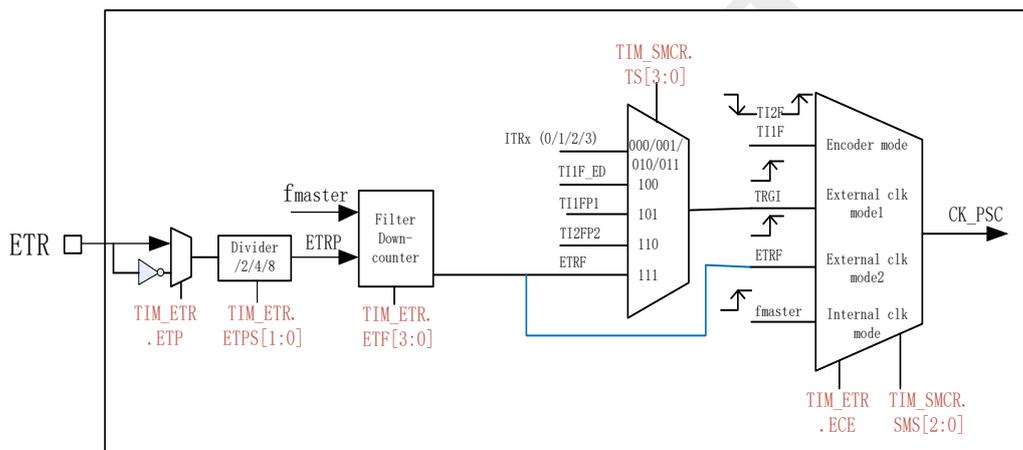


图 12-13 外部触发输入框图

例如，要配置计数器在 ETR 信号的每 2 个上升沿时向上计数一次，需使用下列步骤：

1. 本例中不需要滤波器，配置 TIM3_ETR 寄存器的 ETF[3:0]=0000
2. 设置预分频器，配置 TIM3_ETR 寄存器的 ETSP[1:0]=01
3. 选择 ETR 的上升沿检测，配置 TIM3_ETR 寄存器的 ETP=0
4. 开启外部时钟模式 2，配置 TIM3_ETR 寄存器中的 ECE=1
5. 启动计数器，写 TIM3_CR1 寄存器的 CEN=1

计数器在每 2 个 ETR 上升沿计数一次。在 ETR 的上升沿和计数器实际时钟之间的延时取决于在 ETRP 信号端的重新同步电路。

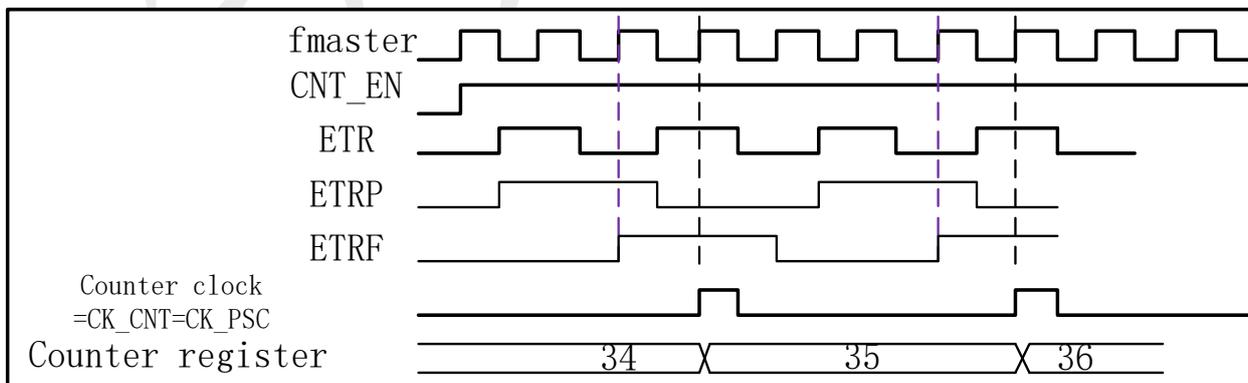


图 12-14 外部时钟模式 2 下的控制电路

12.3.5 触发同步

计数器允许四种触发输入：

- ✧ ETR（外部触发）
- ✧ TI1 外部输入
- ✧ TI2 外部输入
- ✧ 来自内部其它模块的 TRGO（T2、ADC、比较器 ACMP0/1）

TIM3 的计数器使用三种模式与外部的触发信号同步：**标准触发模式**，**复位触发模式**和**门控触发模式**。在此基础上，增加了延迟触发和防多次触发功能，为 PPG 输出模式提供增强保障。

12.3.5.1 标准触发模式

计数器的使能依赖于选中的输入端上的事件，在下面的例子中，计数器在 TI2 输入的上升沿开始向上计数。

1. 配置通道 2 检测 TI2 的上升沿。配置输入滤波器带宽（本例中，不需要任何滤波器，保持 CCMR2.IC2F=0000）触发操作中不使用捕获预分频器，不需要配置。CCMR2.CC2S 位仅用于选择输入捕获源，也不需要配置。配置 TIM3 的 CCER1 寄存器的 CC2P=0，选择上升沿做为触发条件。
2. 配置 TIM3 的 SMCR 寄存器的 SMS=110，选择计数器为触发模式；配置 TIM3 的 SMCR 寄存器的 TS=110，选择 TI2 作为输入源。

当 TI2 出现一个上升沿时，计数器开始在内部时钟驱动下计数，同时置位 TIF 标志。TI2 上升沿和计数器启动计数之间的延时取决于 TI2 输入端的重同步电路。

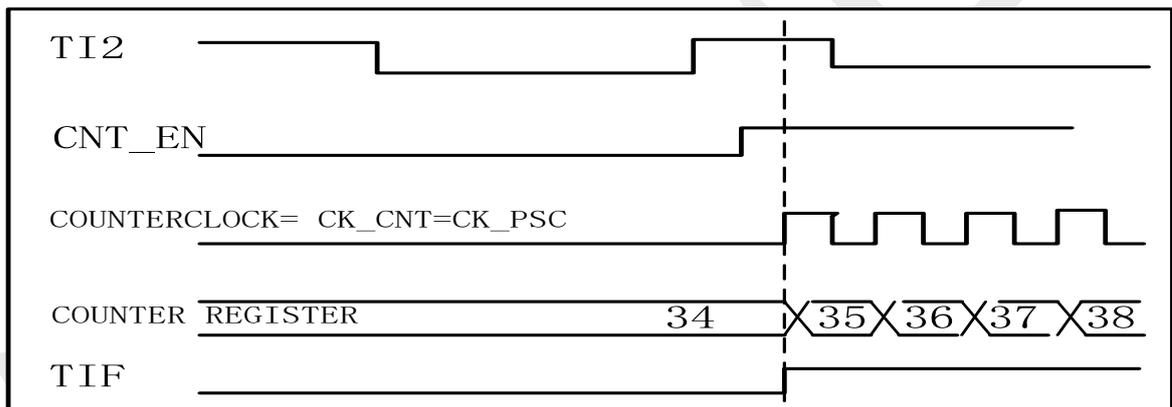


图 12-15 标准触发模式的控制电路

12.3.5.2 复位触发模式

在发生一个触发输入事件时，计数器和它的预分频器能够重新被初始化；同时，如果 TIM3_CR1 寄存器的 URS 位为低，还产生一个更新事件 UEV；然后所有的预装载寄存器（ARR，CCRi）都被更新了。在以下的例子中，TI1 输入端的上升沿导致向上计数器被清零。

1. 配置通道 1 用于检测 TI1 的上升沿。配置输入滤波器的带宽（在本例中，不需要任何滤波器，因此保持 IC1F=0000）。触发操作中不使用捕获预分频器，所以不需要配置。CC1S 位仅用于选择输入捕获源，也不需要配置。配置 TIM3 的 CCER1 寄存器的 CC1P=0 来选择极性（只检测上升沿）。
2. 配置 TIM3 的 SMCR 寄存器的 SMS=100，选择定时器为复位触发模式；配置 TIM3 的 SMCR 寄存器的 TS=101，选择 TI1 作为输入源。
3. 配置 TIM3_CR1 寄存器的 CEN=1，启动计数器。
4. 计数器开始依据内部时钟计数，然后正常计数直到 TI1 出现一个上升沿；此时，计数器被清零然后从 0 重新开始计数。同时，触发标志（TIM3_SR1 寄存器的 TIF 位）被置位，如果使能了中断（TIM3_IER 寄存器的 TIE 位），则产生一个中断请求。

下图显示当自动重载寄存器 TIM3_ARR=0x36 时的动作。在 TI1 上升沿和计数器的实际复位之间的延时取决于 TI1 输入端的重同步电路。

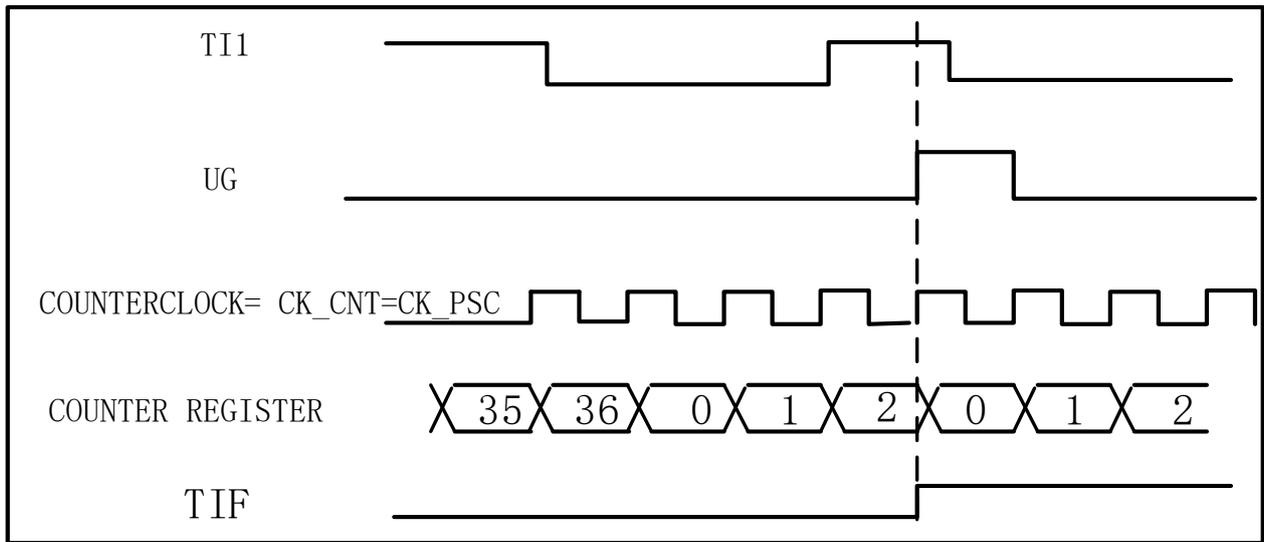


图 12-16 复位触发模式下的控制电路

12.3.5.3 门控触发模式

计数器由选中的输入端信号的电平使能。在如下的例子中，计数器只在 TI1 为低时向上计数。

1. 配置通道 1 用于检测 TI1 上的低电平。配置输入滤波器带宽（本例中，不需要滤波，所以保持 IC1F=0000）。触发操作中不使用捕获预分频器，所以不需要配置。CC1S 位用于选择输入捕获源，也不需要配置。配置 TIM3_CCER1 寄存器的 CC1P=1 来确定极性（只检测低电平）。
2. 配置 TIM3_SMCR 寄存器的 SMS=101，选择定时器为门控触发模式；配置 TIM3_SMCR 寄存器中 TS=101，选择 TI1 作为输入源。
3. 配置 TIM3_CR1 寄存器的 CEN=1，启动计数器（在门控模式下，如果 CEN=0，则计数器不能启动，不论触发输入电平如何）。

只要 TI1 为低，计数器开始依据内部时钟计数，一旦 TI1 变高则停止计数。当计数器开始或停止时 TIF 标志位都会被置位。TI1 上升沿和计数器实际停止之间的延时取决于 TI1 输入端的重同步电路。

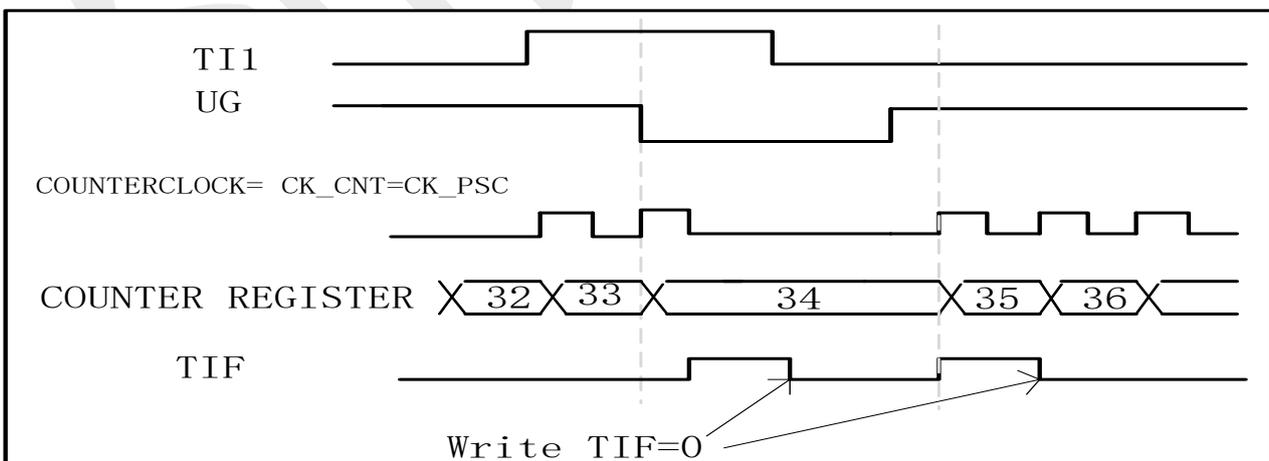


图 12-17 门控触发模式下的控制电路

12.3.5.4 外部时钟模式 2 + 触发模式

外部时钟模式 2 可以与另一个输入信号的触发模式一起使用。这时，ETR 信号被用作外部时钟的输入，另一个输入信号可用作触发模式（支持标准触发模式，复位触发模式和门控触发模式）。请注意不能把 ETR

配置成 TRGI（通过 TIM3_SMCR 寄存器的 TS 位）。在下面的例子中，一旦在 TI1 上出现一个上升沿，计数器即在 ETR 的每一个上升沿向上计数一次。

1. 通过 TIM3_ETR 寄存器配置外部触发输入电路。在这个例子中，由于不使用滤波，因此 ETF=0000。配置 ETPS=00 禁止预分频，配置 ETP=0 监测 ETR 信号的上升沿，配置 ECE=1 使能外部时钟模式 2。
2. 使用通道 1 监测 TI1 的上升沿。配置输入滤波（由于本例不使用滤波，因此配置 IC1F=0000）。由于触发操作不使用预分频，所以不配置预分频器，CC1S 位仅用于选择输入捕获源，因此也不需要配置。配置 TIM3_CCER1 寄存器的 CC1P=0 来选择上升沿触发。
3. 配置 TIM3_SMCR 寄存器的 SMS=110 来选择定时器为触发模式。配置 TIM3_SMCR 寄存器的 TS=101 来选择 TI1 作为输入源。

当 TI1 上出现一个上升沿时，TIF 标志被设置，计数器开始在 ETR 的上升沿计数。TI1 信号的上升沿和计数器实际时钟之间的延时取决于 TI1 输入端的重同步电路。ETR 信号的上升沿和计数器实际时钟之间的延时取决于 ETRP 输入端的重同步电路。

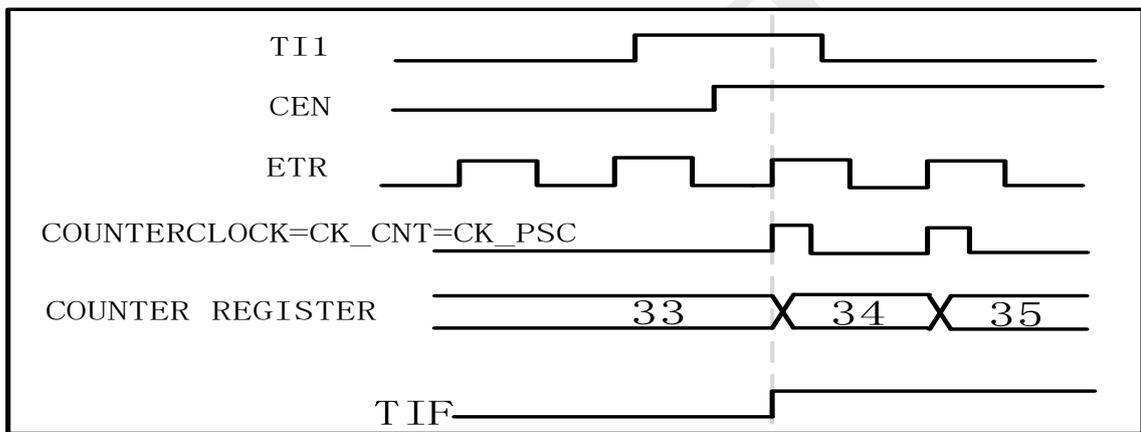


图 12-18 外部时钟模式 2+触发模式下的控制电路

12.3.6 与其它 TIM 定时器的同步

在芯片中，定时器在内部互相联结，用于定时器的同步或链接。当某个定时器配置成主模式时，可以输出触发信号（TRGO）到那些配置为从模式的定时器来完成复位，启动，停止的操作，或者作为那些定时器的驱动时钟。

T3 的级联如下图，输入内部触发可以来自芯片内部的 T2 定时器，比较器 0/1 输出和 ADC 事件；T3 的输出 TRGO 连接到芯片内部的 ADC、DAC、比较器 0/1 和定时器 T2。

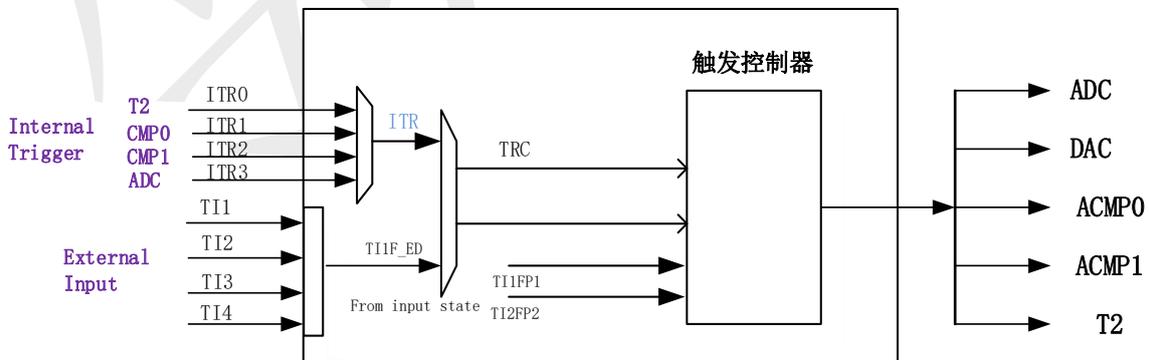


图 12-19 定时器级联信号图

12.4 捕获/比较通道

定时器的 I/O 引脚（TIM3_Cci）可以用作输入捕获或者输出比较，这个功能可以通过配置捕获/比较通

道模式寄存器（TIM3_CCMRi）的 CCIS 通道选择位来实现，此处的 i 代表通道数。

每一个捕获/比较通道都是围绕着一个捕获/比较寄存器（包含影子寄存器）来构建的，包括捕获的输入部分（数字滤波、多路复用和预分频器），和输出部分（比较器和输出控制）。

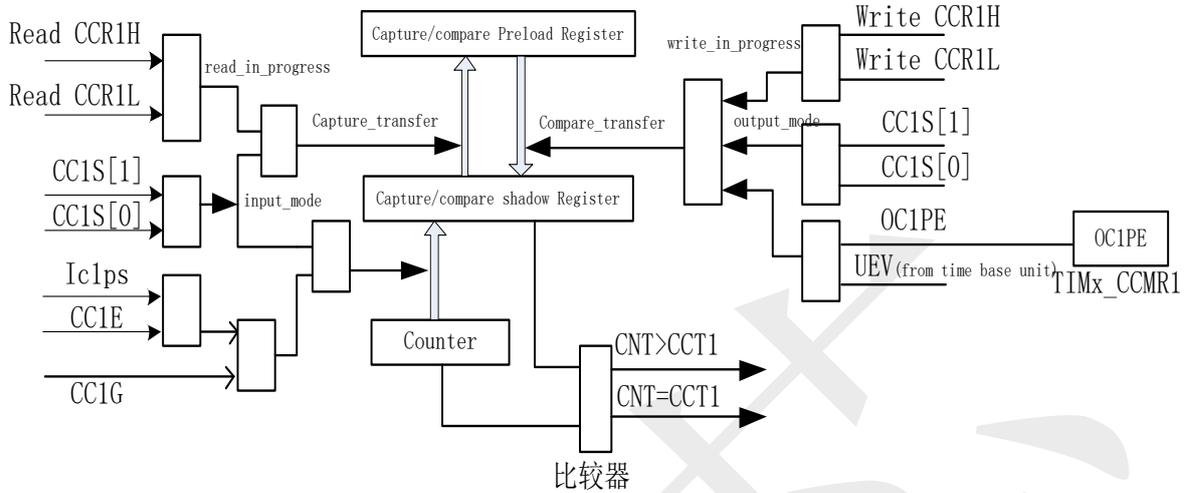


图 12-20 捕获/比较通道 1 的主要电路

捕获/比较模块由一个预装载寄存器和一个影子寄存器组成。读写过程仅操作预装载寄存器。在捕获模式下，捕获计数器的值到影子寄存器上，然后再复制到预装载寄存器中。在比较模式下，预装载寄存器的内容被复制到影子寄存器中，然后影子寄存器的内容和计数器进行比较。当通道被配置成输出模式时（TIM3_CCMRi 寄存器的 CCIS=0），可以随时访问 TIM3_CCRi 寄存器。当通道被配置成输入模式时，对 TIM3_CCRi 寄存器的读操作类似于计数器的读操作。当捕获发生时，计数器的内容被捕获到 TIM3_CCRi 影子寄存器，然后再复制到预装载寄存器中。在读操作进行中，预装载寄存器是被冻结的（以防读数据过程中预装载寄存器内容被修改）。在整个读流程结束后，如果仅仅读了 TIM3_CCRiL 寄存器，返回计数器数值的低位（LS）。如果在读了低位（LS）数据以后再读高位（MS）数据，将不再返回同样的低位数据。

12.4.1 16 位 TIM_CCRi 寄存器的写流程

16 位 TIM3_CCRi 寄存器的写操作通过预装载寄存器完成。必需使用两条指令来完成整个流程，一条指令对应一个字节。必需先写高位字节（MS）。在写高位字节（MS）时，影子寄存器的更新被禁止直到低位字节（LS）的写操作完成。注意不要先写低位字节，否则会导致错误的写入。

12.4.2 输入模块

输入模块的框图如下：

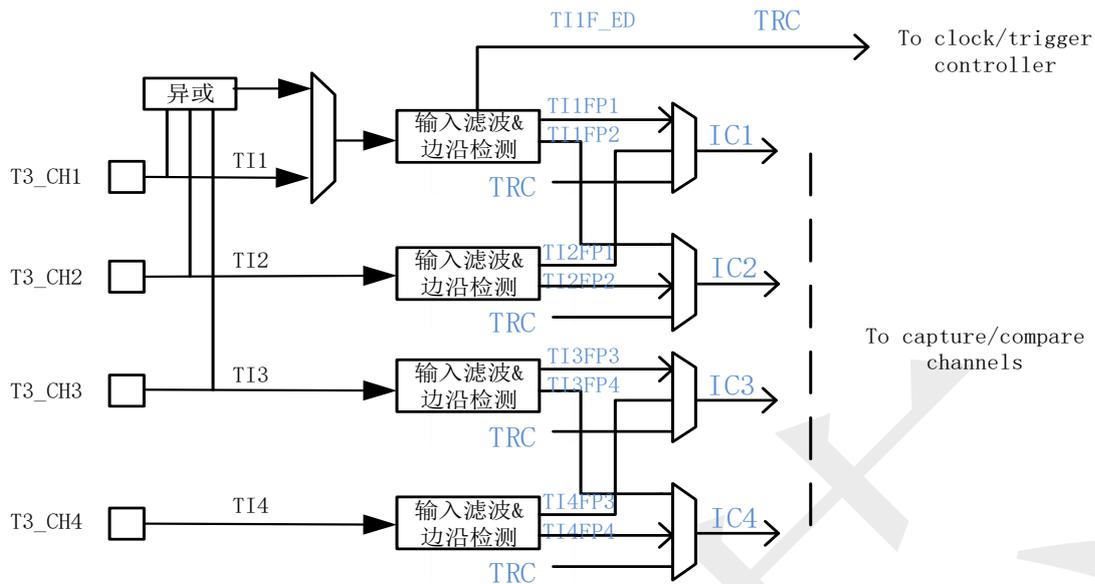


图 12-21 输入模块的框图

输入部分对相应的 Ti 输入信号采样，并产生一个滤波后的信号 $TIIF$ 。然后，一个带极性选择的边缘监测器产生一个信号 ($TIIFPx$)，它可以作为触发模式控制器的输入触发或者作为捕获控制。该信号通过预分频进入捕获寄存器 ($ICiPS$)。

TIM 通道 1 的输入如下图：

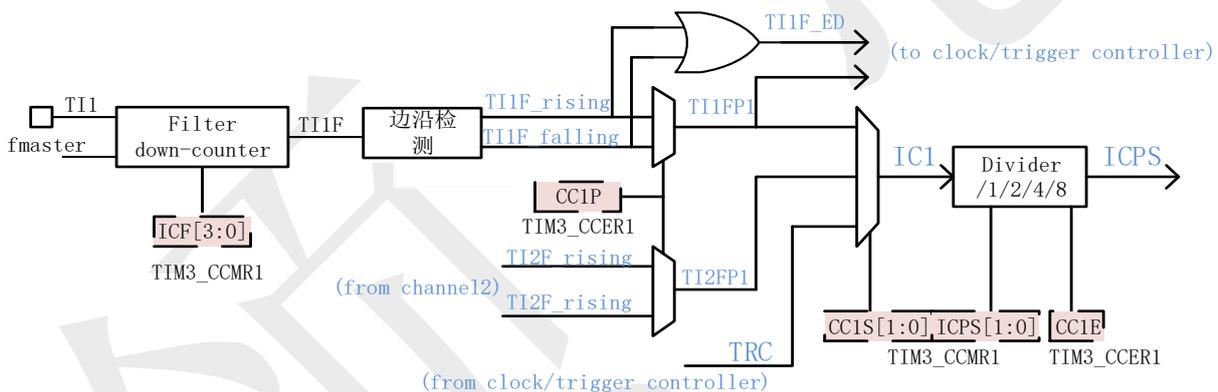


图 12-22 T3 通道 1 的输入

12.4.3 输入捕获模式

在输入捕获模式下，当检测到 ICi 信号上相应的边沿后，计数器的当前值被锁存到捕获/比较寄存器 ($TIM3_CCRi$) 中。当发生捕获事件时，相应的 $CCiIF$ 标志 ($TIM3_SR$ 寄存器) 被置 1。

如果 $TIM3_IER$ 寄存器的 $CCiIE$ 位被置位，也就是使能了中断，则将产生中断请求。如果发生捕获事件时 $CCiIF$ 标志已经为高，那么重复捕获标志 $CCiOF$ ($TIM3_SR2$ 寄存器) 被置 1。写 $CCiIF=0$ 或读取存储在 $TIM3_CCRi$ 寄存器中的捕获数据都可清除 $CCiIF$ 。写 $CCiOF=0$ 可清除 $CCiOF$ 。

以下例子说明如何在 $Ti1$ 输入的上升沿时捕获计数器的值到 $TIM3_CCR1$ 寄存器中，步骤如下：

1. 选择有效输入端：例如 $TIM3_CCR1$ 连接到 $Ti1$ 输入，所以写入 $TIM3_CCMR1$ 寄存器中的 $CC1S=01$ ，此时通道被配置为输入，并且 $TIM3_CCR1$ 寄存器变为只读。
2. 根据输入信号 Tii 的特点，可通过配置 $TIM3_CCMRi$ 寄存器中的 $ICiF$ 位来设置相应的输入滤波器的滤波时间。假设输入信号在最多 5 个时钟周期的时间内抖动，我们须配置滤波器的带宽长于 5 个时钟周期；因此我们可以连续采样 8 次，以确认在 $Ti1$ 上一次真实的边沿变换，即在 $TIM3_CCMR1$ 寄存器中写入

IC1F=0011，此时，只有连续采样到 8 个相同的 TI1 信号，信号才为有效（采样频率为 f_{MASTER} ）。

3. 选择 TI1 通道的有效转换边沿，在 TIM3_CCER1 寄存器中写入 CC1P=0（上升沿）。
4. 配置输入预分频器。在本例中，我们希望捕获发生在每一个有效的电平转换时刻，因此预分频器被禁止（写 TIM3_CCMR1 寄存器的 IC1PS=00）。
5. 设置 TIM3_CCER1 寄存器的 CC1E=1，允许捕获计数器的值到捕获寄存器中。
6. 如果需要，通过设置 TIM3_IER 寄存器中的 CC1IE 位允许相关中断请求。

当发生一个输入捕获时：

- ◇ 当产生有效的电平转换时，计数器的值被传送到 TIM3_CCR1 寄存器。
- ◇ CC1IF 标志被设置（中断标志）。当发生至少 2 个连续的捕获而 CC1IF 未曾被清除时，CC1OF 也被置 1。
- ◇ 如设置了 CC1IE 位，则会产生一个中断。
- ◇ 为了处理捕获溢出（CC1OF 位），建议在读出重复捕获标志之前读取数据，这是为了避免丢失在读出捕获溢出标志之后和读取数据之前可能产生的重复捕获信息。

注：设置 TIM3_EGR 寄存器中相应的 CCiG 位，可以通过软件产生输入捕获中断。

12.4.4 PWM 输入信号测量

该模式是输入捕获模式的一个特例，除下列区别外，操作与输入捕获模式相同：

- ◇ 两个 ICi 信号被映射至同一个 Tii 输入。
- ◇ 这两个 ICi 信号的有效边沿的极性相反。
- ◇ 两路 TiiFP 信号中的一路被选择作为触发输入信号，并且触发模式控制器被配置成触发复位模式。

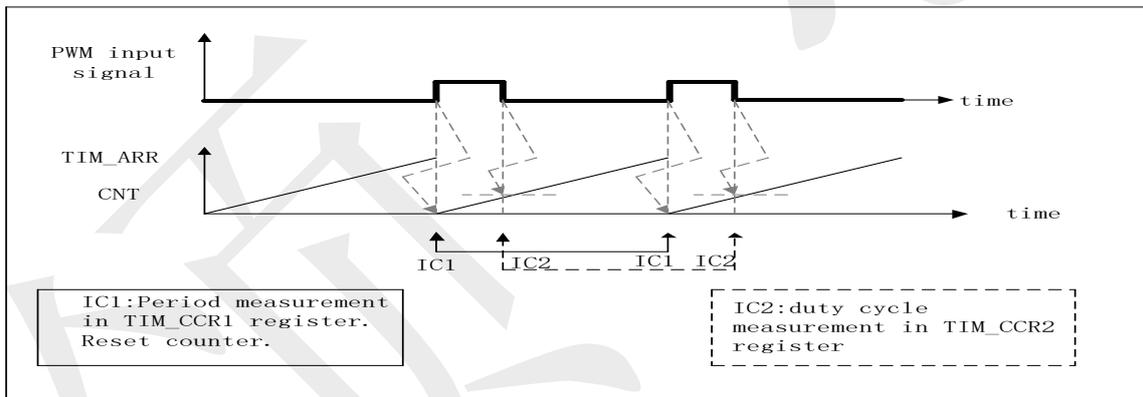


图 12-23 PWM 输入信号测量

例如，用户可以用以下方式测量 TI1 上输入的 PWM 信号的周期（锁存于 TIM3_CCR1 寄存器）和占空比（锁存于 TIM3_CCR2 寄存器）。（具体取决于 f_{MASTER} 的频率和预分频器的值）

1. 选择 TIM3_CCR1 的有效输入：置 TIM3_CCMR1 寄存器的 CC1S=01（选中 TI1）。
2. 选择 TI1FP1 的有效极性（用来捕获数据到 TIM3_CCR1 中和清除计数器）：置 CC1P=0（上升沿有效）。
3. 选择 TIM3_CCR2 的有效输入：置 TIM3_CCMR2 寄存器的 CC2S=10（选中 TI1FP2）。
4. 选择 TI1FP2 的有效极性（捕获数据到 TIM3_CCR2）：置 CC2P=1（下降沿有效）。
5. 选择有效的触发输入信号：置 TIM3_SMCR 寄存器中的 TS=101（选择 TI1FP1）。
6. 配置触发模式控制器为复位触发模式：置 TIM3_SMCR 中的 SMS=100。
7. 使能捕获：置 TIM3_CCER1 寄存器中 CC1E=1，CC2E=1。

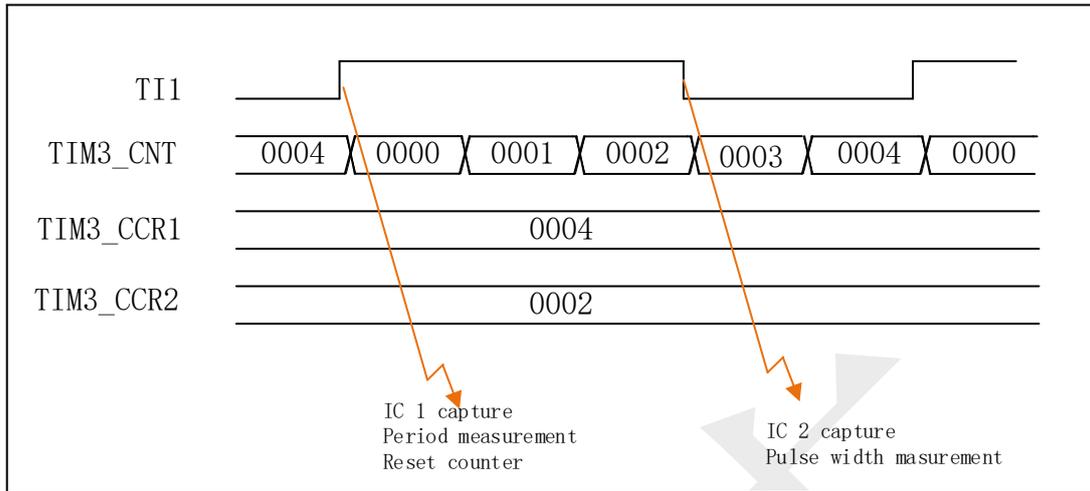


图 12-24 PWM 输入信号测量实例

12.4.5 输出模块

输出模块会产生一个用来做参考的中间波形，称为 OCiREF（高有效）。刹车功能和极性的处理都在模块的最后处理。

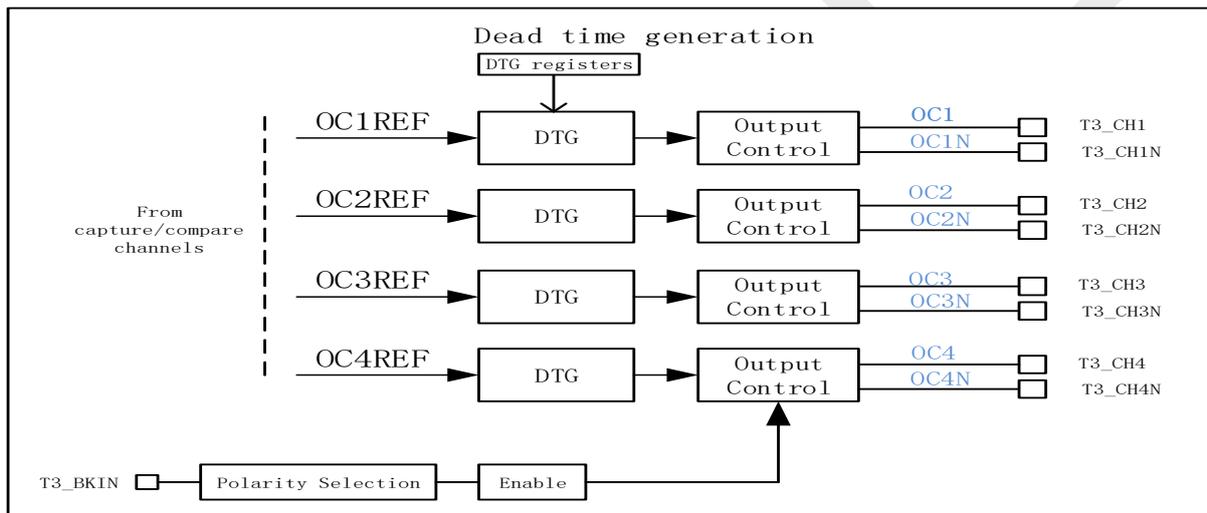


图 12-25 输出模块框图

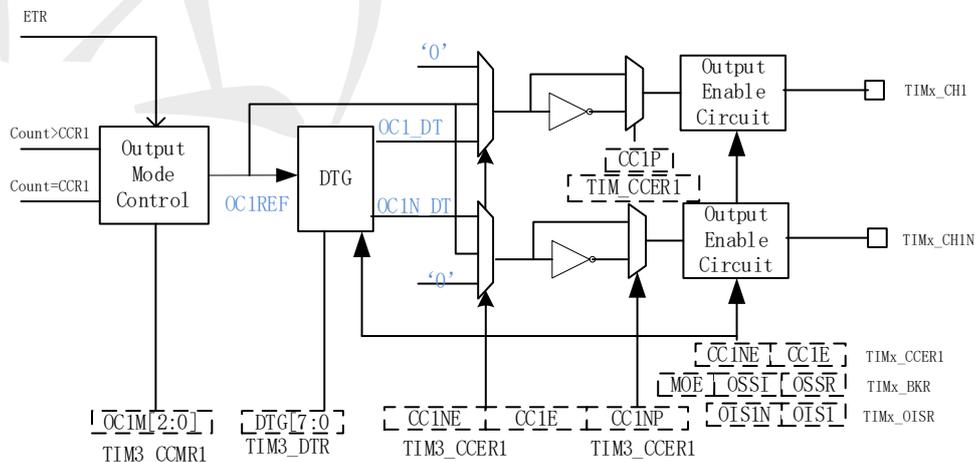


图 12-26 详细的带互补输出的输出模块框图（通道 1）

12.4.6 强制输出模式

在输出模式（TIM3_CCMRi 寄存器中 CCIS=00）下，输出比较信号能够直接由软件强置为高或低状态，而不依赖于输出比较寄存器和计数器间的比较结果。

置 TIM3_CCMRi 寄存器中相应的 OCiM=101，即可强置输出比较信号为有效状态。这样 OCiREF 被强置为高电平（OCiREF 始终为高电平有效），而 OCi 的输出是高还是低则取决于 CCiP 极性标志位。例如：CCiP=0（OCi 高电平有效），则 OCi 被强置为高电平。

置 TIM3_CCMRi 寄存器的 OCiM=100，可强置 OCiREF 信号为低。

该模式下，在 TIM3_CCRi 影子寄存器和计数器之间的比较仍然在进行，相应的标志也会被修改，也会产生相应的中断。这将会在下面的输出比较模式 12.4.7 节中介绍。

12.4.7 输出比较模式

此模式用来控制一个输出波形或者指示一段给定的时间已经达到。当计数器与捕获/比较寄存器的内容相同时，有如下操作：

◇ 根据不同的输出比较模式，相应的 OCi 输出信号为：

- 保持不变(OCiM=000)
- 设置为有效电平(OCiM=001)
- 设置为无效电平(OCiM=010)
- 翻转(OCiM=011)

◇ 设置中断状态寄存器中的标志位（TIM3_SR1 寄存器中的 CCiIF 位）。

◇ 若设置了相应的中断使能位（TIM3_IER 寄存器中的 CCiIE 位），则产生一个中断。

TIM3_CCMRi 寄存器的 OCiM 位用于选择输出比较模式，而 TIM3_CCMRi 寄存器的 CCiP 位用于选择有效和无效的电平极性。TIM3_CCMRi 寄存器的 OCiPE 位用于选择 TIM3_CCRi 寄存器是否需要使用预装载寄存器。在输出比较模式下，更新事件 UEV 对 OCiREF 和 OCi 输出没有影响。时间精度为计数器的一个计数周期。输出比较模式也能用来输出一个单脉冲。

输出比较模式的配置步骤：

1. 选择计数器时钟（内部，外部，预分频器）。
2. 将相应的数据写入 TIM3_ARR 和 TIM3_CCRi 寄存器中。
3. 如果要产生一个中断请求，设置 CCiIE 位。
4. 选择输出模式步骤：
 - 要求计数器与 CCRi 匹配时翻转 OCiM 的输出管脚，设置 OCiM=011
 - 置 OCiPE = 0 禁用预装载寄存器
 - 置 CCiP = 0 选择高电平为有效电平
 - 置 CCiE = 1 使能输出
5. 设置 TIM3_CR1 寄存器的 CEN 位来启动计数器。

TIM3_CCRi 寄存器能够在任何时候通过软件进行更新以控制输出波形，条件是未使用预装载寄存器（OCiPE=0，否则 TIM3_CCRi 的影子寄存器只能在发生下一次更新事件时被更新）。

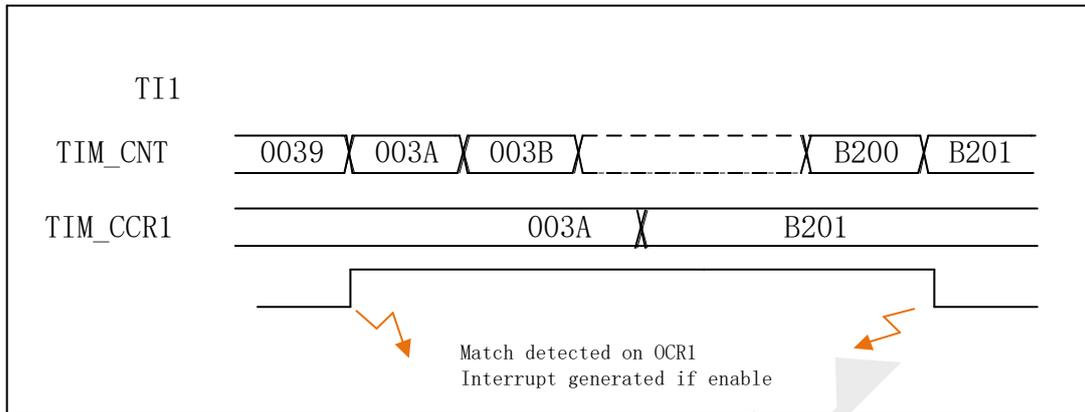


图 12-27 输出比较模式：OC1 的翻转

12.4.8 PWM 模式

脉冲宽度调制（PWM）模式可以产生一个由 TIM3_ARR 寄存器确定频率、由 TIM3_CCRi 寄存器确定占空比的信号。

在 TIM3_CCMRi 寄存器中的 OCiM 位写入 110（PWM 模式 1）或 111（PWM 模式 2），能够独立地设置每个 OCi 输出通道产生一路 PWM。必须设置 TIM3_CCMRi 寄存器的 OCiPE 位使能相应的预装载寄存器，也可以设置 TIM3_CR1 寄存器的 ARPE 位使能自动重载的预装载寄存器（在向上计数模式或中央对称模式中）。

由于仅当发生一个更新事件的时候，预装载寄存器才能被传送到影子寄存器，因此在计数器开始计数之前，必须通过设置 TIM3_EGR 寄存器的 UG 位来初始化所有的寄存器。

OCi 的极性可以通过软件在 TIM3_CCERi 寄存器中的 CCiP 位设置，它可以设置为高电平有效或低电平有效。OCi 的输出使能通过 TIM3_CCERi 和 TIM3_BKR 寄存器中 CCiE、MOE、OISi 和 OSSR 位和 OSSi 位的组合来控制。详见 TIM3_CCERi 寄存器的描述。

在 PWM 模式下，TIM3_CNT 和 TIM3_CCRi 始终在进行比较（依据计数器的计数方向），以确定是否符合 $TIM3_CCRi \leq TIM3_CNT$ 或者 $TIM3_CNT \leq TIM3_CCRi$ 。

根据 TIM3_CR1 寄存器中 CMS 位域的状态，定时器能够产生边沿对齐的 PWM 信号或中央对齐的 PWM 信号。

12.4.8.1 PWM 边沿对齐模式

当 TIM3_CR1 寄存器中的 DIR 位为低的时候执行向上计数。下面是一个 PWM 模式 1 的例子。当 $TIM3_CNT < TIM3_CCRi$ 时，PWM 参考信号 OCiREF 为高，否则为低。如果 TIM3_CCRi 中的比较值大于自动重载值（TIM3_ARR），则 OCiREF 保持为 1。如果比较值为 0，则 OCiREF 保持为 0。

下图为 TIM3_ARR=8 时边沿对齐的 PWM 波形实例。

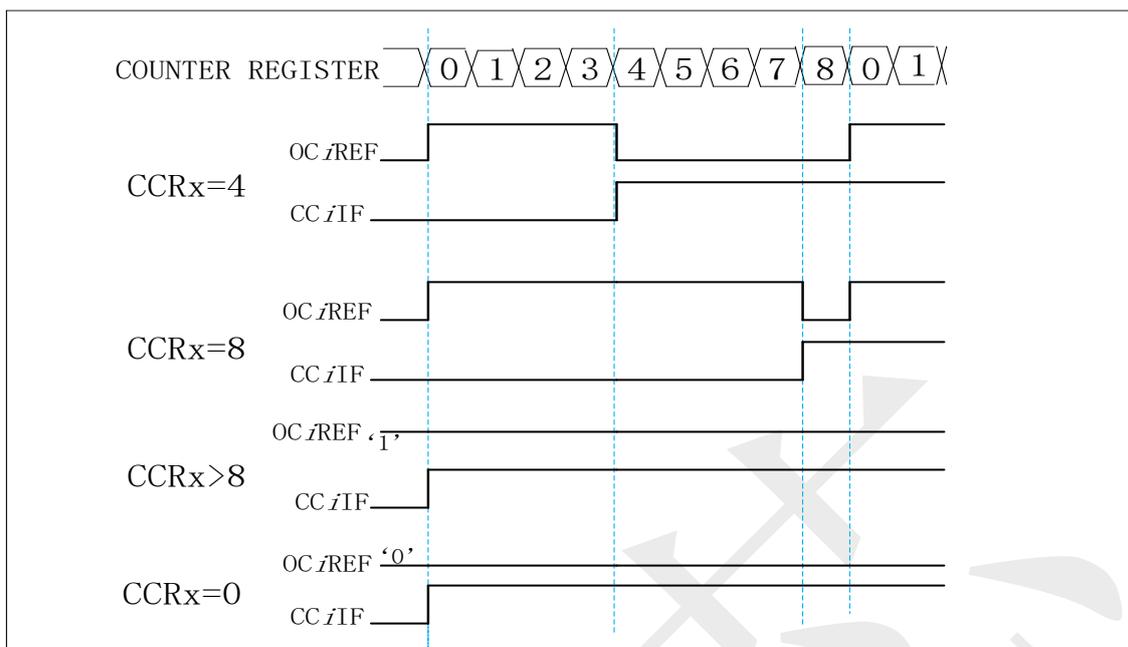


图 12-28 边沿对齐，PWM 模式 1 的波形 (ARR=8)

当 TIM3_CR1 寄存器的 DIR 位为高时执行向下计数。在 PWM 模式 1 时，当 TIM3_CNT>TIM3_CCRi 时参考信号 OC_iREF 为低，否则为高。如果 TIM3_CCRi 中的比较值大于 TIM3_ARR 中的自动重装载值，则 OC_iREF 保持为 1。该模式下不能产生 0% 的 PWM 波形。

13.4.8.2 PWM 中央对齐模式

当 TIM3_CR1 寄存器中的 CMS 位不为 '00' 时为中央对齐模式 (所有其它的配置对 OC_iREF/OC_i 信号都有相同的作用)。根据不同的 CMS 位的设置，比较标志可以在计数器向上计数，向下计数，或向上和向下计数时被置 1。TIM3_CR1 寄存器中的计数方向位 (DIR) 由硬件更新，不要用软件修改它。

下图给出了一些中央对齐的 PWM 波形的例子：

- ✧ TIM_x_ARR=8
- ✧ PWM 模式 1
- ✧ 标志位在以下三种情况下被置位 (以箭头形式在图中标出)
 - 只有在计数器向下计数时 (CMS=01)
 - 只有在计数器向上计数时 (CMS=10)
 - 在计数器向上和向下计数时 (CMS=11)

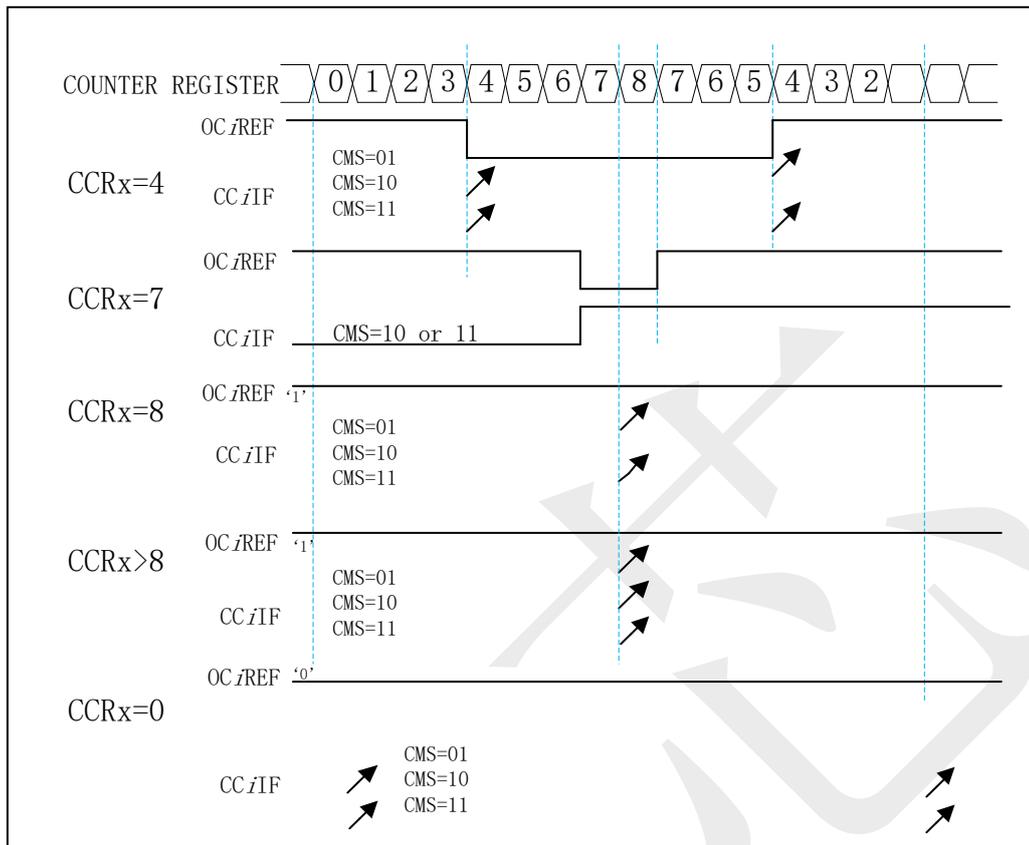


图 12-29 中央对齐的 PWM 波形 (APR=8)

13.4.8.3 单脉冲模式

单脉冲模式 (OPM) 是前述众多模式的一个特例。这种模式允许计数器响应一个激励，并在一个程序可控的延时之后产生一个脉宽可控的脉冲。

可以通过时钟/触发控制器启动计数器，在输出比较模式或者 PWM 模式下产生波形。设置 TIM3_CR1 寄存器的 OPM 位将选择单脉冲模式，此时计数器自动地在下一个更新事件 UEV 时停止。

仅当比较值与计数器的初始值不同时，才能产生一个脉冲。启动之前（当定时器正在等待触发），必须如下配置：

- ✧ 向上计数方式：计数器 $CNT < CCRi \leq ARR$
- ✧ 向下计数方式：计数器 $CNT > CCRi$ 。

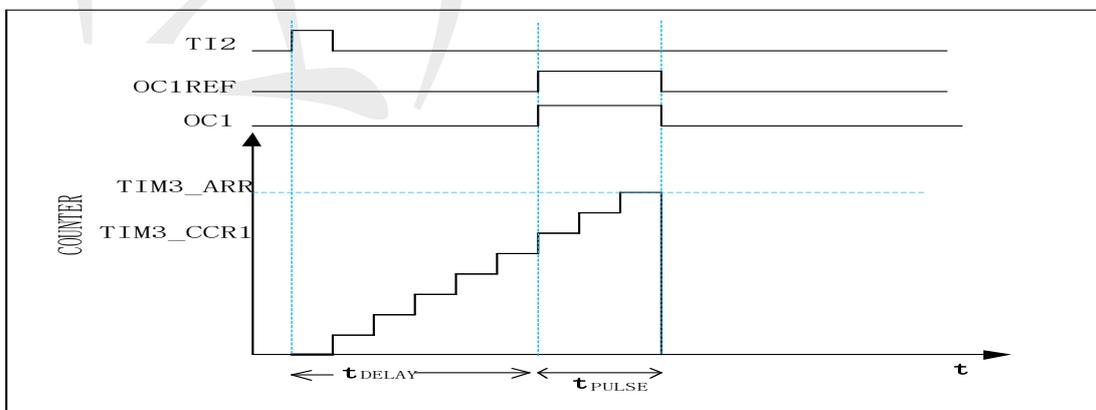


图 12-30 单脉冲模式图例

12.4.8.4 特殊情况：OCi 快速使能

在单脉冲模式下，对 Ti 输入脚的边沿检测会设置 CEN 位以启动计数器。然后计数器和比较值间的比较操作产生了单脉冲的输出。但是这些操作需要一定的时钟周期，因此它限制了可得到的最小延时 t_{DELAY} 。

如果要以最小延时输出波形，可以设置 $TIM3_CCMRi$ 寄存器中的 $OCiFE$ 位；此时强制 $OCiREF$ （和 OCx ）直接响应激励而不再依赖比较的结果，输出的波形与比较匹配时的波形一样。 $OCiFE$ 只在通道配置为 $PWM1$ 和 $PWM2$ 模式时起作用。

12.4.8.5 互补输出和死区插入

$TIM3$ 能够输出两路互补信号，并且能够管理输出的瞬时关断和接通。这段时间通常被称为死区，用户应该根据连接的输出器件和它们的特性（电平转换的延时、电源开关的延时等）来调整死区时间。

配置 $TIM3_CCERi$ 寄存器中的 $CCiP$ 和 $CCiNP$ 位，可以为每一个输出独立地选择极性（主输出 OCi 或互补输出 $OCiN$ ）。互补信号 OCi 和 $OCiN$ 通过下列控制位的组合进行控制： $TIM3_CCERi$ 寄存器的 $CCiE$ 和 $CCiNE$ 位； $TIM3_BKR$ 寄存器中的 MOE 、 $OISi$ 、 $OISiN$ 、 $OSSI$ 和 $OSSR$ 位；特别的是，在转换到 $IDLE$ 状态时（ $MOE=0$ ）死区控制被激活。

同时设置 $CCiE$ 和 $CCiNE$ 位将插入死区，如果存在刹车电路，则还要设置 MOE 位。每一个通道都有一个 8 位的死区发生器。参考信号 $OCiREF$ 可以产生 2 路输出 OCi 和 $OCiN$ 。如果 OCi 和 $OCiN$ 为高有效：

- ◇ OCi 输出信号与参考信号相同，只是它的上升沿相对于参考信号的上升沿有一个延迟。
- ◇ $OCiN$ 输出信号与参考信号相反，只是它的上升沿相对于参考信号的下降沿有一个延迟。

如果延迟大于当前有效的输出宽度(OCi 或者 $OCiN$)，则不会产生相应的脉冲。

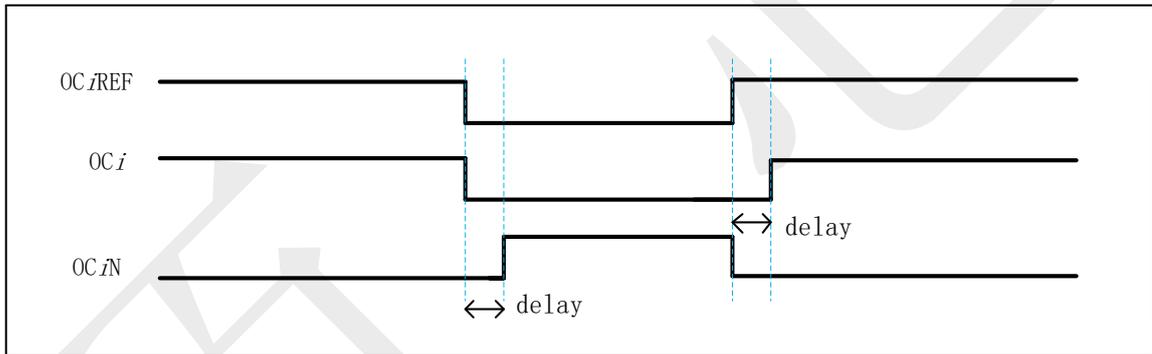


图 12-31 带死区插入的互补输出

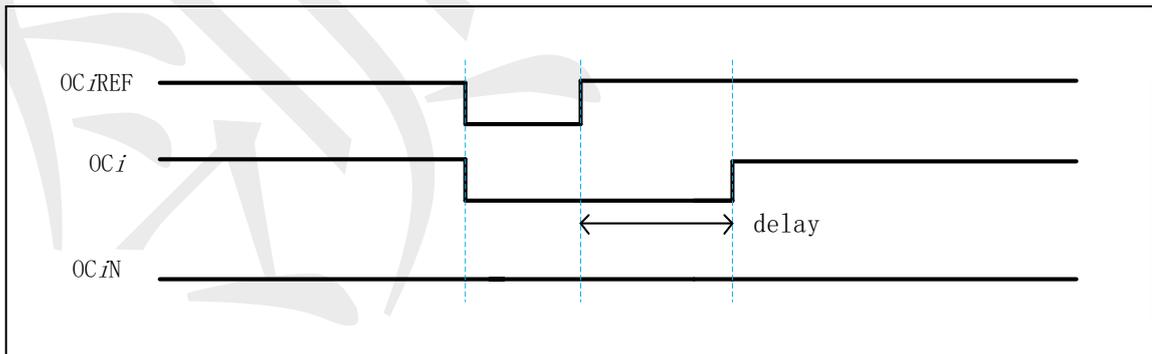


图 12-32 死区波形延迟大于负脉冲

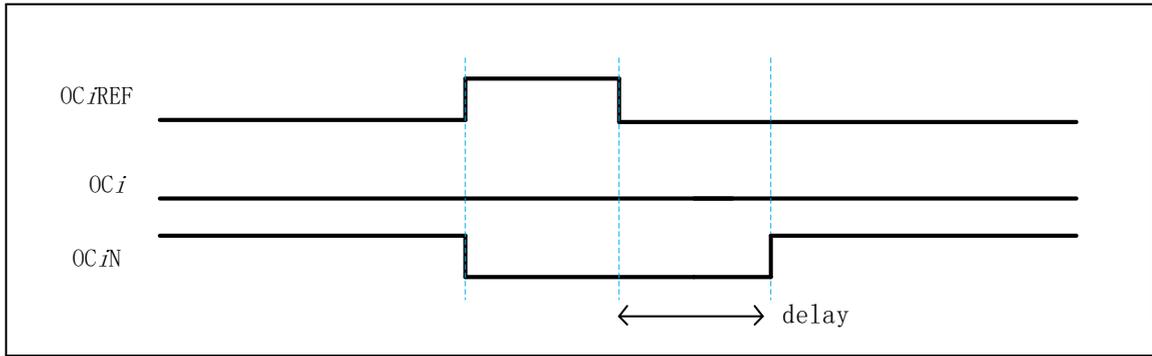


图 12-33 死区波形延迟大于正脉冲

每个通道的死区时间延迟相同，可通过 TIM3_DTR 寄存器中的 DTG 位进行编程。

12.4.8.6 重定向 OCiREF 到 OCi 或 OCiN

在输出模式下（强置、输出比较或 PWM），通过配置 TIM3_CCERi 寄存器的 CCiE 和 CCiNE 位，OCiREF 可以被重定向到 OCi 或者 OCiN 的输出。这个功能可以在互补输出处于无效电平时，在某个输出上送出一个特殊的波形（例如 PWM 或者静态有效电平）。另一个作用是，让两个输出同时处于无效电平，或同时处于有效电平（此时仍然是带死区的互补输出）。

当只使能 OCiN (CCiE=0, CCiNE=1) 时，它不会反相，而当 OCiREF 变高时立即有效。例如，如果 CCiNP=0，则 OCiN=OCiREF。另一方面，当 OCi 和 OCiN 都被使能时 (CCiE=CCiNE=1)，当 OCiREF 为高时 OCi 有效；而 OCiN 相反，当 OCiREF 低时 OCiN 变为有效。

12.4.8.7 6 步 PWM 生成

在通道上实现互补输出时，OCiM、CCiE 和 CCiNE 位上提供了预加载功能。预加载位在换向事件 (COM) 时传输到有效位，这允许提前对下一步的配置进行编程，同时更改所有通道的配置。COM 事件可由软件通过设置 TIM3_EGR 寄存器中的 COMG 位或由硬件触发（在 TRGI 的上升沿）产生。

当 COM 事件发生时，设置一个标志 (TIM3_SR 寄存器中的 COMIF 位) 并可以产生中断 (如果 TIM3_IER 寄存器中的 COMIE 位被设置)。

12.4.9 使用刹车功能

刹车功能常用于马达控制中。当使用刹车功能时，依据相应的控制位 (TIM3_BKR 寄存器中的 MOE、OSSI 和 OSSR 位)，输出使能信号和无效电平都会被修改。

系统复位后，刹车电路被禁止，MOE 位为低。设置 TIM3_BKR 寄存器中的 BKE 位可以使能刹车功能。刹车输入信号的极性可以通过配置同一个寄存器中的 BKP 位选择。BKE 和 BKP 可以被同时修改。

MOE 下降沿相对于时钟模块可以是异步的，因此在实际信号（作用在输出端）和同步控制位（在 TIM3_BKR 寄存器中）之间设置了一个再同步电路。这个再同步电路会在异步信号和同步信号之间产生延迟。特别的，如果当它为低时写 MOE=1，则读出它之前必须先插入一个延时（空指令）才能读到正确的值。这是因为写入的是异步信号而读的是同步信号。

12.4.10 编码器接口模式

编码器接口模式通常用于电机控制，可以通过以下方式来选择：

- ✧ 配置 TIM3_SMCR 寄存器中的 SMS=001，计数器仅在 TI2 边沿计数
- ✧ 配置 SMS=010，计数器只在 TI1 边沿计数
- ✧ 配置 SMS=011，计数器在 TI1 和 TI2 边沿都计数

通过编程 TIM3_CCER1 寄存器中的 CC1P 和 CC2P 位来选择 TI1 和 TI2 极性，必要时也可以对输入滤波器进行编程。

两个输入 TI1 和 TI2 用于连接增量编码器（参见表 12-2）。如果计数器启用（当 TIM3_CR1 寄存器中的 CEN 位被写入 1 时），它由 TI1FP1 或 TI2FP2 上的每个有效转换提供时钟。两个输入（TI1 和 TI2）的转换序

列被评估，并生成计数脉冲和方向信号。根据序列，计数器向上或向下计数，硬件相应修改 TIM3_CR1 寄存器中的 DIR 位。DIR 在每次转换时根据来自 TI1 或 TI2 的输入进行计算，这不取决于计数器是在计算 TI1、TI2 或 TI1 和 TI2 的脉冲。

编码器接口模式可用作具有方向选择的外部时钟。计数器在 0 和 TIM3_ARR 寄存器中的自动重载值之间连续计数（0 到 ARR 或 ARR 下降到 0，具体取决于方向），启动前必须配置 TIM3_ARR。捕捉、比较、预分频器和触发输出功能在此模式下继续正常工作。编码器模式和外部时钟模式 2 不兼容，不能同时选择。

在编码器接口模式下，计数器会根据增量编码器的速度和方向自动修改。因此，计数器的内容始终代表编码器的位置。计数方向对应于所连接传感器的旋转方向。表 12-2 总结了计数方向和编码器信号的可能的组合，假设 TI1 和 TI2 不同时切换。

表 12-2 计数方向 vs 编码器信号

有效边沿	相对信号电平 (TI1FP1 对应 TI2, TI2FP2 对应 TI1)	TI1FP1		TI2FP2	
		上升	下降	上升	下降
仅在 TI1 计数	高	向下计数	向上计数	不计数	不计数
	低	向上计数	向下计数	不计数	不计数
仅在 TI2 计数	高	不计数	不计数	向上计数	向下计数
	低	不计数	不计数	向下计数	向上计数
在 TI1 和 TI2 计数	高	向下计数	向上计数	向上计数	向下计数
	低	向上计数	向下计数	向下计数	向上计数

外部增量编码器可以直接连接到 MCU，无需外部接口逻辑。但是，通常使用比较器将编码器的差分输出转换为数字信号，这大大提高了抗噪能力。指示机械零位的第三个编码器输出可以连接到外部中断输入并触发计数器复位。

12.5 T3 中断

T3 有 8 个中断源，分别映射到 2 个中断矢量上：

- ◇ 刹车中断
- ◇ 触发中断
- ◇ COM 事件中断
- ◇ 输入捕捉/输出比较 4 中断
- ◇ 输入捕捉/输出比较 3 中断
- ◇ 输入捕捉/输出比较 2 中断
- ◇ 输入捕捉/输出比较 1 中断
- ◇ 更新事件中断（例如计数器上溢，下溢及初始化）

为了使用中断特性，每个中断通道需要设置 TIM3_IER 寄存器中相应的中断使能位：BIE、TIE、COMIE、CCiIE 和 UIE 位。通过设置 TIM3_EGR 寄存器中的相应位，也可以通过软件产生上述中断。

12.6 寄存器说明

定时器 T3 的相关寄存器如表 12-3 所示。

表 12-3 T3 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
TIM3_CR1	控制寄存器1	×	R/W	0000_0000B	F3H
TIM3_CR2	控制寄存器2	×	R/W	0000_u0u0B	F4H
TIM3_IOMUX1	管脚复用控制寄存器	×	R/W	0000_000uB	FFE1H

名称	说明	可位寻址	读写权限	复位值	字节地址
TIM3_SR1	状态寄存器1	×	R/W	0000_0000B	F5H
TIM3_SR2	状态寄存器2	×	R/W	uuu0_000uB	F6H
TIM3_EGR	事件产生寄存器	×	R/W	0000_0000B	F7H
TIM3_CNTH	计数器高8位	×	R/W	0000_0000B	84H
TIM3_CNTL	计数器低8位	×	R/W	0000_0000B	85H
TIM3_SMCR	模式控制寄存器	×	R/W	0000_0000B	FF30H
TIM3_ETR	外部触发控制器	×	R/W	0000_0000B	FF31H
TIM3_IER	中断允许控制器	×	R/W	0000_0000B	FF32H
TIM3_CCMR1	CC1捕获/比较模式寄存器1	×	R/W	0000_0000B	FF33H
TIM3_CCMR2	CC2捕获/比较模式寄存器2	×	R/W	0000_0000B	FF34H
TIM3_CCMR3	CC3捕获/比较模式寄存器3	×	R/W	0000_0000B	FF35H
TIM3_CCMR4	CC4捕获/比较模式寄存器4	×	R/W	0000_0000B	FF36H
TIM3_CCER1	捕获/比较使能寄存器1	×	R/W	0000_0000B	FF37H
TIM3_CCER2	捕获/比较使能寄存器2	×	R/W	0000_0000B	FF38H
TIM3_PSCH	预分频器高8位	×	R/W	0000_0000B	FF39H
TIM3_PSCL	预分频器低8位	×	R/W	0000_0000B	FF3AH
TIM3_ARRH	自动重装载器高8位	×	R/W	0000_0000B	FF3BH
TIM3_ARRL	自动重装载器低8位	×	R/W	0000_0000B	FF3CH
TIM3_RCR	重复计数器	×	R/W	0000_0000B	FF3DH
TIM3_CCR1H	捕获/比较通道1寄存器高8位	×	R/W	0000_0000B	FF3EH
TIM3_CCR1L	捕获/比较通道1寄存器低8位	×	R/W	0000_0000B	FF3FH
TIM3_CCR2H	捕获/比较通道2寄存器高8位	×	R/W	0000_0000B	FF80H
TIM3_CCR2L	捕获/比较通道2寄存器低8位	×	R/W	0000_0000B	FF81H
TIM3_CCR3H	捕获/比较通道3寄存器高8位	×	R/W	0000_0000B	FF82H
TIM3_CCR3L	捕获/比较通道3寄存器低8位	×	R/W	0000_0000B	FF83H
TIM3_CCR4H	捕获/比较通道4寄存器高8位	×	R/W	0000_0000B	FF84H
TIM3_CCR4L	捕获/比较通道4寄存器低8位	×	R/W	0000_0000B	FF85H
TIM3_BKR	刹车控制寄存器	×	R/W	0000_0000B	FF86H
TIM3_DTR	死区控制寄存器	×	R/W	0000_0000B	FF87H
TIM3_OISR	输出空闲状态寄存器	×	R/W	0000_0000B	FF88H
TIM3_CR1H	控制寄存器1H	×	R/W	0000_0000B	FF89H
TIM3_CR1M	控制寄存器1M	×	R/W	uuuu_u000B	FF8aH
TIM3_SMCRH	控制寄存器H	×	R/W	uuuu_uu00B	FF8BH
TIM3_DLAMTH	延迟触发和防多次触发控制寄存器	×	R/W	uuuu_uu01B	FF8CH
TIM3_DLAMTM	防多次触发窗口控制寄存器	×	R/W	0000_0000B	FF8DH
TIM3_DLAMT	延迟触发窗口控制寄存器	×	R/W	0000_0000B	FF8EH
TIM3_TIRMP	触发源复用寄存器	×	R/W	0000_0000B	FFCEH
TIM3_OCRMP	输出引脚复用寄存器	×	R/W	u000_0000B	FFCFH

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

定时器 T3 的寄存器详细说明如下：

TIM3_CR1H 控制寄存器 (FF89H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	AS	OCF	CENCE	TI4E	TI3E	TI2E	TI1E	ETRE
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

- Bit 7 AS: 影子寄存器读使能位
当 MCU 读取 PSC/ARR/CCRi 寄存器时选择有效寄存器值 (active register value) 或预加载寄存器值 (preload register value)
0: 选择 preload register value (默认)
1: 选择 active register value (影子寄存器)
- Bit 6 OCF: OC/OCN 异步抗干扰滤波
0: 无滤波 (默认)
1: 滤波
- Bit 5 CENCE: CEN 不使能的时候允许清 OCREF
0: OCREF clear 不使能 (默认)
1: OCREF clear 使能
- Bit 4 TI4E: TI4 输入检测/滤波使能位
0: 不使能
1: 使能
- Bit 3 TI3E: TI3 输入检测/滤波使能位
0: 不使能
1: 使能
- Bit 2 TI2E: TI2 输入检测/滤波使能位
0: 不使能
1: 使能
- Bit 1 TI1E: TI1 输入检测/滤波使能位
0: 不使能
1: 使能
- Bit 0 ETRE: 外部触发输入检测/滤波使能位
0: 不使能
1: 使能

TIM3_CR1M 控制寄存器 (FF8AH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	DTSE	CKD[1:0]	
访问权限:	R-0	R-0	R-0	R-0	R-0	R/W	R/W	R/W
复位值:	U	U	U	U	U	0	0	0

- Bit 7:3 保留
- Bit 2 DTSE: DTS 时钟使能
DTS 时钟用于死区产生器和数字滤波 (ETR 和 TI 输入滤波)

- 0: 不使能
1: 使能
- Bit 1:0 CKD[1:0]: DTS 时钟分频
该位表示 CK_INT 和 DTS 时钟之间的分频系数
- 00: $t_{DTS}=t_{CK_INT}$
01: $t_{DTS}=2*t_{CK_INT}$
10: $t_{DTS}=4*t_{CK_INT}$
11: 保留

TIM3_CR1 控制寄存器 (F3H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ARPE	CMS[1:0]		DIR	OPM	URS	UDIS	CEN
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7 ARPE: 自动预装载允许位
0: ARR 寄存器没有缓冲, 可以被直接写入
1: ARR 寄存器由预装载寄存器缓冲
- Bit 6:5 CMS[1:0]: 选择中央对齐模式
00: 边沿对齐模式, 计数器依据方向位 (DIR) 向上或向下计数。
01: 中央对齐模式 1, 计数器交替地向上和向下计数。只在计数器向下计数时, 配置为输出的通道 (TIM3_CCMRi 寄存器中 CCiS=00) 的输出比较中断标志位被置 1。
10: 中央对齐模式 2, 计数器交替地向上和向下计数。只在计数器向上计数时, 配置为输出的通道 (TIM3_CCMRi 寄存器中 CCiS=00) 的输出比较中断标志位被置 1。
11: 中央对齐模式 3, 计数器交替地向上和向下计数。在计数器向上和向下计数时, 配置为输出的通道 (TIM3_CCMRi 寄存器中 CCiS=00) 的输出比较中断标志位被置 1。
注: 在计数器开启时 (CEN=1), 不允许从边沿对齐模式转换到中央对齐模式。在中央对齐模式下, 编码器模式 (SMCR 寄存器中的 SMS=001/010/011) 必须被禁止。
- Bit 4 DIR: 计数方向
0: 计数器向上计数
1: 计数器向下计数
当计数器配置为中央对齐模式或编码器模式时, 该位为只读。
- Bit 3 OPM: 单脉冲模式
0: 在发生更新事件时, 计数器不停止
1: 在发生下一次更新事件 (清除 CEN 位) 时, 计数器停止
- Bit 2 URS: 更新请求源
0: 如果 UDIS 允许产生更新事件, 则下述任一事件都会产生一个更新中断:
- 寄存器被更新 (计数器上溢/下溢)
- 软件设置 UG 位
- 时钟/触发控制器产生更新事件
1: 如果 UDIS 允许产生更新事件, 只有当寄存器被更新 (计数器上溢/下溢) 时才产生更新中断, 并 UIF 置 1
- Bit 1 UDIS: 禁止更新
0: 一旦下列事件发生, 产生更新 (UEV) 事件:

- 计数器溢出/下溢
- 产生软件更新事件
- 时钟/触发模式控制器产生的硬件复位

被缓存的寄存器装入它们的预装载值。

1: 不产生更新事件, 影子寄存器 (ARR、PSC、CCRi) 保持它们的值。如果设置了 UG 位或时钟/触发控制器发出了硬件复位, 则计数器和预分频器被重新初始化。

Bit 0

CEN: 计数器使能

0: 禁止计数器

1: 使能计数器

注: 在软件设置了 CEN 位后, 外部时钟、门控模式和编码器模式才能工作。然而触发模式可以自动地通过硬件设置 CEN 位。

TIM3_CR2 控制寄存器 (F4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TI1S	MMS[2:0]			—	CCUS	—	CCPC
访问权限:	R/W	R/W	R/W	R/W	R-0	R/W	R-0	R/W
复 位 值:	0	0	0	0	U	0	U	0

Bit 7

TI1S: TI1 选择位

0: CC1 输入管脚连到 TI1 (数字滤波器的输入)

1: CC1、CC2 和 CC3 管脚经异或后连到 TI1

Bit 6:4

MMS[2:0]: 主模式选择位

该位用于选择在主模式下送到 ADC 或其它定时器的同步信息 (TRGO)。可能的组合如下:

000: 复位。TIM3_EGR 寄存器的 UG 位被用于作为触发输出 TRGO。如果触发输入 (时钟/触发控制器配置为复位模式) 产生复位, 则 TRGO 上的信号相对实际的复位会有延迟。

001: 使能。计数器使能信号被用于作为触发输出 TRGO, 用于启动多个定时器或 ADC, 以便控制在一段时间内使能从定时器或 ADC。计数器使能信号是通过 CEN 控制位和门控模式下的触发输入信号的逻辑或产生。除非选择了主/从模式 (见 TIM3_SMCR 寄存器中 MSM 位的描述), 当计数器使能信号受控于触发输入时, TRGO 上会有延迟。

010: 更新。更新事件被选为触发输出 TRGO。

011: 比较脉冲 (MATCH1)。一旦发生一次捕获或比较成功, 当 CC1IF 标志被置 1 时 (即使它已经为高), 触发输出送出一个正脉冲 TRGO。

100: 比较。OC1REF 信号被用于作为触发输出 TRGO。

101: 比较。OC2REF 信号被用于作为触发输出 TRGO。

110: 比较。OC3REF 信号被用于作为触发输出 TRGO。

111: 比较。OC4REF 信号被用于作为触发输出 TRGO。

Bit 3

保留

Bit 2

CCUS: 捕获/比较控制位的更新控制选择

0: 当捕获/比较的控制位为预装载时 (CCPC=1), 只有在 COMG 位置 1 的时候这些控制位才被更新

1: 当捕获/比较的控制位为预装载时 (CCPC=1), 只有在 COMG 位置 1 或 TRGI 发生上升沿的时候这些控制位才被更新

注: 该位只对拥有互补输出的通道有效。

Bit 1

保留

Bit 0 CCPC: 捕获/比较预装载控制
 0: CCI_E、CCI_{NE}、CCI_P、CCI_{NP} 位 (TIM3_CCERi 寄存器) 和 OCiM 位 (TIM3_CCMRi 寄存器) 不是预装载的
 1: CCI_E、CCI_{NE}、CCI_P、CCI_{NP} 和 OCiM 位是预装载的; 设置该位后, 它们只在设置了 COMG 位 (TIM3_EGR 寄存器) 后被更新
 注: 该位只对具有互补输出的通道有效。

TIM3_SMCRRH 模式控制寄存器 (FF8BH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	OCCP	SMS[3]
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W
复位值:	U	U	U	U	U	U	0	0

Bit 7:2 保留

Bit 1 OCCP: OCREF 清除信号极性选择

0: OCREF 清除信号输入高有效

1: OCREF 清除信号输入低有效

Bit 0 SMS[3]: 从模式选择位[3]

1: 只在 SMS[2:0]=000 的时候用于用作 SMS[3:0]=1000

复位触发模式。所选触发信号 (TRGI) 的上升沿重新初始化计数器并使相关寄存器更新, 最后重新启动计数器。

0: 具体参考 SMS[2:0]的介绍

TIM3_SMCR 模式控制寄存器 (FF30H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	MSM	TS[2:0]			OCCS	SMS[2:0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit 7 MSM: 主/从模式

0: 无作用

1: 触发输入 TRGI 上的事件被延迟, 以允许 T3 与其他定时器间的完美同步 (通过 TRGO)

Bit 6:4 TS[2:0]: 触发选择, 用于选择同步计数器的触发输入

000: 内部触发 ITR0, 连接到内部定时器 T2 的溢出中断

001: 内部触发 ITR1, 连接到内部 ACMP0 输出

010: 内部触发 ITR2, 连接到内部 ACMP1 输出

011: 内部触发 ITR3, 连接到内部 ADC_event

100: TI1 的边沿检测器 (TI1F_ED)

101: 滤波后的定时器输入 1 (TI1FP1)

110: 滤波后的定时器输入 2 (TI2FP2)

111: 外部触发输入 (ETRF)

注: TS[2:0]只能在未用到 (如 SMS=000) 时被改变, 以避免在改变时产生错误的边沿检测。

Bit 3 OCCS: OCREF 清除信号源选择

0: 连接到 OCREF_CLR

1: 连接到 ETRF

Bit 2:0 SMS[2:0]: 时钟/触发/从模式选择
 当选择了外部信号, 触发信号 TRGI 的有效边沿与选中的外部输入极性相关 (见输入控制寄存器和控制寄存器的说明)。
 000: 时钟/触发控制器禁止。如果 CEN=1, 则预分频器直接由内部时钟驱动。
 001: 编码器模式 1。根据 TI1FP1 的电平, 计数器在 TI2FP2 的边沿向上/下计数。
 010: 编码器模式 2。根据 TI2FP2 的电平, 计数器在 TI1FP1 的边沿向上/下计数。
 011: 编码器模式 3。根据另一个输入的电平, 计数器在 TI1FP1 和 TI2FP2 的边沿向上/下计数。
 100: 复位模式。在选中的触发输入 TRGI 的上升沿时重新初始化计数器, 并且产生一个更新寄存器的信号。
 101: 触发门控模式。当触发输入 TRGI 为高时, 计数器的时钟开启。一旦触发输入变为低, 则计数器停止 (但不复位)。计数器的启动和停止都是受控的。
 110: 标准触发模式。计数器在触发输入 TRGI 的上升沿启动 (但不复位), 只有计数器的启动是受控的。
 111: 外部时钟模式 1。选中的触发输入 TRGI 的上升沿驱动计数器。
 注: 如果 TI1F_ED 被选为触发输入 (TS=100) 时, 不要使用门控模式。这是因为 TI1F_ED 在每次 TI1F 变化时只是输出一个脉冲, 然而门控模式是要检查触发输入的电平。

TIM3_ETR 外部触发寄存器 (FF31H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ETP	ECE	ETPS[1:0]		ETF[3:0]			
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0

Bit 7 ETP: 外部触发极性选择
 0: ETR 不反相, 即高电平或上升沿有效
 1: ETR 反相, 即低电平或下降沿有效

Bit 6 ECE: 外部时钟使能, 用于使能外部时钟模式 2
 0: 禁止外部时钟模式 2
 1: 使能外部时钟模式 2, 计数器的时钟为 ETRF 的有效沿。
 注 1: ECE 位置 1 的效果与选择把 TRGI 连接到 ETRF 的外部时钟模式 1 相同 (TIM3_SMCR 寄存器中, SMS=111, TS=111)。
 注 2: 外部时钟模式 2 可与下列模式同时使用: 标准触发模式; 复位触发模式; 触发门控模式。但是, 此时 TRGI 决不能与 ETRF 相连 (TIM3_SMCR 寄存器中, TS 不能为 111)。
 注 3: 外部时钟模式 1 与外部时钟模式 2 同时使能, 外部时钟输入为 ETRF。

Bit 5:4 ETPS[1:0]: 外部触发预分频器
 外部触发信号 ETRP 的频率最大不能超过 $f_{MASTER}/4$ 。可用预分频器来降低 ETRP 的频率, 当 ETRP 的频率很高时, 它非常有用。
 00: 预分频器关闭
 01: ETRP 的频率/2
 10: ETRP 的频率/4
 11: ETRP 的频率/8

Bit 3:0 ETF[3:0]: 外部触发滤波器选择
 它定义了 ETRP 的采样频率及数字滤波器的长度。数字滤波器由一个事件计数器组成, 它记录到 N 个事件后会产生一个输出的跳变。
 0000: 采样频率 $f_{SAMPLING}=f_{MASTER}$, 无滤波器

- 0001: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}$, N=2
- 0010: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}$, N=4
- 0011: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}$, N=8
- 0100: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/2$, N=6
- 0101: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/2$, N=8
- 0110: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/4$, N=6
- 0111: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/4$, N=8
- 1000: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/8$, N=6
- 1001: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/8$, N=8
- 1010: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/16$, N=5
- 1011: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/16$, N=6
- 1100: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/16$, N=8
- 1101: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/32$, N=5
- 1110: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/32$, N=6
- 1111: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/32$, N=8

TIM3_IER 中断使能寄存器 (FF32H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BIE	TIE	COMIE	CC4IE	CC3IE	CC2IE	CC1IE	UIE
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0

- Bit 7 BIE: 刹车中断使能
0: 禁止
1: 使能
- Bit 6 TIE: 触发中断使能
0: 禁止
1: 使能
- Bit 5 COMIE: COM 中断使能
0: 禁止
1: 使能
- Bit 4 CC4IE: 捕获/比较 4 中断使能
0: 禁止
1: 使能
- Bit 3 CC3IE: 捕获/比较 3 中断使能
0: 禁止
1: 使能
- Bit 2 CC2IE: 捕获/比较 2 中断使能
0: 禁止
1: 使能
- Bit 1 CC1IE: 捕获/比较 1 中断使能
0: 禁止
1: 使能
- Bit 0 UIE: 更新中断使能
0: 禁止

1: 使能

T3 管脚复用控制寄存器 TIM3_IOMUX1 (FFE1H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	BKMODE	BKEN[3:0]				ETRRMP	INT1SEL	—
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R-0
复位值:	0	0	0	0	0	0	0	U

Bit 7 BKMODE: T3 刹车输入模式选择
0: 刹车源全或输入 (源包括: 引脚 P1.4、ACMP0、ACMP1 和 ADC)
1: 刹车源全与输入 (源包括: 引脚 P1.4、ACMP0、ACMP1 和 ADC)

Bit 6:3 BKEN[3:0]: T3 刹车源使能位, 高电平有效
BKEN[3]: ADC 刹车源使能
BKEN[2]: ACMP1 刹车源使能
BKEN[1]: ACMP0 刹车源使能
BKEN[0]: 引脚 P1.4 刹车源使能

Bit 2 ETRRMP: T3 外部触发引脚选择
0: P0.2 复用成触发输入 (默认)
1: P1.3 复用成触发输入

Bit 1 INT1SEL: 外部中断 INT1 输入选择位
0: 选择端口, 参见 EINT01RMP (默认)
1: 选择 RCL/8

Bit 0 保留

TIM3_SR1 状态寄存器 (F5H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	BIF	TIF	COMIF	CC4IF	CC3IF	CC2IF	CC1IF	UIF
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	U	0

Bit 7 BIF: 刹车中断标志
一旦刹车输入有效, 由硬件对该位置 1。如果刹车输入无效, 则该位可由软件清 0。
0: 无刹车事件产生
1: 刹车输入上检测到有效电平

Bit 6 TIF: 触发器中断标志
当发生触发事件 (当从模式控制器处于除门控模式外的其它模式时, 在 TRGI 输入端检测到有效边沿, 或门控模式下的任一边沿) 时由硬件对该位置 1。它由软件清 0。
0: 无触发器事件产生
1: 触发中断等待响应

Bit 5 COMIF: COM 中断标志
一旦产生 COM 事件 (当捕获/比较控制位 CCiE、CCiNE、OCiM 已被更新) 该位由硬件置 1。它由软件清 0。
0: 无 COM 事件产生
1: COM 中断等待响应

Bit 4 CC4IF: 捕获/比较 4 中断标志
参考 CC1IF 的描述

- Bit 3 CC3IF: 捕获/比较 3 中断标志
参考 CC1IF 的描述
- Bit 2 CC2IF: 捕获/比较 2 中断标志
参考 CC1IF 的描述
- Bit 1 CC1IF: 捕获/比较 1 中断标志
如果通道 CC1 配置为输出模式
当计数器值与比较值匹配时该位由硬件置 1, 但在中心对称模式下除外 (参考 TIM3_CR1 寄存器的 CMS 位)。它由软件清 0。
0: 无匹配发生
1: TIM3_CNT 的值与 TIM3_CCR1 的值匹配
注: 在中心对称模式下, 当计数器值为 0 时, 向上计数, 当计数器值为 ARR 时, 向下计数 (它从 0 向上计数到 ARR-1, 再由 ARR 向下计数到 1)。因此, 对所有的 SMS 位值, 这两个值都不会置位 CC1IF。但是, 如果 CCR1>ARR, 则当 CNT 达到 ARR 值时, CC1IF 置 1。
如果通道 CC1 配置为输入模式
当捕获事件发生时该位由硬件置 1, 它由软件清 0 或通过读 TIM3_CCR1L 清 0。
0: 无输入捕获产生
1: 计数器值已被捕获至 TIM3_CCR1 (在 IC1 上检测到与所选极性相同的边沿)
- Bit 0 UIF: 更新中断标志
当产生更新事件时该位由硬件置 1。它由软件清 0。
0: 无更新事件产生
1: 更新事件等待响应。当寄存器被更新时该位由硬件置 1:
-若 TIM3_CR1 寄存器的 UDIS=0, 当计数器上溢或下溢时;
-若 TIM3_CR1 寄存器的 UDIS=0、URS=0, 当设置 TIM3_EGR 寄存器的 UG 位软件对计数器 CNT 重新初始化时;
-若 TIM3_CR1 寄存器的 UDIS=0、URS=0, 当计数器 CNT 被触发事件重新初始化时 (参考从模式控制寄存器 TIM3_SMCR)。

TIM3_SR2 状态寄存器 (F6H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	CC4OF	CC3OF	CC2OF	CC1OF	—
访问权限:	R-0	R-0	R-0	R/W	R/W	R/W	R/W	R-0
复位值:	U	U	U	0	0	0	0	U

- Bit 7:5 保留
- Bit 4 CC4OF: 捕获/比较 4 重复捕获标志
参考 CC1OF 的描述
- Bit 3 CC3OF: 捕获/比较 3 重复捕获标志
参考 CC1OF 的描述
- Bit 2 CC2OF: 捕获/比较 2 重复捕获标志
参考 CC1OF 的描述。
- Bit 1 CC1OF: 捕获/比较 1 重复捕获标志
仅当相应的通道被配置为输入捕获时, 该标记可由硬件置 1。写 0 可清除该位。
0: 无重复捕获产生
1: 计数器的值被捕获到 TIM3_CCR1 寄存器时, CC1IF 的状态已经为 1

Bit 0 保留

TIM3_EGR 事件产生寄存器 (F7H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	BG	TG	COM	CC4G	CC3G	CC2G	CC1G	UG
访问权限:	R/W							
复位值:	0	0	0	0	0	0	U	0

- Bit 7** **BG:** 产生刹车事件
该位由软件置 1，用于产生一个刹车事件，由硬件自动清 0。
0: 无动作
1: 产生一个刹车事件。此时 MOE=0、BIF=1，若开启对应的中断（BIE=1），则产生相应的中断
- Bit 6** **TG:** 产生触发事件
该位由软件置 1，用于产生一个触发事件，由硬件自动清 0。
0: 无动作
1: TIM3_SR 寄存器的 TIF=1，若开启对应的中断（TIE=1），则产生相应的中断
- Bit 5** **COMG:** 捕获/比较事件，产生控制更新
该位由软件置 1，由硬件自动清 0。
0: 无动作
1: 当 CCPC=1，允许更新 CCiE、CCiNE、CCiP、CCiNP、OCiM 位
注：该位只对拥有互补输出的通道有效。
- Bit 4** **CC4G:** 产生捕获/比较 4 事件
参考 CC1G 的描述
- Bit 3** **CC3G:** 产生捕获/比较 3 事件
参考 CC1G 的描述
- Bit 2** **CC2G:** 产生捕获/比较 2 事件
参考 CC1G 的描述
- Bit 1** **CC1G:** 产生捕获/比较 1 事件
该位由软件置 1，用于产生一个捕获/比较事件，由硬件自动清 0。
0: 无动作
1: 在通道 CC1 上产生一个捕获/比较事件：
若通道 CC1 配置为输出
设置 CC1IF=1，若开启对应的中断，则产生相应的中断。
若通道 CC1 配置为输入
当前的计数器值被捕获至 TIM3_CCR1 寄存器，设置 CC1IF=1，若开启对应的中断，则产生相应的中断。若 CC1IF 已经为 1，则设置 CC1OF=1。
- Bit 0** **UG:** 产生更新事件
该位由软件置 1，由硬件自动清 0。
0: 无动作
1: 重新初始化计数器，并产生一个更新事件。注意预分频器的计数器也被清 0（但是预分频系数不变）。若在中心对称模式下或 DIR=0（向上计数）则计数器被清 0；若 DIR=1（向下计数）则计数器取 TIM3_ARR 的值。

TIM3_CCMR1 捕获比较模式寄存器 (FF33H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OC1CE	OC1M[2:0]			OC1PE	OC1FE	CC1S[1:0]	
	IC1F[3:0]				IC1PSC[1:0]			
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

该通道可用于输入（捕获模式）或输出（比较模式）。通道的方向通过配置 CC1S 位来定义。该寄存器其他位在输入和输出模式下具有不同的功能。对于给定的位，OCxx 描述了当通道配置为输出时的功能，ICxx 描述了通道配置为输入时的功能。因此必须注意，同一位在输出模式和输入模式下的功能是不同的。

通道配置为输出模式

Bit 7 OC1CE: 输出比较 1 清零使能

该位用于使能使用 TIM3_TRIG 引脚上的外部事件来清通道 1 的输出信号 (OC1REF)

0: OC1REF 不受 ETRF 输入 (来自 TIM3_TRIG 引脚) 的影响

1: 一旦检测到 ETRF 输入高电平, OC1REF=0

Bit 6:4 OC1M[2:0]: 输出比较 1 模式

该 3 位定义了输出参考信号 OC1REF 的动作, 而 OC1REF 决定了 OC1 的值。OC1REF 是高电平有效, 而 OC1 的有效电平取决于 CC1P 位。

000: 冻结。输出比较寄存器 TIM3_CCR1 与计数器 TIM3_CNT 间的比较对 OC1REF 不起作用。

001: 匹配时设置通道 1 的输出为有效电平。当计数器 TIM3_CNT 的值与捕获/比较寄存器 1 (TIM3_CCR1) 相同时, 强制 OC1REF 为高。

010: 匹配时设置通道 1 的输出为无效电平。当计数器 TIM3_CNT 的值与捕获/比较寄存器 1 (TIM3_CCR1) 相同时, 强制 OC1REF 为低。

011: 翻转。当 TIM3_CCR1=TIM3_CNT 时, 翻转 OC1REF 的电平。

100: 强制为无效电平。强制 OC1REF 为低 (即为强制输出模式)。

101: 强制为有效电平。强制 OC1REF 为高。

110: PWM 模式 1。在向上计数时, 一旦 TIM3_CNT<TIM3_CCR1 时通道 1 为有效电平, 否则为无效电平; 在向下计数时, 一旦 TIM3_CNT>TIM3_CCR1 时通道 1 为无效电平 (OC1REF=0), 否则为有效电平 (OC1REF=1)。

111: PWM 模式 2。在向上计数时, 一旦 TIM3_CNT<TIM3_CCR1 时通道 1 为无效电平, 否则为有效电平; 在向下计数时, 一旦 TIM3_CNT>TIM3_CCR1 时通道 1 为有效电平, 否则为无效电平。

注 1: 一旦 LOCK 级别设为 3 (TIM3_BKR 寄存器中的 LOCK 位) 并且 CC1S=00 (该通道配置成输出) 则该位不能被修改。

注 2: 在 PWM 模式 1 或 PWM 模式 2 中, 只有当比较结果改变了或在输出比较模式中从冻结模式切换到 PWM 模式时, OC1REF 电平才改变。

注 3: 在有互补输出的通道上, 这些位是预装载的。如果 TIM3_CR2 寄存器的 CCPC=1, OCM 位只有在 COM 事件发生时, 才从预装载位取新值。

Bit 3 OC1PE: 输出比较 1 预装载使能

0: 禁止 TIM3_CCR1 寄存器的预装载功能, 可随时写入 TIM3_CCR1 寄存器, 并且新写入的数值立即起作用。

1: 开启 TIM3_CCR1 寄存器的预装载功能, 读写操作仅对预装载寄存器操作, TIM3_CCR1 的预装载值在更新事件到来时被加载至当前寄存器中。

注 1: 一旦 LOCK 级别设为 3 (TIM3_BKR 寄存器中的 LOCK 位) 并且 CC1S=00 (该通道配置成输出) 则该位不能被修改。

注 2: 为了操作正确, 在 PWM 模式下必须使能预装载功能。但在单脉冲模式下 (TIM3_CR1 寄存器的 OPM=1), 它不是必须的。

Bit 2 OC1FE: 输出比较 1 快速使能

该位用于加快 CC 输出对触发输入事件的响应。

0: 根据计数器与 CCR1 的值, CC1 正常操作, 即使触发器是打开的。当触发器的输入有一个有效沿时, 激活 CC1 输出的最小延时为 5 个时钟周期。

1: 输入到触发器的有效沿的作用就象发生了一次比较匹配。因此, OC 被设置为比较电平而与比较结果无关。采样触发器的有效沿和 CC1 输出间的延时被缩短为 3 个时钟周期。

OCiFE 只在通道被配置成 PWM1 或 PWM2 模式时起作用。

Bit 1:0

CC1S[1:0]: 捕获/比较 1 选择

这 2 位定义通道的方向 (输入/输出), 及输入脚的选择

00: CC1 通道被配置为输出

01: CC1 通道被配置为输入, IC1 映射在 TI1FP1 上

10: CC1 通道被配置为输入, IC1 映射在 TI2FP1 上

11: CC1 通道被配置为输入, IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时 (由 TIM3_SMCR 寄存器的 TS 位选择)。

注: CC1S 仅在通道关闭时 (TIM3_CCER1 寄存器的 CC1E=0) 才是可写的。

通道配置为输入模式

Bit 7:4

IC1F[3:0]: 输入捕获 1 滤波器

定义了 TI1 输入的采样频率及数字滤波器长度。数字滤波器由一个事件计数器组成, 只有发生了 N 个事件后输出的跳变才被认为有效。

0000: $f_{\text{SAMPLING}}=f_{\text{MASTER}}$, 无滤波器

0001: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}$, N=2

0010: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}$, N=4

0011: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}$, N=8

0100: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/2$, N=6

0101: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/2$, N=8

0110: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/4$, N=6

0111: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/4$, N=8

1000: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/8$, N=6

1001: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/8$, N=8

1010: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/16$, N=5

1011: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/16$, N=6

1100: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/16$, N=8

1101: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/32$, N=5

1110: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/32$, N=6

1111: 采样频率 $f_{\text{SAMPLING}}=f_{\text{MASTER}}/32$, N=8

注: 即使对于带互补输出的通道, 该位域也是非预装载的, 并且不会考虑 CCPC (TIM3_CR2 寄存器) 的值。

Bit 3:2

IC1PSC[1:0]: 输入/捕获 1 预分频器

这 2 位定义了 CC1 输入 (IC1) 的预分频系数。一旦 CC1E=0 (TIM3_CCER 寄存器中), 则预分频器复位。

00: 无预分频器, 捕获输入口上检测到的每一个边沿都触发一次捕获

01: 每 2 个事件触发一次捕获

10: 每 4 个事件触发一次捕获

11: 每 8 个事件触发一次捕获

Bit 1:0

CC1S[1:0]: 捕获/比较 1 选择

这 2 位定义通道的方向 (输入/输出), 及输入脚的选择:

00: CC1 通道被配置为输出

01: CC1 通道被配置为输入, IC1 映射在 TI1FP1 上



10: CC1 通道被配置为输入，IC1 映射在 TI2FP1 上

11: CC1 通道被配置为输入，IC1 映射在 TRC 上。此模式仅工作在内部触发器输入被选中时（由 TIM3_SMCR 寄存器的 TS 位选择）。

注：CC1S 仅在通道关闭时（TIM3_CCER1 寄存器的 CC1E=0）才是可写的

TIM3_CCMR2 捕获比较模式寄存器（FF34H）

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OC2CE	OC2M[2:0]			OC2PE	OC2FE	CC2S[1:0]	
	IC2F[3:0]			IC2PSC[1:0]				
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

通道配置为输出模式

Bit 7 OC2CE: 输出比较 2 清零使能
 该位用于使能使用 TIM3_TRIG 引脚上的外部事件来清通道 2 的输出信号（OC2REF）
 0: OC2REF 不受 ETRF 输入（来自 TIM3_TRIG 引脚）的影响
 1: 一旦检测到 ETRF 输入高电平，OC2REF=0

Bit 6:4 OC2M[2:0]: 输出比较 2 模式

Bit 3 OC2PE: 输出比较 2 预装载使能

Bit 2 OC2FE: 输出比较 2 快速使能

Bit 1:0 CC2S[1:0]: 捕获/比较 2 选择

该位定义通道的方向（输入/输出），及输入脚的选择

00: CC2 通道被配置为输出

01: CC2 通道被配置为输入，IC2 映射在 TI2FP2 上

10: CC2 通道被配置为输入，IC2 映射在 TI1FP2 上

11: 保留

注：CC2S 仅在通道关闭时（TIM3_CCER1 寄存器的 CC2E=0，CC2NE=0 且已被更新）才是可写的。

通道配置为输入模式

Bit 7:4 IC2F[3:0]: 输入捕获 2 滤波器

Bit 3:2 IC2PSC[1:0]: 输入/捕获 2 预分频器

Bit 1:0 CC2S[1:0]: 捕获/比较 2 选择

该位定义通道的方向（输入/输出），及输入脚的选择

00: CC2 通道被配置为输出

01: CC2 通道被配置为输入，IC2 映射在 TI2FP2 上

10: CC2 通道被配置为输入，IC2 映射在 TI1FP2 上

11: 保留

注：CC2S 仅在通道关闭时（TIM3_CCER1 寄存器的 CC2E=0，CC2NE=0 且已被更新）才是可写的。

TIM3_CCMR3 捕获比较模式寄存器（FF35H）

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OC3CE	OC3M[2:0]			OC3PE	OC3FE	CC3S[1:0]	
	IC3F[3:0]			IC3PSC[1:0]				
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

通道配置为输出模式

- Bit 7 OC3CE: 输出比较 3 清零使能
该位用于使能使用 TIM3_TRIG 引脚上的外部事件来清通道 3 的输出信号 (OC3REF)
0: OC3REF 不受 ETRF 输入 (来自 TIM3_TRIG 引脚) 的影响;
1: 一旦检测到 ETRF 输入高电平, OC2REF=0
- Bit 6:4 OC3M[2:0]: 输出比较 3 模式
- Bit 3 OC3PE: 输出比较 3 预装载使能
- Bit 2 OC3FE: 输出比较 3 快速使能
- Bit 1:0 CC3S[1:0]: 捕获/比较 3 选择
该位定义通道的方向 (输入/输出), 及输入脚的选择
00: CC3 通道被配置为输出;
01: CC3 通道被配置为输入, IC3 映射在 TI3FP3 上;
10: CC3 通道被配置为输入, IC3 映射在 TI4FP3 上;
11: 保留
注: CC3S 仅在通道关闭时 (TIM3_CCER2 寄存器的 CC3E=0, CC3NE=0 且已被更新) 才是可写的。

通道配置为输入模式

- Bit 7:4 IC3F[3:0]: 输入捕获 3 滤波器
- Bit 3:2 IC3PSC[1:0]: 输入/捕获 3 预分频器
- Bit 1:0 CC3S[1:0]: 捕获/比较 3 选择
该位定义通道的方向 (输入/输出), 及输入脚的选择
00: CC3 通道被配置为输出;
01: CC3 通道被配置为输入, IC3 映射在 TI3FP3 上;
10: CC3 通道被配置为输入, IC3 映射在 TI4FP3 上;
11: 保留
注: CC3S 仅在通道关闭时 (TIM3_CCER2 寄存器的 CC3E=0, CC3NE=0 且已被更新) 才是可写的。

TIM3_CCMR4 捕获比较模式寄存器 (FF36H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OC4CE	OC4M[2:0]			OC4PE	OC4FE	CC4S[1:0]	
	IC4F[3:0]				IC4PSC[1:0]			
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

通道配置为输出模式

- Bit 7 OC4CE: 输出比较 4 清零使能
该位用于使能使用 TIM3_TRIG 引脚上的外部事件来清通道 4 的输出信号 (OC4REF)
0: OC4REF 不受 ETRF 输入 (来自 TIM3_TRIG 引脚) 的影响;
1: 一旦检测到 ETRF 输入高电平, OC4REF=0
- Bit 6:4 OC4M[2:0]: 输出比较 4 模式
- Bit 3 OC4PE: 输出比较 4 预装载使能
- Bit 2 OC4FE: 输出比较 4 快速使能

Bit 1:0 **CC4S[1:0]: 捕获/比较 4 选择**
 该位定义通道的方向（输入/输出），及输入脚的选择
00: CC4 通道被配置为输出
01: CC4 通道被配置为输入，IC4 映射在 TI4FP4 上
10: CC4 通道被配置为输入，IC4 映射在 TI3F4 上
11: 保留
 注：CC4S 仅在通道关闭时（TIM3_CCER2 寄存器的 CC4E=0，CC4NE=0 且已被更新）才是可写的。

通道配置为输入模式

Bit 7:4 **IC4F[3:0]: 输入捕获 4 滤波器**
Bit 3:2 **IC4PSC[1:0]: 输入/捕获 4 预分频器**
Bit 1:0 **CC4S[1:0]: 捕获/比较 4 选择**
 该位定义通道的方向（输入/输出），及输入脚的选择
00: CC4 通道被配置为输出
01: CC4 通道被配置为输入，IC4 映射在 TI4FP4 上
10: CC4 通道被配置为输入，IC4 映射在 TI3F4 上
11: 保留
 注：CC4S 仅在通道关闭时（TIM3_CCER2 寄存器的 CC4E=0，CC4NE=0 且已被更新）才是可写的。

TIM3_CCER1 捕获/比较使能寄存器（FF37H）

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CC2NP	CC2NE	CC2P	CC2E	CC1NP	CC1NE	CC1P	CC1E
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7 **CC2NP: 输入捕获/比较 2 互补输出极性。参考 CC1NP 的描述。**

Bit 6 **CC2NE: 输入捕获/比较 2 互补输出使能。参考 CC1NE 的描述。**

Bit 5 **CC2P: 输入捕获/比较 2 输出极性。参考 CC1P 的描述。**

Bit 4 **CC2E: 输入捕获/比较 2 输出使能。参考 CC1E 的描述。**

Bit 3 **CC1NP: 输入捕获/比较 1 互补输出极性**
0: OC1N 高电平有效
1: OC1N 低电平有效
 注 1：一旦 LOCK 级别（TIM3_BKR 寄存器中的 LOCK 位）设为 3 或 2 且 CC1S=00（通道配置为输出）则该位不能被修改。
 注 2：对于有互补输出的通道，该位是预装载的。如果 CCPC=1（TIM3_CR2 寄存器），只有在 COM 事件发生时，CC1NP 位才从预装载位中取新值。

Bit 2 **CC1NE: 输入捕获/比较 1 互补输出使能**
0: 关闭。OC1N 禁止输出，因此 OC1N 的输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。
1: 开启。OC1N 信号输出到对应的输出引脚，其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1E 位的值。
 注：对于有互补输出的通道，该位是预装载的。如果 CCPC=1（TIM3_CR2 寄存器），只有在 COM 事件发生时，CC1NE 位才从预装载位中取新值。

Bit 1 **CC1P: 输入捕获/比较 1 输出极性**

CC1 通道配置为输出

0: OC1 高电平有效

1: OC1 低电平有效

CC1 通道配置为触发

0: 触发发生在 TI1F 的高电平或上升沿

1: 触发发生在 TI1F 的低电平或下降沿

CC1 通道配置为输入

0: 捕获发生在 TI1F 或 TI2F 的上升沿

1: 捕获发生在 TI1F 或 TI2F 的下降沿

注 1: 一旦 LOCK 级别 (TIM3_BKR 寄存器中的 LOCK 位) 设为 3 或 2, 则该位不能被修改。

注 2: 对于有互补输出的通道, 该位是预装载的。如果 CCPC=1 (TIM3_CR2 寄存器), 只有在 COM 事件发生时, CC1P 位才从预装载位中取新值。

Bit 0

CC1E: 输入捕获/比较 1 输出使能

CC1 通道配置为输出

0: 关闭。OC1 禁止输出, 因此 OC1 的输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值。

1: 开启。OC1 信号输出到对应的输出引脚, 其输出电平依赖于 MOE、OSSI、OSSR、OIS1、OIS1N 和 CC1NE 位的值。

CC1 通道配置为输入

该位决定了计数器的值是否能捕获入 TIM3_CCR1 寄存器。

0: 捕获禁止

1: 捕获使能

注: 对于有互补输出的通道, 该位是预装载的。如果 CCPC=1 (TIM3_CR2 寄存器), 只有在 COM 事件发生时, CC1E 位才从预装载位中取新值。

表 12-4 带刹车功能的互补输出通道 OCi 和 OCiN 的控制

控制位					输出状态	
MOE	OSSI	OSSR	CCiE	CCiNE	OCi 输出状态	OCiN 输出状态
1	X	0	0	0	输出禁止(与定时器断开)	
		0	0	1	输出禁止(与定时器断开)	OCiREF + 极性, OCiN=OCiREF xor CCiNP
		0	1	0	OCiREF + 极性, OCi=OCiREF xor CCiP	输出禁止(与定时器断开)
		0	1	1	OCiREF + 极性 + 死区	OCiREF 反相 + 极性 + 死区
		1	0	0	输出禁止(与定时器断开)	
		1	0	1	关闭状态(输出使能且为无效电平) OCi=CCiP	OCiREF + 极性, OCiN=OCiREF xor CCiNP
		1	1	0	OCiREF + 极性, OCi=OCiREF xor CCiP	关闭状态(输出使能且为无效电平) OCiN=CCiNP
		1	1	1	OCiREF + 极性 + 死区	OCiREF 反相 + 极性 + 死区
0	0	X	X	X	输出禁止(与定时器断开)	
	1	X	X	X	首先处于关闭状态(输出使能且为无效电平), 死区时钟存在且经过死区时间后, 如果 CCiP=OISi 且 CCiPN=OISiN, 则继续输出无效电平; 否则输出空闲电平, 即 OCi=OISi, OCiN=OISiN	

注：管脚连接到互补的 OCi 和 OCiN 通道的外部 I/O 管脚的状态，取决于 OCi 和 OCiN 通道状态和 GPIO 寄存器。

TIM3_CCER2 捕获/比较使能寄存器 (FF38H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CC4NP	CC4NE	CC4P	CC4E	CC3NP	CC3NE	CC3P	CC3E
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7 CC4NP: 输入捕获/比较 4 互补输出极性。参考 CC1NP 的描述。
- Bit 6 CC4NE: 输入捕获/比较 4 互补输出使能。参考 CC1NE 的描述。
- Bit 5 CC4P: 输入捕获/比较 4 输出极性。参考 CC1P 的描述。
- Bit 4 CC4E: 输入捕获/比较 4 输出使能。参考 CC1E 的描述。
- Bit 3 CC3NP: 输入捕获/比较 3 互补输出极性。参考 CC1NP 的描述。
- Bit 2 CC3NE: 输入捕获/比较 3 互补输出使能。参考 CC1NE 的描述。
- Bit 1 CC3P: 输入捕获/比较 3 输出极性。参考 CC1P 的描述。
- Bit 0 CC3E: 输入捕获/比较 3 输出使能。参考 CC1E 的描述。

TIM3_CNTRH 计数器高 8 位 (84H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CNT[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0

- Bit 7:0 CNT[15:8]: 计数器的高 8 位值

TIM3_CNTRL 计数器低 8 位 (85H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CNT[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0

- Bit 7:0 CNT[7:0]: 计数器的低 8 位值

TIM3_PSCH 预分频器高 8 位 (FF39H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PSC[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0

- Bit 7:0 PSC[15:8]: 预分频器的高 8 位值

TIM3_PSCL 预分频器低 8 位 (FF3AH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PSC[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	U	0

Bit 7:0 PSC[7:0]: 预分频器的低 8 位值

预分频器值对 CK_PSC 时钟频率进行分频。计数器时钟频率 $f_{CK_CNT} = f_{CK_PSC} / (PSCR[15:0]+1)$ 。PSCR 包含在每个 UEV 时加载到有效预分频寄存器中的值（包括当计数器通过 TIM3_EGR 寄存器的 UG 位清零时或在配置为复位触发模式时通过触发控制器清零时）。UEV 生成时就会引入新的预分频值。

TIM3_ARRH 自动重载寄存器高 8 位 (FF3BH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ARR[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 ARR[15:8]: 自动重载寄存器高 8 位值

TIM3_ARRL 自动重载寄存器低 8 位 (FF3CH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ARR[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 ARR[7:0]: 自动重载寄存器低 8 位值

ARR 是要加载到实际自动重载寄存器中的值。当自动重载值为空时，计数器被阻塞。

TIM3_RCR 重复计数寄存器 (FF3DH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	REP[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 REP[7:0]: 重复计数器的值

开启了预装载功能后，这些位允许用户设置比较寄存器的更新速率（即周期性地从预装载寄存器传输到当前寄存器）；如果允许产生更新中断，则会同时影响产生更新中断的速率。

每次向下计数器 REP_CNT 达到 0，会产生一个更新事件并且计数器 REP_CNT 重新从 REP 值开始计数。由于 REP_CNT 只有在更新事件发生时才重载 REP 值，因此对 TIM3_RCR 寄存器写入的新值只在下次更新事件发生时才起作用。

这意味着在 PWM 模式中，(REP+1)对应着：

- 在边沿对齐模式下，PWM 周期的数目
- 在中心对称模式下，PWM 半周期的数目

TIM3_CCR1H 捕获/比较寄存器高 8 位 (FF3EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CCR1[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 CCR1[15:8]: 捕获/比较 1 的高 8 位值

TIM3_CCR1L 捕获/比较寄存器低 8 位 (FF3FH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CCR1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 CCR1[7:0]: 捕获/比较 1 的低 8 位值

若 CC1 通道配置为输出 (TIM3_CCMR1 的 CC1S 位): CCR1 包含了装入当前捕获/比较 1 寄存器的值 (预装载值)。如果在 TIM3_CCMR1 寄存器 (OC1PE 位) 中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 1 寄存器中。当前捕获/比较寄存器的值同计数器 TIM3_CNT 的值相比较, 并在 OC1 端口上产生输出信号。

若 CC1 通道配置为输入: CCR1 包含了上一次输入捕获 1 事件 (IC1) 发生时的计数器值 (此时该寄存器为只读)。

TIM3_CCR2H 捕获/比较寄存器高 8 位 (FF80H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CCR2[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 CCR2[15:8]: 捕获/比较 2 的高 8 位值

TIM3_CCR2L 捕获/比较寄存器低 8 位 (FF81H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CCR2[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 CCR2[7:0]: 捕获/比较 2 的低 8 位值

若 CC2 通道配置为输出 (TIM3_CCMR2 的 CC2S 位): CCR2 包含了装入当前捕获/比较 2 寄存器的值 (预装载值)。如果在 TIM3_CCMR2 寄存器 (OC2PE 位) 中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 2 寄存器中。当前捕获/比较寄存器的值同计数器 TIM3_CNT 的值相比较, 并在 OC2 端口上产生输出信号。

若 CC2 通道配置为输入: CCR2 包含了由上一次输入捕获 2 事件 (IC2) 传输的计数器值 (此时该寄存器为只读)。

TIM3_CCR3H 捕获/比较寄存器高 8 位 (FF82H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CCR3[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 CCR3[15:8]: 捕获/比较 3 的高 8 位值

TIM3_CCR3L 捕获/比较寄存器低 8 位 (FF83H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
--------	------	------	------	------	------	------	------	------

位 定义:	CCR3[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 CCR3[7:0]: 捕获/比较 3 的低 8 位值

若 CC3 通道配置为输出 (TIM3_CCMR3 的 CC3S 位): CCR3 包含了装入当前捕获/比较 3 寄存器的值 (预装载值)。如果在 TIM3_CCMR3 寄存器 (OC3PE 位) 中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 3 寄存器中。当前捕获/比较寄存器的值同计数器 TIM3_CNT 的值相比较, 并在 OC3 端口上产生输出信号。

若 CC3 通道配置为输入: CCR3 包含了由上一次输入捕获 3 事件 (IC3) 传输的计数器值 (此时该寄存器为只读)。

TIM3_CCR4H 捕获/比较寄存器高 8 位 (FF84H)

位 序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定义:	CCR4[15:8]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 CCR4[15:8]: 捕获/比较 4 的高 8 位值

TIM3_CCR4L 捕获/比较寄存器低 8 位 (FF85H)

位 序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定义:	CCR4[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 CCR4[7:0]: 捕获/比较 4 的低 8 位值

若 CC4 通道配置为输出 (TIM3_CCMR4 的 CC4S 位): CCR4 包含了装入当前捕获/比较 4 寄存器的值 (预装载值)。如果在 TIM3_CCMR4 寄存器 (OC4PE 位) 中未选择预装载功能, 写入的数值会立即传输至当前寄存器中。否则只有当更新事件发生时, 此预装载值才传输至当前捕获/比较 4 寄存器中。当前捕获/比较寄存器的值同计数器 TIM3_CNT 的值相比较, 并在 OC4 端口上产生输出信号。

若 CC4 通道配置为输入: CCR4 包含了由上一次输入捕获 4 事件 (IC4) 传输的计数器值 (此时该寄存器为只读)。

TIM3_BKR 刹车控制寄存器 (FF86H)

位 序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定义:	MOE	AOE	BKP	BKE	OSSR	OSSI	LOCK[1:0]	
访问权限:	R/W	R/W						
复 位 值:	0	0	0	0	0	0	0	0

Bit 7 MOE: 主输出使能

一旦刹车输入有效, 该位被硬件异步清 0。根据 AOE 位的设置值, 该位可以由软件置 1 或被自动置 1。它仅对配置为输出的通道有效。

0: 禁止 OC 和 OCN 输出或强制为空闲状态 (空闲状态的值由 OISR 决定)

1: 允许输出, 如果设置了相应的使能位 (TIM3_CCERi 寄存器的 CCIE 位), 则使能 OC 和 OCN 输出。

Bit 6 AOE: 自动输出使能

- 0: MOE 只能被软件置 1
 1: MOE 能被软件置 1 或在下一个更新事件被自动置 1 (如果刹车输入无效)
 注: 一旦 LOCK 级别 (TIM3_BKR 寄存器中的 LOCK 位) 设为 1, 则该位不能被修改。
- Bit 5 BKP: 刹车输入极性
 0: 刹车输入低电平有效
 1: 刹车输入高电平有效
 注: 一旦 LOCK 级别 (TIM3_BKR 寄存器中的 LOCK 位) 设为 1, 则该位不能被修改。
- Bit 4 BKE: 刹车功能使能
 0: 禁止刹车输入
 1: 开启刹车输入
 注: 一旦 LOCK 级别 (TIM3_BKR 寄存器中的 LOCK 位) 设为 1, 则该位不能被修改。
- Bit 3 OSSR: 运行模式下的“关闭状态”选择
 该位用于当 MOE=1 且通道为互补输出时。
 0: 当定时器不工作时, 禁止 OC/OCN 输出 (OC/OCN 使能输出信号为 0);
 1: 当定时器不工作时, 一旦 CCiE=1 或 CCiNE=1, 首先开启 OC/OCN 并输出无效电平, 然后置 OC/OCN 使能输出信号为 1。
 注 1: 一旦 LOCK 级别 (TIM3_BKR 寄存器中的 LOCK 位) 设为 2, 则该位不能被修改。
 注 2: 这里说的定时器不工作, 是指定时器的某个输出通道没有使能输出, 比如: 如果 TIM 的通道 1 的 CC1E=1, 而 CC1NE=0, 此时就是手册上所讲的“不工作”; 不工作不是 CR1 寄存器的 CEN=0, 计数器停止工作。
- Bit 2 OSSI: 空闲模式下的“关闭状态”选择
 该位用于当 MOE=0 且通道设为输出时。
 0: 当定时器不工作时, 禁止 OC/OCN 输出 (OC/OCN 使能输出信号为 0);
 1: 当定时器不工作时, 一旦 CCiE=1 或 CCiNE=1, OC/OCN 首先输出其空闲电平, 然后 OC/OCN 使能输出信号为 1。
 注: 一旦 LOCK 级别 (TIM3_BKR 寄存器中的 LOCK 位) 设为 2, 则该位不能被修改。
- Bit 1:0 LOOK[1:0]: 锁定设置
 为防止软件错误而提供写保护。
 00: 锁定关闭, 寄存器无写保护
 01: 锁定级别 1, 不能写入 TIM3_BKR 寄存器的 BKE、BKP、AOE 位和 TIM3_OISR 寄存器的 OISI 位
 10: 锁定级别 2, 不能写入锁定级别 1 中的各位, 也不能写入 CC 极性位 (一旦相关通道通过 CCIS 位设为输出, CC 极性位是 TIM3_CCERX 寄存器的 CCIP 位) 以及 OSSR/OSSI 位
 11: 锁定级别 3, 不能写入锁定级别 2 中的各位, 也不能写入 CC 控制位 (一旦相关通道通过 CCIS 位设为输出, CC 控制位是 TIM3_CCMRi 寄存器的 OCIM/OCIPE 位)
 注: 在系统复位后, 只能写一次 LOCK 位, 一旦写入 TIM3_BDR 寄存器, 则其内容保持不变直至复位。

TIM3_DTR 死区寄存器 (FF87H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DTG[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7:0 DTG[7:0]: 死区发生器设置
 定义了插入互补输出之间的死区持续时间。假设 DT 表示其持续时间, t_{CK_PSC} 为 TIM3 的时钟脉冲:

DTG[7:5]=0xx => DT=DTG[7:0]x t_{dtg}, 其中 t_{dtg}=t_{CK_PSC} (f1)
 DTG[7:5]=10x => DT=(64+DTG[5:0])x t_{dtg}, 其中 t_{dtg}= 2x t_{CK_PSC} (f2)
 DTG[7:5]=110 => DT=(32+DTG[4:0])x t_{dtg}, 其中 t_{dtg}=8x t_{CK_PSC} (f3)
 DTG[7:5]=111 => DT=(32+DTG[4:0])x t_{dtg}, 其中 t_{dtg}=16x t_{CK_PSC} (f4)

举例:

如果 t_{CK_PSC}=125 ns (8 MHz), 可能的死区时间为:

DTG[7:0] = 0 到 7Fh, 0 到 15875 ns, 步长时间为 125 ns (参考 f1)

DTG[7:0] = 80h 到 BFh, 16 us 到 31750 ns, 步长时间为 250 ns (参考 f2)

DTG[7:0] = C0h 到 DFh, 32 us 到 63 us, 步长时间为 1μs (参考 f3)

DTG[7:0] = E0h 到 FFh, 64 us 到 126 us, 步长时间为 2 μs (参考 f4)

注: 一旦 LOCK 级别 (TIM3_BKR 寄存器中的 LOCK 位) 设为 1、2 或 3, 则不能修改这些位。

TIM3_OISR 输出空闲状态寄存器 (FF88H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	OIS4N	OIS4	OIS3N	OIS3	OIS2N	OIS2	OIS1N	OIS1
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7 OIS4N: 输出空闲状态 4 (OC4N 输出)。参考 OIS1N 位。

Bit 6 OIS4: 输出空闲状态 4 (OC4 输出)。参考 OIS1 位。

Bit 5 OIS3N: 输出空闲状态 3 (OC3N 输出)。参考 OIS1N 位。

Bit 4 OIS3: 输出空闲状态 3 (OC3 输出)。参考 OIS1 位。

Bit 3 OIS2N: 输出空闲状态 2 (OC2N 输出)。参考 OIS1N 位。

Bit 2 OIS2: 输出空闲状态 2 (OC2 输出)。参考 OIS1 位。

Bit 1 OIS1N: 输出空闲状态 1 (OC1N 输出)

0: 当 MOE=0 时, 则在一个死区时间后, OC1N=0

1: 当 MOE=0 时, 则在一个死区时间后, OC1N=1

注: 已经设置了 LOCK (TIM3_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。

Bit 0 OIS1: 输出空闲状态 1 (OC1 输出)

0: 当 MOE=0 时, 如果 OC1N 使能, 则在一个死区时间后, OC1=0

1: 当 MOE=0 时, 如果 OC1N 使能, 则在一个死区时间后, OC1=1

注: 已经设置了 LOCK (TIM3_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。

TIM3_DLAMTH 触发延迟和防多次触发控制寄存器 (FF8CH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	DLS	AMTDL
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W
复 位 值:	U	U	U	U	U	U	0	1

Bit 7:2 保留

Bit 1 DLS: 触发延迟期间是否允许清除 OCiREF

0: 不允许

1: 允许

注: 已经设置了 LOCK (TIM3_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。

Bit 0 AMTDL: 抗丢失窗口开始时间选择

0: 从延迟触发输入开始

1: 从触发输入开始

注: 已经设置了 LOCK (TIM3_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。

TIM3_DLAMTM 防多次触发窗口设置寄存器 (FF8DH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ATMG[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0

ATMG[7:0]: 抗丢失触发窗口的时间

AMTG[7:5]=0xx => AMT=AMTG[7:0]x t_{amtg}, 其中 t_{amtg} = t_{DTS}

AMTG[7:5]=10x => AMT=(64+AMTG[5:0])x t_{amtg}, 其中 t_{amtg} = 2x t_{DTS}

AMTG[7:5]=110 => AMT=(32+AMTG[4:0])x t_{amtg}, 其中 t_{amtg} = 8x t_{DTS}

AMTG[7:5]=111 => AMT=(32+AMTG[4:0])x t_{amtg}, 其中 t_{amtg} = 16x t_{DTS}

举例, 如果 t_{DTS} = 125 ns (8 MHz), 抗丢失触发窗口的时间可能为:

0 ~ 15875 ns, 步长时间为 125 ns,

16 us ~ 31750 ns, 步长时间为 250 ns,

32 us ~ 63 us, 步长时间为 1 us,

64 us ~ 126 us, 步长时间为 2 us

注: 已经设置了 LOCK (TIM3_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。

TIM3_DLAMT 延迟触发窗口设置寄存器 (FF8EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DLG[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0

DLG[7:0]: 延迟触发窗口的时间

DLG[7:5]=0xx => DLT=DLG[7:0]x t_{dlg}, 其中 t_{dlg} = t_{DTS}

DLG[7:5]=10x => DLT=(64+DLG[5:0])x t_{dlg}, 其中 t_{dlg} = 2x t_{DTS}

DLG[7:5]=110 => DLT=(32+DLG[4:0])x t_{dlg}, 其中 t_{dlg} = 8x t_{DTS}

DLG[7:5]=111 => DLT=(32+DLG[4:0])x t_{dlg}, 其中 t_{dlg} = 16x t_{DTS}

举例, 如果 t_{DTS} = 125 ns (8 MHz), 延迟触发窗口的时间可能为:

0 ~ 15875 ns, 步长时间为 125 ns,

16 us ~ 31750 ns, 步长时间为 250 ns,

32 us ~ 63 us, 步长时间为 1 us,

64 us ~ 126 us, 步长时间为 2 us

注: 已经设置了 LOCK (TIM3_BKR 寄存器) 级别 1、2 或 3 后, 该位不能被修改。

TIM3_TIRMP 触发源复用寄存器 (FFCEH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TI4RMP[1:0]		TI3RMP[1:0]		TI2RMP[1:0]		TI1RMP[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:6	TI4RMP[1:0]: TI4输入引脚选择 00: TI4从P0.4输入 01: TI4从P0.5输入 10: TI4从P1.1输入 11: TI4从P1.4输入
Bit 5:4	TI3RMP[1:0]: TI3输入引脚选择 00: TI3从P0.3输入 01: TI3从P1.2输入 10: TI3从P1.3输入 11: TI3从P1.5输入
Bit 3:2	TI2RMP[1:0]: TI2输入引脚选择 00: TI2从P0.1输入 01: TI2从P2.4输入 1x: TI2从ACMP1输入
Bit 1:0	TI1RMP[1:0]: TI1输入引脚选择 00: TI1从P0.0输入 01: TI1从P2.3输入 1x: TI1从ACMP0输入

TIM3_OCRMP 输出引脚复用寄存器 (FFCFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	OC4NRMP	OC4RMP[1:0]		OC3RMP[1:0]		OC2RMP	OC1RMP
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	0	0	0	0	0	0	0

Bit 7	保留
Bit 6	OC4NRMP: OC4N输出引脚选择 0: OC4N从P0.7输出 1: OC4N从P1.6输出
Bit 5:4	OC4RMP[1:0]: OC4输出引脚选择 00: OC4从P0.4输出 01: OC4从P0.5输出 10: OC4从P1.1输出 11: OC4从P1.4输出
Bit 3:2	OC3RMP[1:0]: OC3输出引脚选择 00: OC3从P0.3输出 01: OC3从P1.2输出 10: OC3从P1.3输出 11: OC3从P1.5输出
Bit 1	OC2RMP: OC2输出引脚选择 0: OC2从P0.1输出 1: OC2从P2.4输出
Bit 0	OC1RMP: OC1输出引脚选择 0: OC1从P0.0输出 1: OC1从P2.3输出

领芯微

13. 钟表定时器 WT

钟表定时器 WT 主要用于产生实时中断，同时还作为蜂鸣器输出。

13.1 基本特征

WT 模块具有以下特征：

- ✧ WT 时钟源 3 种可选：CRY、RCH 和 RCL。
- ✧ 8 位定时器时钟源有 4 个：4096Hz、64Hz、1Hz 和 1/60Hz。
- ✧ 可产生 8 位定时器溢出中断。
- ✧ 可输出 0.5 秒中断。
- ✧ 可输出四种 BUZ 信号频率：8192Hz、4096Hz、2048Hz、1024Hz，并可输出对应的反向 nBUZ 信号。
- ✧ 可输出 1024Hz 信号做 T2 捕获源使用。

正常工作模式下和 SLEEP 模式下 WT 均可正常工作，产生中断。STOP 模式下，由于 WT 时钟源可选择 RCL 或 CRY（配置为低频），仍可以工作并产生中断。

13.2 管脚配置

WT 有 3 个信号与外部管脚复用，具体配置见下表：

表 13-1 WT 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
nBUZ	O	BUZ 反相输出	P0.6	nBUZEN (IOMUX2[0]) 置 1
BUZ	O	BUZ 正相输出	P0.5	BUZEN (IOMUX2[1]) 置 1
nIRQ	O	中断输出	P0.7	nIRQEN (IOMUX0[2]) 置 1

13.3 功能描述

WT 功能框图如下：

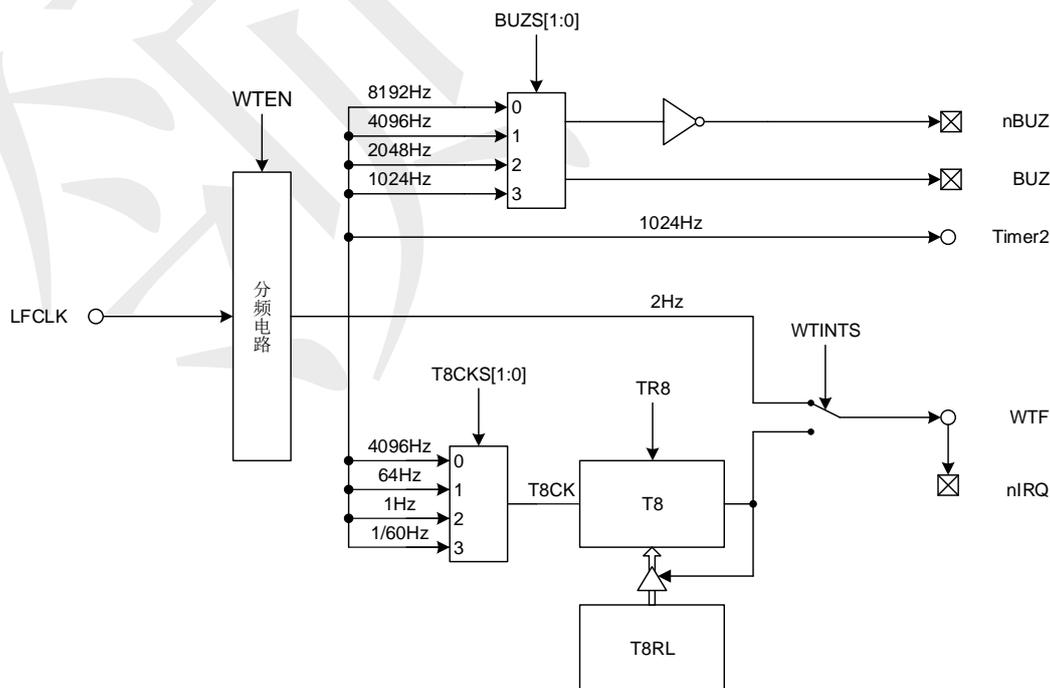


图 13-1 WT 功能框图

上图中的频率值是根据 LFCLK 是 32kHz 得到的。如果 LFCLK 变化，后续频率值也会相应变化。在使用 WT 时，建议选择外接低频晶振（32.768kHz）或者 RCL 作为时钟源。

WT 模块主要用于产生实时中断并提供给其他模块时基。该模块主要包括前级分频电路和一个 8 位定时器 T8。前级分频电路产生 8 位定时器的时钟源并可直接产生 0.5 秒中断，同时提供蜂鸣器的时钟。需要使用蜂鸣器功能时必须开启 WT 模块。T8 定时器在上电复位有效的时候载入初值 FFH，然后由 T8CK 的边沿触发 T8 递减计数，当计数值与 T8RL 的值匹配时，产生中断。最大可产生 256 分钟定时。由于 WT 的时钟源为 LFCLK，因此 SLEEP 模式或 STOP 模式都能利用 WT 模块实现定时或唤醒功能。

13.4 寄存器说明

WT 的相关寄存器如表 13-2 所示。

表 13-2 WT 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
WTCON	WT 控制寄存器	x	R/W	0000_0000B	BFH
T8 (T8RL)	8 位下行定时器 (T8 初值寄存器)	x	R/W	0000_0000B	FF9BH
IOMUX0	I/O 复用控制寄存器 0	x	R/W	0000_0000B	FFE0H
IOMUX2	I/O 复用控制寄存器 2	x	R/W	00uu_0000B	FFE1H

注：x 表示不确定；- 表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

WT 相关寄存器的详细说明如下：

WT 控制寄存器 WTCON (BFH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	WTEN	WTF	BUZS[1:0]		TR8	T8CKS[1:0]		WTINTS
访问权限:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
注	该寄存器只能被 POR 复位，其它复位条件下保持不变，程序启动后，需要用户重新初始化。							

- Bit 7 WTEN: WT 使能位
0: WT 定时器关闭 (默认)
1: WT 定时器开启
- Bit 6 WTF: WT 中断标志
0: 无中断产生 (默认)
1: 产生中断
- Bit 5:4 BUZS[1:0]: BUZ 输出频率选择位
00: 1024 Hz (默认)
01: 2048 Hz
10: 4096 Hz
11: 8192 Hz
- Bit 3 TR8: T8 使能位
0: T8 关闭 (默认)
1: T8 开启
- Bit 2:1 T8CKS[1:0]: T8 时钟源选择位
00: 4096 Hz
01: 64 Hz
10: 1 Hz

11: 1/60 Hz

Bit 0 WTINTS: WT 中断源选择位
0: 0.5 秒中断
1: T8 递减溢出中断

T8 (T8RL) 寄存器 (FF9BH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T8[7:0] (T8RL[7:0])							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
注	该寄存器只能被 POR 复位, 其它复位条件下保持不变, 程序启动后, 需要用户重新初始化。							

T8 和 T8RL 两个寄存器地址共用, 写操作时选择 T8RL 寄存器, 读操作时选择 T8 寄存器, T8 为 8 位下行计数器计数值; T8RL 为 T8 初值寄存器。当 T8 计数器从 FFH 递减到 T8RL 的值时产生比较匹配中断, 计数器重新置为 FFH 并开始下一计数周期。假设 T8RL 设置为 N, 那么定时的时间间隔为(256-N)/T8CLK (由 T8CKS 选择位决定)。

管脚复用控制寄存器 IOMUX0 (FFE0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMPOSEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 2 nIRQEN: WT 中断输出引脚控制
0: P0.7 做 GPIO 使用 (默认)
1: P0.7 用做 WT nIRQ 中断输出

管脚复用控制寄存器 IOMUX2 (FFE2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T1OE	T0OE	—	—	I2CRMP[1:0]		BUZEN	nBUZEN
访问权限:	R/W	R/W	R-0	R-0	R/W	R/W	R/W	R/W
复 位 值:	0	0	U	U	0	0	0	0

Bit 1 BUZEN: BUZ 复用使能
0: P0.5 用做 GPIO (默认)
1: P0.5 用做 BUZ 输出
Bit 0 nBUZEN: nBUZ 复用使能
0: P0.6 用做 GPIO (默认)
1: P0.6 用做 nBUZ 输出

14. 键盘中断 KBI

键盘中断可以用来配置唤醒 SLEEP 和 STOP 模式，也可以用于按键功能。LCM08F003G 的 P0/P1/P2 都可复用作键盘中断。

14.1 基本特征

- ◇ 最大支持 21 个独立使能的外部键盘输入，与 P0/P1/P2 复用。
- ◇ 内置 200ns 去抖动处理。
- ◇ 21 个键盘输入共用一个中断标志和一个中断矢量地址。
- ◇ 键盘中断可以唤醒 SLEEP 模式，有效的按键信号可以将 MCU 从 STOP 模式唤醒。
- ◇ 键盘输入信号极性可配置，可有效防止因卡键导致 MCU 不能退出 STOP 模式的问题。

正常工作模式下，键盘扫描正常工作，可以产生键盘中断。SLEEP 模式下，有效的键盘中断可唤醒系统。STOP 模式下，有效的键盘输入信号可唤醒系统。

14.2 管脚配置

KBI 输入需要与外部管脚复用，具体配置见下表：

表 14-1 KBI 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
KI00~KI07	I	P0 键盘中断输入	P0.0~P0.7	KIn (KBICON0.n) 置 1 (n=0~7)
KI10~KI17	I	P1 口键盘中断输入	P1.0~P1.7	KIn (KBICON1.n) 置 1 (n=0~7)
KI20~KI24	I	P2 口键盘中断输入	P2.0~P2.4	KIn (KBICON2.n) 置 1 (n=0~4)

14.3 功能描述

KBI 功能框图如下：

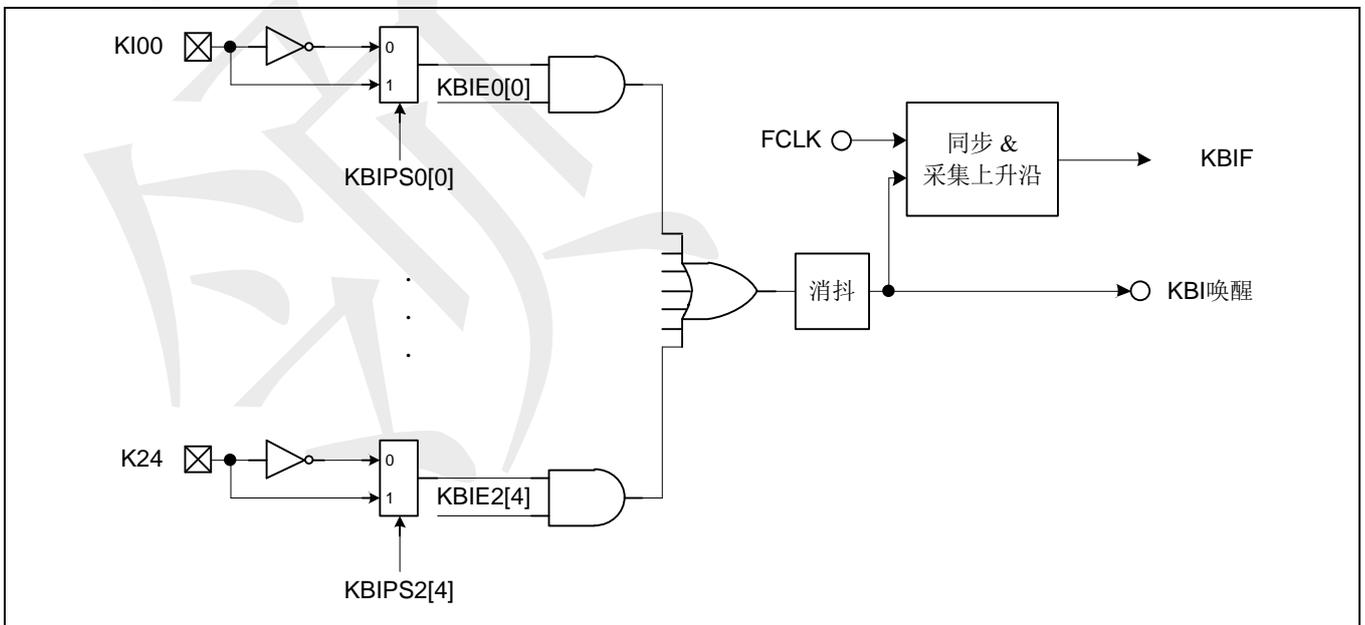


图 14-1 KBI 结构框图

通过设置 KBI 中断使能寄存器和中断极性选择寄存器，选择相应的 KBI 输入信号以及有效的边沿和电平。

SLEEP 模式下，有效的 KBI 边沿可置位 KBIF，如果 KBI 中断使能位 EKB (EIE2.6) 置 1，则产生 KBI 中断从而唤醒 SLEEP 模式，唤醒后 PC 跳转到 KBI 中断入口执行 KBI 中断程序。中断响应过程参见第 9 章中断系

统的描述。如果 KBI 中断使能位 EKB 为 0，则无法产生 KBI 中断而唤醒 SLEEP 模式，也无法执行 KBI 中断程序。

有效的 KBI 电平可以直接唤醒 STOP 模式，而无需 KBI 中断使能位 EKB 置 1。唤醒后，RCH 需要计数满 256 个周期后才输出时钟，所以从唤醒到 CPU 开始运行需要等待 RCH 重新启动并延迟一段时间。

如果进入停机模式前 EKB 置 1，唤醒电路后就可直接进入 KBI 中断服务程序。由于上面提到的延迟时间，所以按键输入信号宽度超过 256 个 RCH 周期才能保证采集到有效按键。

键盘中断的标志 KBIF 信号为双缓冲设计，因此对于连续的中断信号，如果系统来不及处理，系统会保存两次中断，其余的中断都将丢掉。而清除中断标志时，需要清除两次才能确保完全清除。一般在打开中断使能之前需要清除两次，确保无效的中断标志被清除掉。进入中断后可以视应用要求清除一次还是两次。

14.4 寄存器说明

KBI 相关寄存器如表 14-2 所示。

表 14-2 KBI 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
KBICON0	P0 键盘中断使能寄存器	×	R/W	0000_0000B	FFDAH
KBICON1	P1 键盘中断使能寄存器	×	R/W	0000_0000B	FFDCH
KBICON2	P2 键盘中断使能寄存器	×	R/W	uuu0_0000B	FFDEH
KBIPS0	P0 键盘中断极性选择寄存器	×	R/W	0000_0000B	FFDBH
KBIPS1	P1 键盘中断极性选择寄存器	×	R/W	0000_0000B	FFDDH
KBIPS2	P2 键盘中断极性选择寄存器	×	R/W	uuu0_0000B	FFDFH
KBIFLG	键盘中断控制寄存器	×	R/W	uuuu_uuu0B	9EH

注：x 表示不确定；- 表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

键盘中断 KBI 寄存器的详细说明如下：

P0 键盘中断控制寄存器 KBICON0 (FFDAH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	KBIE0[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit 7:0 KBIE0[7:0]: KI00~KI07 键盘输入中断使能

0: 禁止键盘输入中断（默认）

1: 使能键盘输入中断

P1 键盘中断控制寄存器 KBICON1 (FFDCH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	KBIE1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit 7:0 KBIE1[7:0]: KI10~KI17 键盘输入中断使能

0: 禁止键盘输入中断（默认）

1: 使能键盘输入中断

P2 键盘中断控制寄存器 KBICON2 (FFDEH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	KBIE2[4:0]				
访问权限:	R-0	R-0	R-0	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	0	0	0	0	0

Bit 7:5 保留

Bit 4:0 KBIE2[4:0]: KI20~KI24 键盘输入中断使能

0: 禁止键盘输入中断 (默认)

1: 使能键盘输入中断

P0 键盘中断极性选择寄存器 KBIPSO (FFDBH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KBIPSO[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 KBIPSO[7:0]: KI00~KI07 中断极性选择

0: 下降沿触发 KBI 中断, 低电平唤醒 STOP (默认)

1: 上升沿触发 KBI 中断, 高电平唤醒 STOP

P1 键盘中断极性选择寄存器 KBIPS1 (FFDDH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KBIPS1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 KBIPS1[7:0]: KI10~KI17 中断极性选择

0: 下降沿触发 KBI 中断, 低电平唤醒 STOP (默认)

1: 上升沿触发 KBI 中断, 高电平唤醒 STOP

P2 键盘中断极性选择寄存器 KBIPS2 (FFDFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	KBIPS2[4:0]				
访问权限:	R-0	R-0	R-0	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	0	0	0	0	0

Bit 7:5 保留

Bit 4:0 KBIPS2[4:0]: KI20~KI24 中断极性选择

0: 下降沿触发 KBI 中断, 低电平唤醒 STOP (默认)

1: 上升沿触发 KBI 中断, 高电平唤醒 STOP

键盘中断标志寄存器 KBIFLG (9EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	—	KBIF
访问权限:	R-0	R/W						
复 位 值:	U	U	U	U	U	U	U	0

Bit 7:1 保留
Bit 0 KBIF: 键盘中断标志, 读 1 后写 0 清除
0: 没有发生 KBI 中断
1: 发生 KBI 中断



15. 看门狗定时器 WDT

看门狗定时器（WDT）主要用于程序监控，在计数溢出后产生复位信号，使电路复位，避免进入死机等错误执行状态。

15.1 基本特征

LCM08F003G 的 WDT 具备以下特征：

- ◇ 采用 16 位计数器（由 7 位预分频器和 9 位计数器组成）实现。
- ◇ 溢出时间间隔可步进调节。典型条件下，WDT 溢出时间范围为 5.6ms~2867.2ms。
- ◇ STOP 模式下可配置唤醒电路。

上电后，WDT 默认关闭，清 WDT 动作完成后将打开 WDT，正常工作模式下，WDT 一旦打开就无法再关闭。SLEEP 模式下，WDT 不工作。STOP 模式下，WDT 默认不工作。通过配置系统配置寄存器 SYSCFG 中的 RCLCFG（置 0）和 WDTCFG（置 1），WDT 在 STOP 模式下仍可工作，产生 WDTIRQ 中断可唤醒电路。

15.2 功能描述

WDT 内部结构如下：

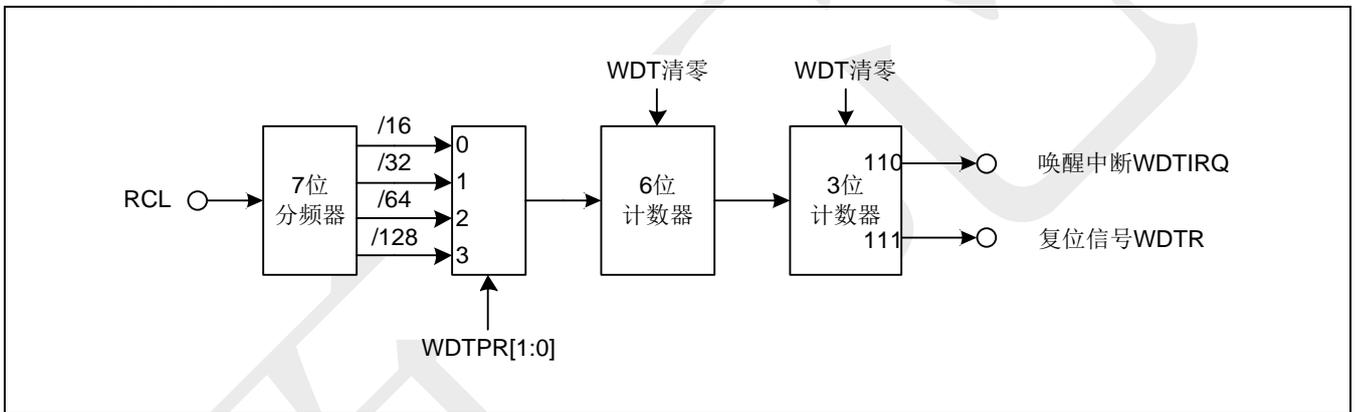


图 15-1 WDT 功能框图

WDT 采用 16 位计数器（由 7 位预分频器、6 位可自动装载预置初值的向下计数器和 3 位计数器组成）实现，由 RCL 提供时钟。

WDT 缺省是关闭的，一旦执行了清 WDT 操作，WDT 即刻开始工作，而且不能再被关闭。WDT 计数到总溢出时间的 6/7 时产生中断 WDTIRQ 唤醒系统，计数溢出后产生复位信号 WDR 复位电路，同时置位复位标志位 WDTF。清零 WDT 时，清零 WDTF。

在 SLEEP 模式时，RCL 关闭，WDT 不工作。在 STOP 模式时，RCL 默认关闭，WDT 默认也不工作。只有当设置 RCLCFG=0、WDTCFG=1 时才允许 WDT 工作。

WDT 溢出时间 = $16 * T_{RCL} * 2^{WDTPR[1:0]} * (WDTRL[5:0] + 1) * 7$ 。范围约在 112~57344 个 RCL 时钟周期。如果 RCL 的频率按典型值 20kHz 计算，则 WDT 溢出时间范围如下表：

表 15-1 WDT 溢出时间范围

WDTPR[1:0]	WDTRCLK	WDTRL[5:0]=000000	WDTRL[5:0]=111111	溢出时间步进
00	RCL/16	5.6ms	179.2ms	5.6ms
01	RCL/32	11.2ms	716.8ms	11.2ms
10	RCL/64	22.4ms	1433.6ms	22.4ms
11	RCL/128	44.8ms	2867.2ms	44.8ms

清 WDT 步骤如下：

1. 写 53H-> WDT_CLR0

2. 写 ACH-> WDT_CLR1
3. 写 00H-> WDT_CLR0
4. 写 00H-> WDT_CLR1

系统复位后默认 WDT 关闭。按照上述流程执行后启动 WDT 计数，此后 WDT 将一直工作，软件无法关闭。整个软件循环中必须在 WDT 溢出时间到来之前重新清一次 WDT 计数器（步骤同启动过程），否则将引起 WDT 复位。

15.3 寄存器说明

WDT 的相关寄存器如表 15-2 所示。

表 15-2 WDT 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
WDTCON	WDT 控制寄存器	×	R/W	1111_1111B	DDH
WDTCLR0	WDT 清零寄存器 0	×	W	uuuu_uuuuB	DEH
WDTCLR1	WDT 清零寄存器 1	×	W	uuuu_uuuuB	DFH
SYSCFG	系统配置寄存器	×	R/W	1000_1111B	FFA2H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

WDT 寄存器的详细说明如下：

WDT 控制寄存器 WDTCON (DDH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	WDTRL[5:0]						WDTPR[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	1	1	1	1	1	1	1	1

Bit 7:2 WDTRL[5:0]: 6 位自动装载初值的向下计数器初始值

Bit 2:0 WDTPR[1:0]: WDT 时钟预分频选择位

00: RCL/16

01: RCL/32

10: RCL/64

11: RCL/128 (默认)

WDT 清零寄存器 WDTCLR1 (DFH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	WDTCLR1[7:0]							
访问权限:	W	W	W	W	W	W	W	W
复位值:	U	U	U	U	U	U	U	U

WDT 清零寄存器 WDTCLR0 (DEH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	WDTCLR0[7:0]							
访问权限:	W	W	W	W	W	W	W	W
复位值:	U	U	U	U	U	U	U	U

WDTCLR0、WDTCLR1 为 WDT 清零寄存器。打开 WDT 功能需向 WDTCLR0 写 53H，向 WDTCLR1 写 ACH。

系统配置寄存器 SYSCFG (FFA2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	RSTCFG	BYPASS	CRYCFG	WDTCFG	CRY_CG[2:0]			RCLCFG
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	0	0	0	1	1	1	1
注	该寄存器除 Bit 4:1 外, 其它位在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。							

- Bit 4 WDTCFG: STOP 模式下 WDT 时钟控制
 0: STOP 模式下时钟关闭 (默认)
 1: STOP 模式下时钟开启
- Bit 0 RCLCFG: STOP 和 SLEEP 模式下 RCL 时钟控制
 0: STOP 和 SLEEP 模式下 RCL 时钟开启
 1: STOP 和 SLEEP 模式下 RCL 时钟关闭 (默认)

16. 窗式看门狗 WWDT

窗口看门狗 WWDT 用于监测由于外部干扰或不可预知的逻辑条件所产生的软件错误，这样的软件错误通常会导致应用程序不按照预期的方式运行。如果程序没有在递减计数器的 T6 位变为 0 之前刷新递减计数器，WWDT 将在一个预置的时间间隔后产生系统复位；如果在 7 位的递减计数器数值达到窗口寄存器数值之前刷新递减计数器，同样会产生系统复位。这就意味着只能在一个有限的时间窗口内允许刷新递减计数器。默认情况下，WWDT 的时钟被关闭，使用前请将 PCGC1 中 WWDTGC 设置为 1 打开时钟，若要减小功耗，请在不使用时将 PCGC1 中 WWDTGC 设置为 0。

16.1 基本特征

LCM08F003G 的 WWDT 具备以下特征：

- ◇ 可编程的自由运行递减计数器
- ◇ 有条件的复位
 - 如果开启了看门狗，当递减计数器的数值小于 0x40 时产生复位
 - 如果开启了看门狗，当在指定的时间窗口之外重加载递减计数器的数值时产生复位
- ◇ 支持 WWDT 工作时进入 STOP 模式

16.2 功能描述

WWDT 的主要结构如图 16-1 所示。

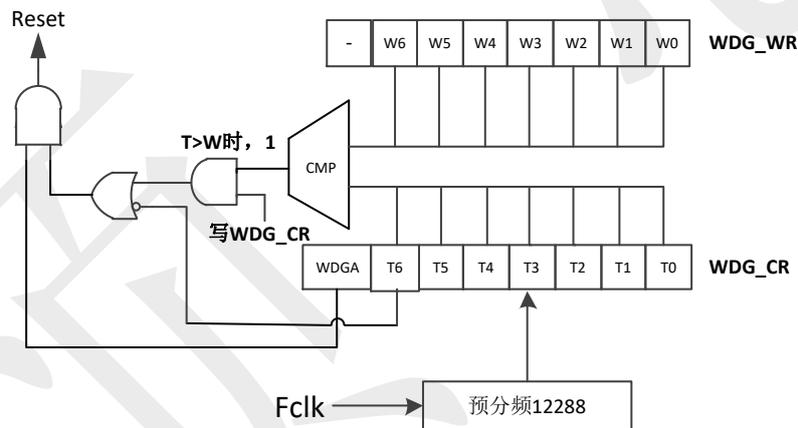


图 16-1 WWDT 内部框图

如果开启了 WWDT（设置了 WDMA=1），当 7 位的递减计数器（T[6:0]位）从 0x40 变为 0x3F 时（即 T6 变为 0），WWDT 产生一个复位信号。如果软件刷新计数器时，计数器的数值大于窗口寄存器中的数值，同样会产生复位。

16.2.1 计数器的刷新

在正常的操作期间，应用程序必须定期地写入 WWDG_CR 寄存器，以避免产生复位；这个写的动作必须在计数器的数值小于窗口寄存器的数值时进行。写入 WWDG_CR 寄存器的数值必须介于 0xFF 和 0x40 之间。

递减计数器是自由运行计数器：即使未开启看门狗，它依然不断地递减计数。当开启看门狗时，必须设置 T6 位以避免立刻产生复位。T[5:0]位中包含了看门狗产生复位前允许的时间延迟；因为写入 WWDG_CR 寄存器时，预分频器的状态是不可知的，所以这个时间延迟介乎于一个最小和最大数值之间。T6 位可以用于产

生一个软件复位（即设置 WDGA 位同时清除 T6 位）。

窗口寄存器（WWDG_WR）的数值是指定窗口的上限：为防止复位，必须在递减计数器的数值小于窗口寄存器的数值并大于 0x3F 时刷新递减计数器。

16.2.2 在 STOP 模式产生 WWDT 复位

如果开启了 WWDT，并且选择了停止时产生看门狗复位的选项，则置起 STP 位将产生复位。

在 STOP 模式下使用 WWDT，如果使能了 STOP 模式下的看门狗（STOP 模式不产生看门狗复位），建议在进入 STOP 模式前先刷新看门狗计数器，以避免在唤醒 MCU 后立刻进入不希望的 WWDT 复位。

16.2.3 设置看门狗的超时

图 16-2 显示了看门狗计数器（CNT）中的 6 位数值，与以毫秒为单位的超时时间的线性关系，它可以在不考虑时序变化时作为一个快速的粗略计算参考。精确时间计算公式： $T = (12288 * (WDGCR - 0x3F)) / f$ ，其中 f 为系统工作频率。

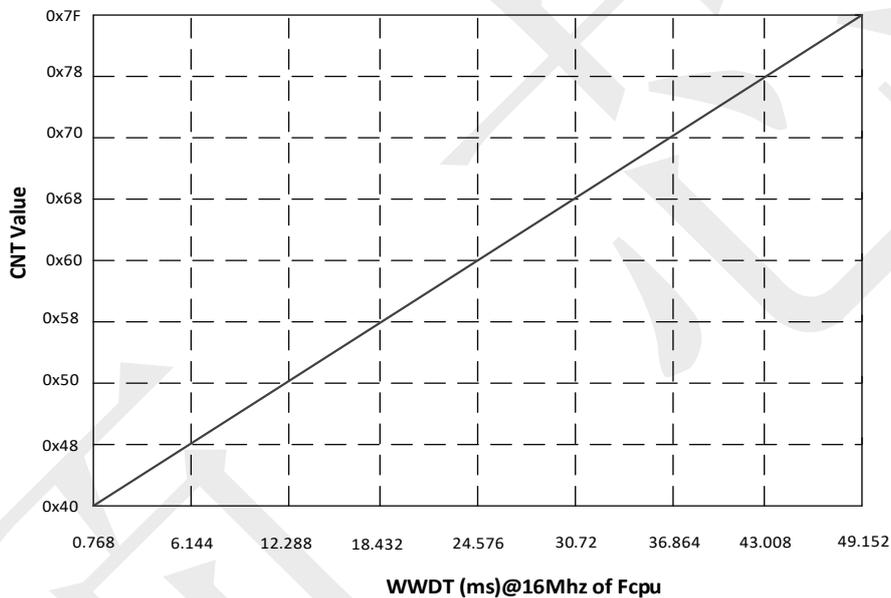


图 16-2 WWDT 计数器与超时时间的关系

16.3 寄存器说明

WWDT 相关寄存器如表 16-1 所示。

表 16-1 WWDT 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
WWDG_CR	WWDT 控制寄存器	x	R/W	0111_1111B	F1H
WWDG_WR	WWDT 窗口寄存器	x	R/W	u111_1111B	F2H
WWDG_CFG	WWDT 特殊功能寄存器	x	R/W	uuuu_uuu0B	FFA3H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

WWDT 寄存器详细描述如下：

WWDT 控制寄存器 WWDG_CR (F1H)

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	WDGA	T[6:0]						

访问权限:	R/W							
复位值:	0	1	1	1	1	1	1	1

- Bit 7 **WDGA: 开启位**
 该位由软件设置，只能由硬件在复位后清除。当 WDGA=1 时，看门狗可产生复位。
 0: 关闭看门狗
 1: 开启看门狗

- Bit 6:0 **T[6:0]: 7 位计数器 (MSB 至 LSB)**
 这些位包含看门狗计数器的数值，每过 (大约) 12288 个 MClk 周期递减一次。当它的内容从 0x40 变为 0x3F (T6 被清除) 时，则产生一个复位。

WWDT 窗口寄存器 WWDG_WR (F2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	W[6:0]						
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	U	1	1	1	1	1	1	1

- Bit 7 保留
 Bit 6:0 **W[6:0]: 7 位计数器 (MSB 至 LSB)**
 这些位包含了窗口的数值，是需要与递减计数器比较的数值

WWDT 特殊功能寄存器 WWDG_CFG (FFA3H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	—	STP
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复位值:	U	U	U	U	U	U	U	0
注	设置 STP 位为 1 时，要先操作写保护控制寄存器 WPKEY，解除写保护后向该寄存器写入 0xF5							

- Bit 7:1 保留
 Bit 0 **STP: STOP 模式进入禁止位**
 0: WWDT 运行中允许用户进入 STOP 模式
 1: WWDT 运行中禁止用户进入 STOP 模式，进入动作无效

17. 通用串行接口 UART0/1

通用异步收发器 (UART) 是该电路提供的串行 I/O 模块之一，是可以和外设（例如个人电脑、RS-232 和 RS-485 接口）通信的全双工异步系统。它有两个互相独立的接收、发送缓冲器，可以同时发送和接收数据。异步串行通信以帧为单位，可连续或断续传送。它还可以作为同步移位寄存器使用。

17.1 基本特征

LCM08F003G 的 UART 具备以下特征：

- ◇ 全双工，异步通信
- ◇ 单线半双工通信
- ◇ 四种工作模式
- ◇ 可编程的数据字长（8 位或 9 位）
- ◇ 完全集成的具有 8 位预分频器的波特率发生器
- ◇ 可设置高精度波特率
- ◇ 发送和接收中断

正常工作模式下和 SLEEP 模式下 UART0/1 均可正常工作，产生中断。STOP 模式下，UART0/1 被禁止。

17.2 管脚配置

UART0/1 模块分别用到 4 个外部脚，其配置如下。

表 17-1 UART0/1 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
UART0				
TXD0	O	UART0 数据输出脚	P0.1	UART0EN=10
RXD0	I	UART0 数据输入脚	P0.0	
TXD1	O	UART0 数据输出脚	P0.6	UART0EN=11
RXD1	I	UART0 数据输入脚	P0.7	
位映射模式 (BitMap=1)				
TXD	O	UART0 输出复用 0 (TXD0)	P0.1	UART0EN[0]=0, TXDEN=1
		UART0 输出复用 1 (TXD1)	P0.6	UART0EN[0]=1, TXDEN=1
RXD	I	UART0 输入复用 0 (RXD0)	P0.0	UART0EN[1]=0, RXDEN=1
		UART0 输入复用 1 (RXD1)	P0.7	UART0EN[1]=1, RXDEN=1
UART1				
TXD2	O	UART1 数据输出脚	P2.0	UART1EN=10
RXD2	I	UART1 数据输入脚	P2.1	
TXD3	O	UART1 数据输出脚	P2.2	UART1EN=11
RXD3	I	UART1 数据输入脚	P0.2	
位控制模式 (BitMap=1)				
TXD	O	UART1 输出复用 0 (TXD2)	P2.0	UART1EN[0]=0, TXDEN=1
		UART1 输出复用 1 (TXD3)	P2.2	UART1EN[0]=1, TXDEN=1
RXD	I	UART1 输入复用 0 (RXD2)	P2.1	UART1EN[1]=0, RXDEN=1
		UART1 输入复用 1 (RXD3)	P0.2	UART1EN[1]=1, RXDEN=1

17.3 功能描述

UART 的内部结构如图 17-1 所示。

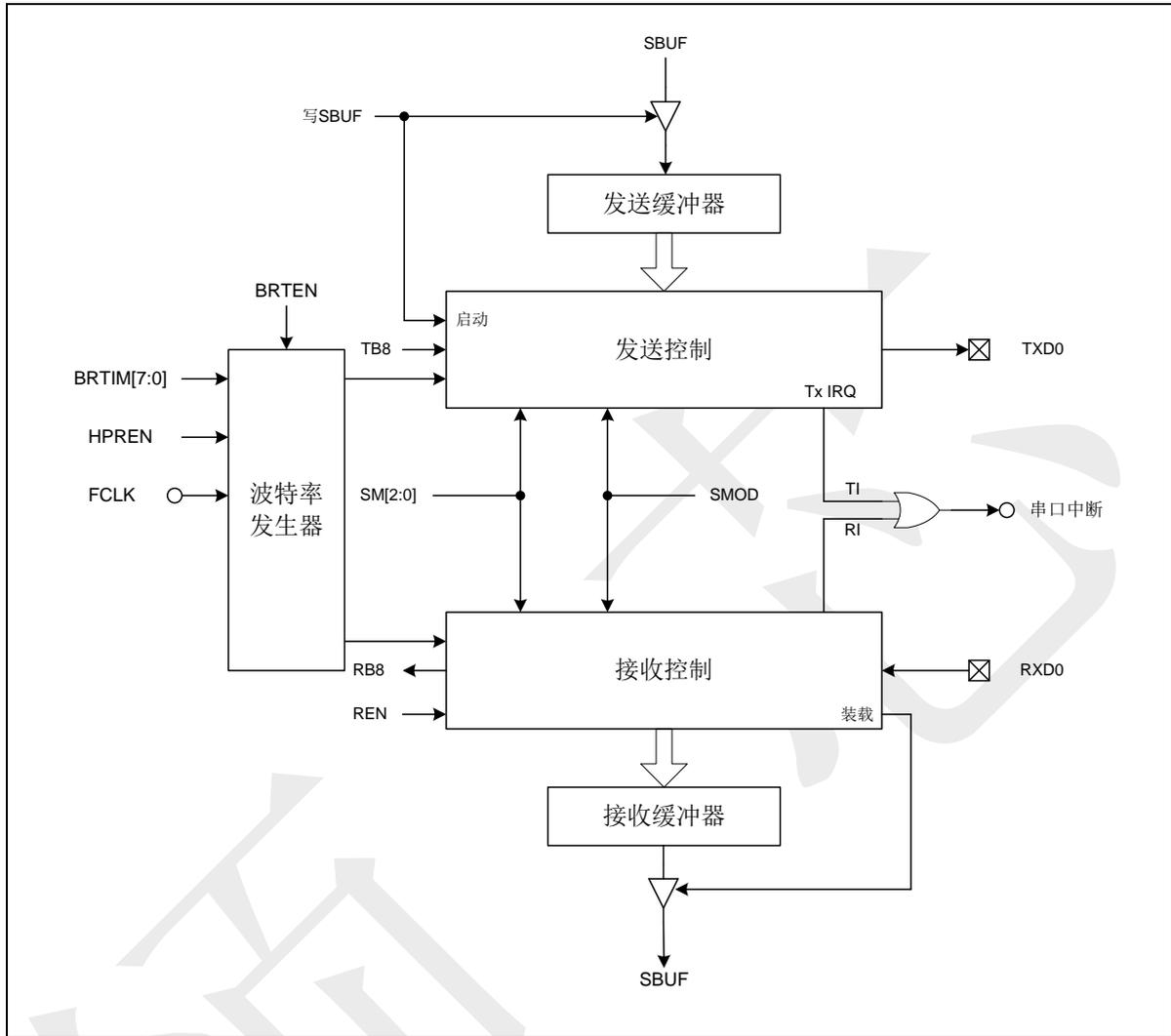


图 17-1 UART 功能框图

UART 有两个互相独立的接收、发送缓冲器，可以同时发送和接收数据。发送缓冲器只能写入而不能读出，接收缓冲器只能读出而不能写入，因而两个缓冲器共用一个地址码，两个缓冲器统称串行通信特殊功能寄存器 SBUF。数据由 TXD 输出，由 RXD 接收。

UART0/1 设有 4 种工作方式，其中方式 1 和方式 3 的波特率是可变的，方式 2 的波特率是固定的，以供不同应用场合选用。波特率由独立的波特率发生器产生，用软件可以选择不同的工作方式和设置不同的波特率。

17.3.1 方式 0

模式 0 支持与外围设备同步通信。串行数据通过 RXD 脚输入和输出，利用 TXD 脚输出移位时钟。发送或接收一帧信息为 8 位，其波特率由独立波特率发生器产生。由于发送和接收都通过 RXD 脚，模式 0 提供了一种半双工通信方式。无论发送或接收，移位时钟均由 MCU 产生。当选用方式 0 时，MCU 作为主机。

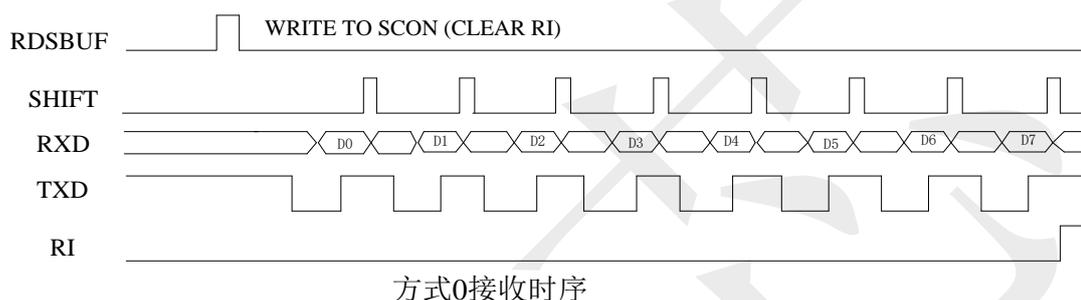
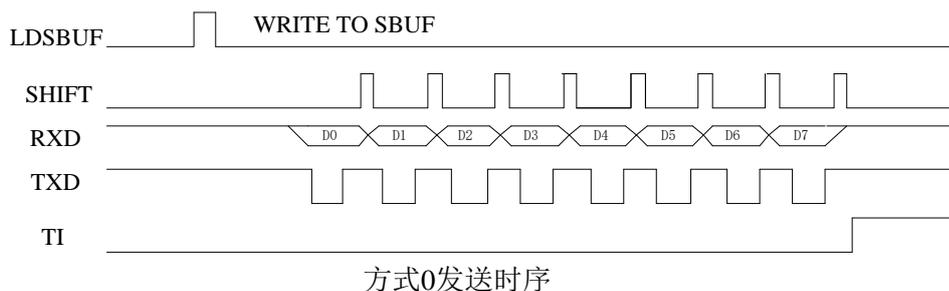


图 17-2 UART 方式 0 时序

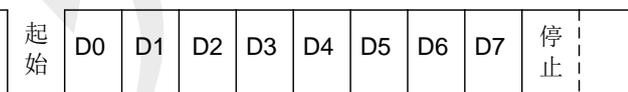
如图 17-2 所示，双向数据线 RXD，时钟线完成同步传输，LSB 优先，移位时钟频率即波特率。

写 SBUF 发起发送操作，发送控制器产生时钟并产生数据直至 8 位传输完毕，随后置位 TI 用于指示一个字节传输结束。

清 RI 发起接收操作，控制器产生时钟并接收数据直至 8 位传输完毕，随后置位 RI 用于指示一个字节接收完毕，清 RI 重新发起新字节数据的接收操作。

17.3.2 方式 1

当 SM0=0、SM1=1 时，串口选择方式 1。其波特率由独立波特率发生器产生。发送或接收一帧信息为 10 位：1 位起始位，8 位数据位和 1 位停止位。帧格式如下：



当往寄存器 SBUF 写数据就启动 TXD 发送数据，写 SBUF 信号还把 1 装入发送移位寄存器的第 9 位即停止位，并通知发送控制单元开始发送。当 1 帧数据发送完成后，中断请求标志位 TI 置 1，如果中断允许则申请中断。

当接收允许标志位 REN 置 1 且清除 RI 后，当检测到 RXD 端口从 1 到 0 的负跳变时就启动一次接收。如果第一位接收到的值不为 0（起始位），则起始位无效，复位接收电路，并重新检测从 1 到 0 的跳变。如果接收到的起始位有效，则将它输入移位寄存器，并接收本帧的其余信息。当一帧数据接收完后，将 8 位数据和停止位分别送入接收缓冲器 SBUF 和 RB8，然后 RI 置 1。如果中断允许则申请中断。

在进行最后一次移位时，能将数据送入接收数据缓冲器 SBUF 和 RB8，而且 RI 置 1 的条件是：

- ✧ RI=0；
- ✧ SM2=0，接收到任意停止位；或 SM2=1，接收到的停止位为 1。

若上述两条件不能同时满足，则接收到的数据作废并丢失，也不置位 RI。接收器重新检测 RXD 端口上的 1 到 0 的跳变，继续下一帧的接收。

方式 1 的波特率是可变的，可变的波特率由独立波特率发生器产生。其波特率为：

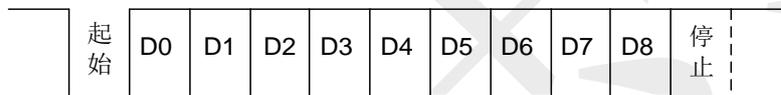
$$\text{波特率} = \frac{2^{\text{SMOD}}}{32} \times \frac{1}{(255 - N)} \times \text{FCLK}$$

上式中 N 是波特率发生器 BRTIMO 装载的初值。另外上式中 1/(255-N) 这一项受 BRCON0.3 影响。

17.3.3 方式 2 和 3

当 SM0=1、SM1=0 时，串口选择方式 2；当 SM0=1、SM1=1 时，串口选择方式 3。方式 2 和 3 的不同在于它们波特率产生方式不同。方式 2 的波特率是固定的，为功能模块时钟 FCLK 的 1/32 或 1/64。方式 3 的波特率由独立波特率发生器产生。

在模式 2 和 3，发送和接收一帧数据信息为 11 位：1 位起始位（0），9 位数据位和 1 位停止位（1）。帧格式如下：



数据发送时第 9 位数据位由 SCON 中的 TB8 提供，可软件设置为 1 或 0，接收时第 9 位数据装入 SCON 的 RB8。若 SM2=1，如果接收到的第 9 位数据（RB8）为 1，才将数据送入接收缓冲器 SBUF，并 RI 置 1，申请中断，否则数据将丢失。若 SM2=0，则无论第 9 位数据（RB8）是 1 还是 0，都能将数据装入 SBUF，并且申请中断。其他发送接收操作方式与方式 1 相同。

在进行最后一次移位时，能将数据送入接收数据缓冲器 SBUF 和 RB8，而且 RI 置 1 的条件是：

- ◇ RI=0；
- ◇ SM2=0，接收到任意第 9 位数据或者 SM2=1，接收到第 9 位数据 RB8=1。

若上述两条件不能同时满足，则接收到的数据作废并丢失，也不置位 RI。接收器重新检测 RXD 端口上的 1 到 0 的跳变，继续下一帧的接收。

在方式 2 和方式 3 中，接收到的停止位与 SBUF、RB8 和 RI 无关。

方式 2 的波特率是固定的，其波特率为：

$$\text{波特率} = \frac{2^{\text{SMOD}}}{64} \times \text{FCLK}$$

方式 3 的波特率为：

$$\text{波特率} = \frac{2^{\text{SMOD}}}{32} \times \frac{1}{(255 - N)} \times \text{FCLK}$$

上式中 N 是波特率发生器 BRTIMO 装载的初值。另外上式中 1/(255-N) 这一项受 BRCON0.3 影响。

17.3.4 单线半双工方式

UART 可配置成单线半双工模式，置位 HalfDuplex，即 TXD 脚用于发送和接收数据，数据的传输方向由 REN 决定，为 1 时串口作为输入接收数据，为 0 时串口作为输出发送数据。此模式下，RXD 脚闲置可做 GPIO 使用。数据帧格式和波特率产生方式同方式 1/2/3。

17.4 寄存器说明

UART 相关寄存器如表 17-2 所示：

表 17-2 UART 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
UART0					

名称	说明	可位寻址	读写权限	复位值	字节地址
SCON0	UART0 控制寄存器	√	R/W	0000_0100B	98H
SBUF0	UART0 接收发送缓冲寄存器	×	R/W	0000_0000B	99H
BRCON0	UART0 波特率控制寄存器	×	R/W	1000_0uu0B	8EH
BRTIM0	UART0 波特率计数器	×	R/W	0000_0000B	8FH
HALFDUPLEX0	UART0 半双工模式寄存器	×	R/W	uuuu_uuu0B	9CH
UART1					
SCON1	UART1 控制寄存器	×	R/W	0000_0100B	B4H
SBUF1	UART1 接收发送缓冲寄存器	×	R/W	0000_0000B	B5H
BRCON1	UART1 波特率控制寄存器	×	R/W	1000_0uu0B	B6H
BRTIM1	UART1 波特率计数器	×	R/W	0000_0000B	B7H
HALFDUPLEX1	UART1 半双工模式寄存器	×	R/W	uuuu_uuu0B	B3H
IOMUX0	I/O 复用控制寄存器 0	×	R/W	0000_0000B	FFE0H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

UART 相关寄存器详细说明如下：

UART0 控制寄存器 SCON0 (98H)

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	SM1	SM0	SM2	REN	TB8	RB8	TI	RI
访问权限：	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
复位值：	0	0	0	0	0	1	0	0

Bit 7:6 SM1~SM0: UART 工作模式选择位

00: 工作模式 0: 同步传输（双线，支持主机；TX 脚作时钟，RX 输入输出数据）（默认）

01: 工作模式 1: 8 位异步通信模式，波特率可调

10: 工作模式 2: 9 位异步通信模式，波特率固定

11: 工作模式 3: 9 位异步通信模式，波特率可调

Bit 5 SM2: 多机通信控制位，REN = 1 时该位设置有效

工作模式 1 时：

0: 接收到任意停止位都将产生中断标志（RI 位置 1）

1: 只有在接收到停止位为 1 时才会产生中断标志（RI 位置 1）

工作模式 2/3 时：

0: 第 9 位数据 RB8 为任意值都将产生中断标志（RI 位置 1）

1: 只有在接收到第 9 位数据 RB8 为 1 时才会产生中断标志（RI 位置 1）

Bit 4 REN: 串行接收使能位

0: 禁止（默认）

1: 允许

Bit 3 TB8: 工作模式 2 或 3, TB8 由程序装载要发送的第 9 位数据

Bit 2 RB8: 工作模式 2 或 3, RB8 是接收到的第 9 位数据；工作模式 1, RB8 接收到的是停止位

Bit 1 TI: 发送中断标志位

停止位开始发送时该位置 1, 需软件清除

Bit 0 RI: 接收中断标志位

工作模式 1/2/3 中, 接收到停止位时 RI 置 1（例外情况见 SM2 说明），必须由软件清零。

UART0 收发缓冲寄存器 SBUF0 (99H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SBUF[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 SBUF[7:0]: 8 位发送/接收的缓冲寄存器, 写该寄存器则启动 TXD 发送数据; 读该寄存器则读取接收到的数据。

UART0 波特率控制寄存器 BRCON0 (8EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SMOD	BRTEN	TxdEn	RxdEn	HPREN	—	—	BitMap
访问权限:	R/W	R/W	R/W	R/W	R/W	R-0	R-0	R/W
复 位 值:	1	0	0	0	0	U	U	0
注	<p>当 HPREN 置 1 时, 可变波特率模式下波特率计算公式 = $(2^{SMOD}/32) * (1/(255.5-N)) * FCLK$。第二项分母 255 - N 变成: $(255-N)+0.5$。当 HPREN 为 0 时, 计算方法如前面所述。</p> <p>该控制位在需要高精度波特率通信应用中, 非常有用。如利用 4.194MHz (PLL 时钟, 32.768KHz OSC 的 128 倍频) 做 CPU 时钟时, 如果要产生 $19200 \pm 2\%$ 精度的波特率, 则 N 无论置 243 (对应波特率 20164) 或 242 (对应波特率 18724) 得到的波特率误差都超过 2%。此时如果置 HPREN 为 1, 波特率变成 19418, 误差为 1.1%。</p>							

- Bit 7 SMOD: 波特率选择位
0: 波特率计算公式中第一项为 1/32 (默认)
1: 波特率计算公式中第一项为 1/16。
- Bit 6 BRTEN: 波特率发生器使能位 (工作模式 1/3 下有效)
0: 波特率发生器禁止 (默认)
1: 波特率发生器开启
- Bit 5 TxdEn: Tx 使能, 在 BitMap 为 1 情况下该位配置有效, 可独立关闭 TX 复用, 作为 GPIO 使用
0: Tx 无效, UART 不能用于发送数据
1: Tx 有效
- Bit 4 RxdEn: Rx 使能, 在 BitMap 为 1 情况下该位配置有效, 可独立关闭 RX 复用, 作为 GPIO 使用
0: Rx 无效, UART 不能用于接收数据
1: Rx 有效
- Bit 3 HPREN: 波特率高精度控制位
- Bit 2:1 保留
- Bit 0 BitMap: 位映射模式, 该模式下, UART 的 TXD 和 RXD 引脚可以灵活映射
0: 位映射模式不使能
1: 位映射模式使能

UART0 波特率初值设置寄存器 BRTIM0 (8FH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BRTIM[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 BRTIM[7:0]: BRTIM 是波特率发生器的初值设置寄存器

波特率发生器是一个 8 位向上计数器，当加 1 到 FF 时，计数器溢出，产生一个溢出脉冲。每次溢出后计数器会自动载入初始值，重新加 1 计数。UART 工作在方式 1 或方式 3 时，使用该溢出时钟作为发送接收时钟，使 UART 的波特率可以有较大的调整范围。

UART0 半双工模式寄存器 HALFDUPLEX0 (9CH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	—	HalfDuplex
访问权限:	R-0	R/W						
复 位 值:	U	U	U	U	U	U	U	0

Bit 7:1 保留

Bit 0 HalfDuplex: UART0 半双工工作模式选择位

0: 全双工模式 (默认)

1: 半双工模式

UART1 控制寄存器 SCON1 (B4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SM1	SM0	SM2	REN	TB8	RB8	TI	RI
访问权限:	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
复 位 值:	0	0	0	0	0	1	0	0

具体定义参考 UART0。

UART1 收发缓冲寄存器 SBUF1 (B5H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SBUF[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

具体定义参考 UART0。

UART1 波特率控制寄存器 BRCON1 (B6H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SMOD	BRTEN	TxdEn	RxdEn	HPREN	—	—	BitMap
访问权限:	R/W	R/W	R/W	R/W	R/W	R-0	R-0	R/W
复 位 值:	1	0	0	0	0	U	U	0

具体定义参考 UART0。

UART1 波特率初值设置寄存器 BRTIM1 (B7H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BRTIM[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

具体定义参考 UART0。

UART1 半双工模式寄存器 HALFDUPLEX1 (B3H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	—	HalfDuplex
访问权限:	R-0	R/W						
复 位 值:	U	U	U	U	U	U	U	0

具体定义参考 UART0。

管脚复用控制寄存器 IOMUX0 (FFE0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMPOSEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
注	UART 相关引脚复用, 强制将其设置为功能模块对应的方向, 例如 TXD/RXD 引脚分别被设置为输入/输出。							

Bit 7:6 UART1EN[1:0]: UART1 输入/出引脚复用控制信号

BitMap = 0:

00: 对应引脚做 GPIO 使用 (默认)

01: 对应引脚做 GPIO 使用

10: RX >> P2.1, TX >> P2.0

11: RX >> P0.2, TX >> P2.2

BitMap = 1:

00: RX >> P2.1, TX >> P2.0

01: RX >> P2.1, TX >> P2.2

10: RX >> P0.2, TX >> P2.0

11: RX >> P0.2, TX >> P2.2

Bit 5:4 UART0EN[1:0]: UART0 输入/出引脚复用控制信号

BitMap = 0:

00: 对应引脚做 GPIO 使用 (默认)

01: 对应引脚做 GPIO 使用

10: RX >> P0.0, TX >> P0.1

11: RX >> P0.7, TX >> P0.6

BitMap = 1:

00: RX >> P0.0, TX >> P0.1

01: RX >> P0.0, TX >> P0.6

10: RX >> P0.7, TX >> P0.1

11: RX >> P0.7, TX >> P0.6

18. 串行接口 I2C

LCM08F003G 内部集成一个 I2C 通讯接口，兼容 Philips I2C 协议。

18.1 基本特征

LCM08F003G 的 I2C 具备以下特征：

- ◇ 支持标准模式下 100Kbit/s 的双向传输速率
- ◇ 支持快速模式下 400Kbit/s 的传输速率
- ◇ 支持 4 种传输模式：主机发送模式、主机接收模式、从机发送模式、从机接收模式
- ◇ 支持多主机总线仲裁
- ◇ 支持高达 128 个从机地址空间，支持地址为 00 的广呼方式
- ◇ 支持 SMBus 扩展
- ◇ 支持 STOP 模式下唤醒

正常工作模式下和 SLEEP 模式下 I2C 均可正常工作，正常产生中断。STOP 模式下，I2C 被禁止，但地址匹配模块能正常工作，接收特定序列后唤醒系统。

18.2 管脚配置

I2C 跟 4 个外部管脚复用，具体配置见下表：

表 18-1 I2C 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
SCL	I/O	I2C 时钟输入/输出	P1.3/P2.3	I2CRMP[1:0]：I2C 引脚复用配置
SDA	I/O	I2C 数据输入/输出	P1.4/P2.4	I2CRMP[1:0]：I2C 引脚复用配置

18.3 功能描述

I2C 总线通过两个线进行通信，最大支持 128 个从机设备，在使用时只需要在外部加两个上拉电阻即可实现组网通信。通过 I2CADR、I2CCON、I2CSTA 和 I2CDAT 四个寄存器对 I2C 实现控制。I2C 的协议详见 Philips I2C 协议。I2C 共有 4 种操作模式，分别为：主机发送、主机接收、从机发送和从机接收模式。此外，还有一种特殊模式叫做广呼模式。

18.3.1 主机发送模式

主机发送多个字节到从机，主机产生时钟，故需要设置主机模式速率控制位 CR0、CR1、CR2。主机发送模式需要将 STA 位置 1。此时一旦检测到总线空闲，主机就会发出一个起始位 START，若成功，SI 位将被置 1，状态码 I2CSTA=08H。接下来应该把从机地址和“写”位（SLA+W）写入 I2CDAT，然后清 0 位 SI，总线上发出 SLA+W。

主机发送 SLA+W 收到从机应答位 ACK 后，SI 位被置 1，状态码 I2CSTA=18H。接下来将按照用户定义格式发送数据。所有数据发送完之后，STO 位置 1，并清除 SI 位，发出停止信号 STOP；也可以重复发送起始信号 START 直接开始新一轮传输。

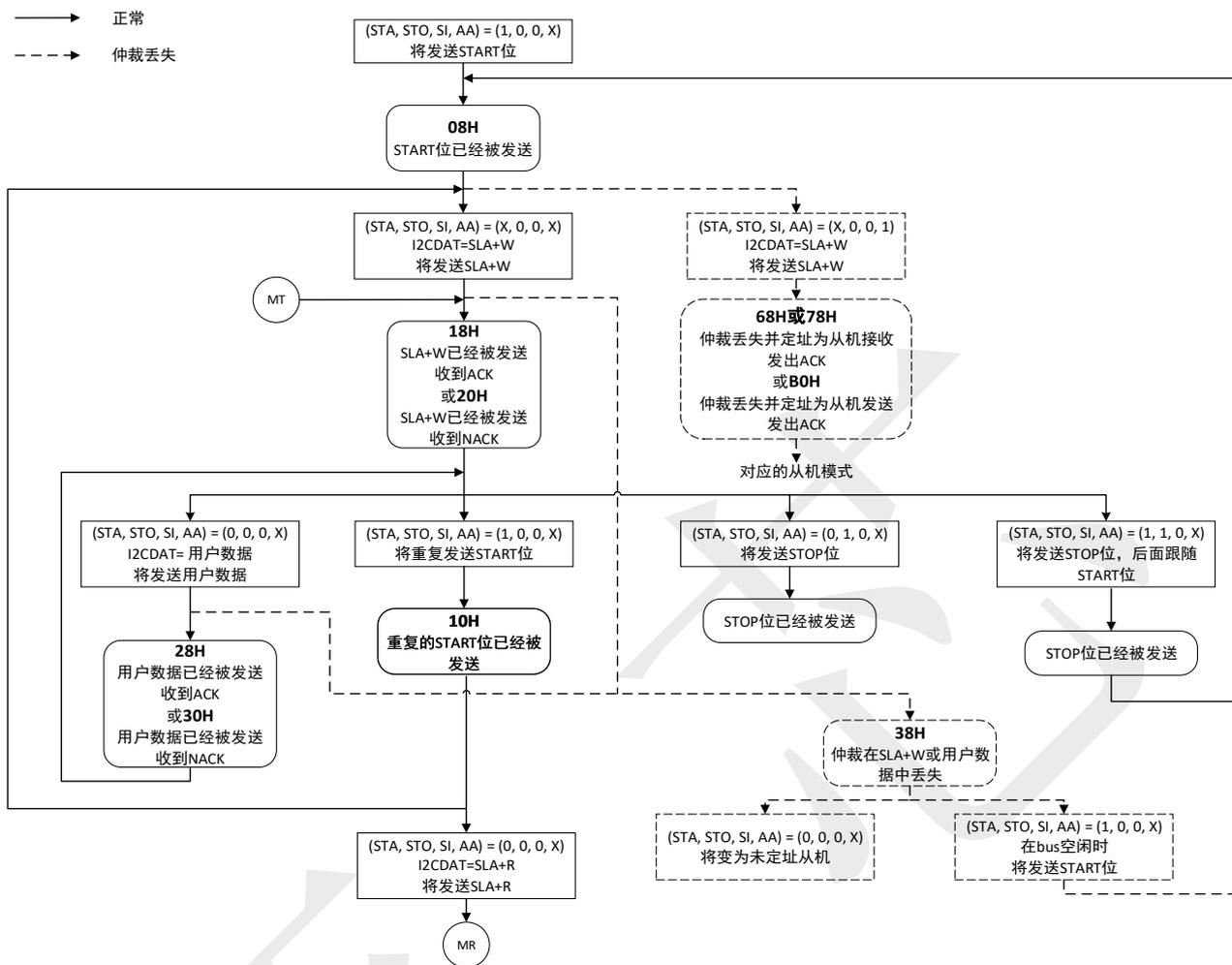


图 18-1 I2C 主机发送模式过程和状态

18.3.2 主机接收模式

由从机传输数据。初始化设置与主机发送模式相同，主机发送起始位后，I2CDAT 应该写入从机地址和“读”位（SLA+R）。收到从机应答位 ACK 后 SI 被置 1 且状态码 I2CSTA=40H。SI 清 0 后开始接收从机数据，若 AA=1，主机收到数据后回应 ACK；若 AA=0 主机收到数据后不回应（NACK）。然后主机可以发停止位或重新开始新一轮传输。

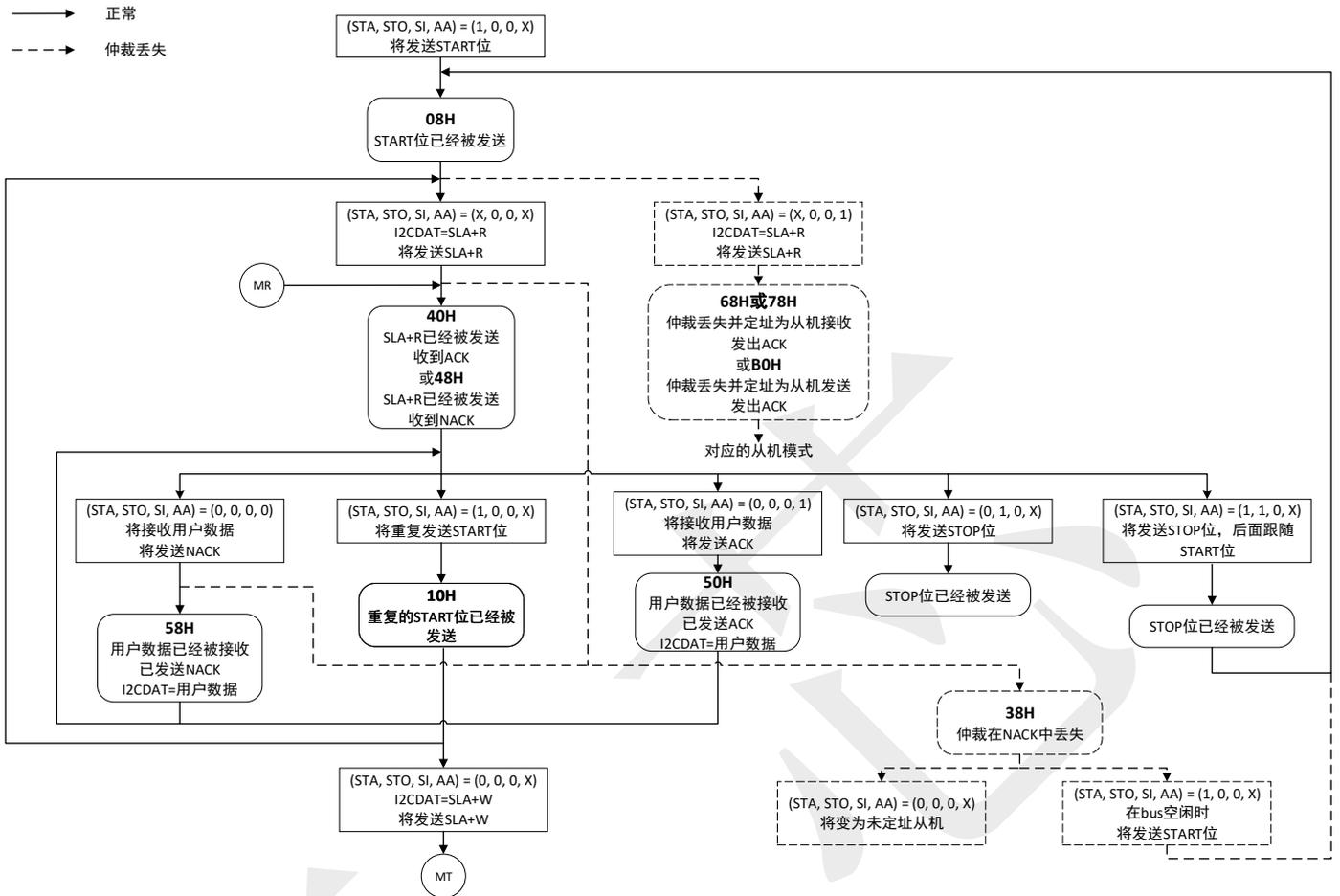
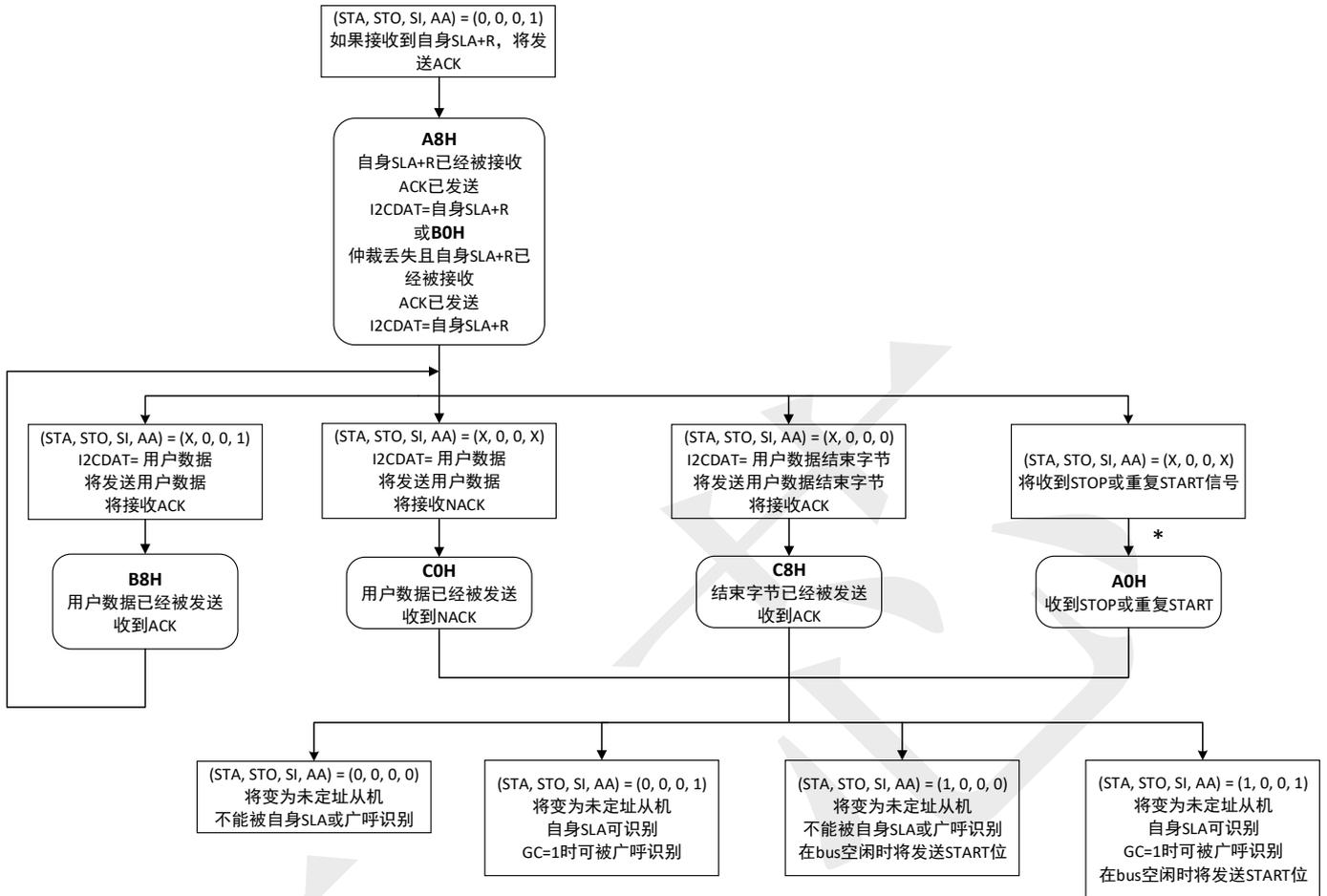


图 18-2 I2C 主机接收模式过程和状态

18.3.3 从机发送模式

数据由从机发送给主机。当初初始化 I2CADR 和 I2CCON 寄存器后，I2C 等待直到自身地址被“读”信号 (SLA+R) 定址。若主机仲裁失败，也可进入从机发送模式。

当从机被“读”信号 SLA+R 定址，需要将 SI 信号清 0 用以向主机发送数据。通常主机接收每字节数据后会回复应答 ACK，如果没有接收到 ACK，接下去传输中，从机将发送全 1 数据，并变为未定址从机。如果传输过程中 AA 清 0，从机将发送最后一个字节数据，并在接下去的传输中发送全 1 数据，并将自身变为未定址从机。



* 不建议使用此流程。如果从机要发送的下一个字节的MSB为0，它将持有SDA。STOP或重复START不能由主机成功产生。

图 18-3 I2C 从机发送模式过程和状态

18.3.4 从机接收模式

从机接收主机发来的数据。在传输开始前，I2CADR 中应写入从机地址，CR0、CR1、CR2 内容无效，AA 置 1 用以响应主机的定址。在上述初始化后，从机进入空闲模式，等待“写”信号（SLA+W）。若主机仲裁失败，也可进入从机接收模式。

当从机被“写”信号 SLA+W 寻址到后，需要把 SI 位清 0，以便从主机接收数据。如果在传输过程中 AA=0，从机将在下一字节回复无应答（NACK），从机也将转为未定址从机，与主机联系终止，不再接收数据且 I2CDAT 保持之前接收到的数据。

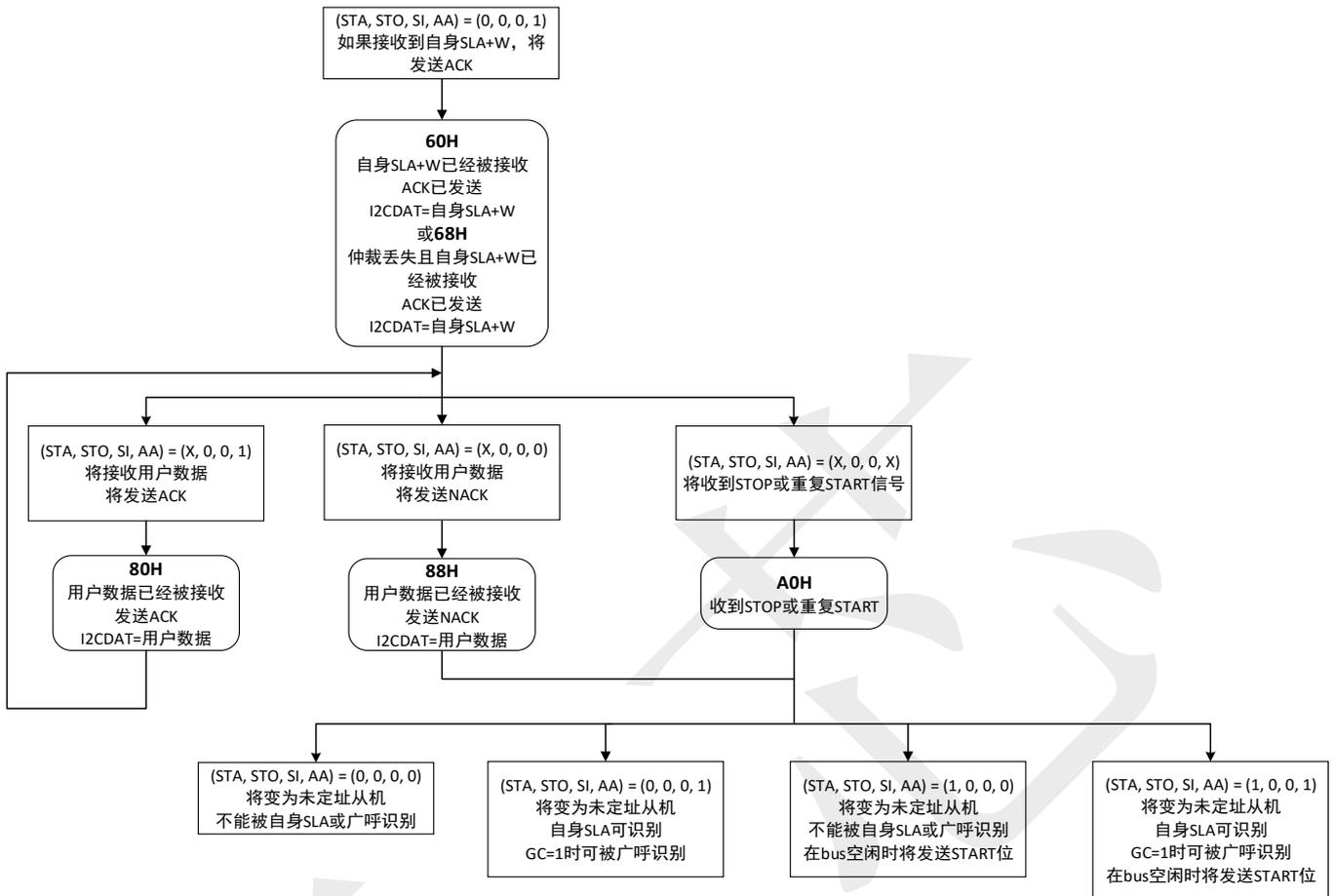


图 18-4 I2C 从机接收模式过程和状态

18.3.5 广呼模式

广呼模式是一种特殊的从机接收模式，通过从机地址全为 0 以及数据方向来定址。GC 和 AA 位都要置为 1 来保证广呼的应答。与正常的从机接收模式相比，广呼在 I2CSTA 中有不同的状态码。广呼可以在仲裁丢失时发生。

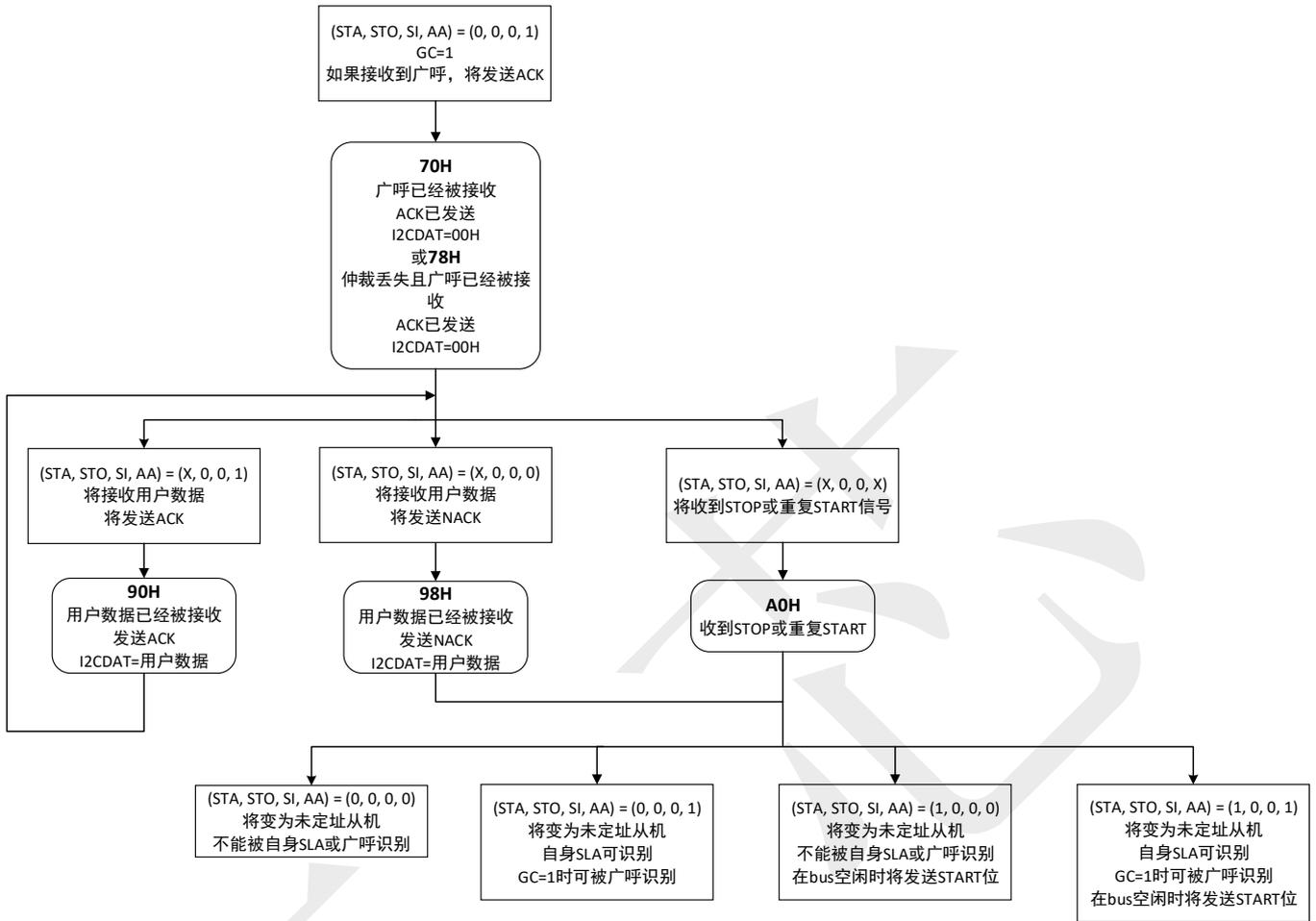


图 18-5 I2C 广播模式过程和状态

18.3.6 其他状态

除了前文提到的状态之外，I2C 还有 2 个状态：F8H 和 00H。F8H 表示传输中没有相关信息，同时 SI=0 且没有 I2C 中断。00H 表示传输中发生了总线错误，它通常是 STOP 或 START 临时出现在不合法位置导致的。当总线错误发生时，SI 立即被置 1，设备立即切换到未定址从机模式，释放 SDA 和 SCL，I2CSTA 中写入 00H。为了从总线错误中恢复，STO 要置 1，SI 要清 0。之后 STO 会被硬件自动清 0，在不真正启动 STOP 波形的情况下释放 I2C 总线。

表 18-2 I2C 其他状态

I2CSTA 寄存器数值	I2C 状态	软件响应				I2C 下一动作	
		I2CDAT	I2CCON				
			STA	STO	SI		AA
F8H	等待	无操作	无操作				等待当前传输完成
00H	总线错误	无操作	0	1	0	x	总线被释放同时 I2C 切换到未定址的从机，STO 自动清除

18.3.7 中断产生

I2C 在进入到前面列举的状态时都会发生中断，除了 F8H 状态以外。中断标志位 SI 必须通过软件写 0 来清除，写 1 无效。

18.3.8 SMBus 扩展

I2C 模块支持 SMBus 扩展，提供时钟低电平超时检测 (Tout)，支持字节内的时钟累计超时检测 (Tmext) 以及起始和终止位之间的累计超时检测 (Tsext)，分别对应 I2CSTA 寄存器中的 TOUT、TMOUT、TSOUT 位。

可以通过 I2CSMB_SEL 选择各个超时计数器配置，配置的值在 SMB_DST 寄存器中。超时时间的计算可以通过如下方程式计算：

$$T_{xxx} = \text{timeout}[\text{sec}] * \text{fclkper}[\text{Hz}]/1024$$

例：当 fclkper=24Mhz 时，如果希望 Tmext=5ms，Tsext=25ms，Tout=35ms，那么可以根据公式计算出 SMB_DST 分别配置为 118、586 和 821。

18.3.9 唤醒 STOP 模式

I2C 唤醒功能用于退出系统的 STOP 模式，主要包含地址接收和地址匹配模块。STOP 模式下，唤醒电路接收主机发送的数据，并将接收的字节与设备地址进行比较，若两者匹配则进行系统唤醒。一旦地址匹配，产生 I2C 中断，唤醒 MCU 控制器，系统恢复正常工作，并使能 I2C 的门控时钟用于 I2C 的正常通信。

主要有以下几个步骤：

1. 接收地址，I2C 地址接收模块接收主机发来的地址。
2. 地址匹配，I2C 地址接收模块将接收到的地址送到地址匹配电路，地址匹配电路将 I2C 接收的地址与 MCU 控制器的 I2C 地址进行比较。
3. 产生中断，所述 I2C 地址接收模块将接收到的地址与 MCU 控制器的 I2C 地址匹配则产生中断，否则不产生中断。
4. 唤醒 MCU，中断送到中断控制模块，然后唤醒 MCU 控制器。
5. 恢复工作，MCU 控制器过时钟门控模块打开时钟，系统恢复正常工作，并清除地址匹配中断，启动 I2C 通信模块开始进行 I2C 通信。

在进入 STOP 模式前，必须先把地址匹配唤醒模块使能，即置位 I2CSTPEN.0。系统唤醒后，关闭该唤醒模块，即清 I2CSTPEN.0，并软件清除 I2C 的中断标志位 I2CCON.3，其后续的正常通讯由 I2C 完成。

18.4 寄存器说明

I2C 的相关寄存器如表 18-3 所示。

表 18-3 I2C 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
I2CDAT	I2C 数据寄存器	x	R/W	0000_0000B	93H
I2CADR	I2C 地址寄存器	x	R/W	1000_0000B	94H
I2CCON	I2C 控制寄存器	x	R/W	1000_0011B	95H
I2CSTA	I2C 状态寄存器	x	R	1111_1000B	96H
I2CSMB_SEL	SMBus 选择寄存器	x	R/W	0uuu_u000B	97H
I2CSMB_DST	SMBus 数据寄存器	x	R/W	0000_0000B	9AH
I2CSTPEN	I2C STOP 模式配置寄存器	x	R/W	uuuu_uuu0B	9BH
IOMUX2	I/O 复用控制寄存器 2	x	R/W	00uu_0000B	FFE2H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

I2C 相关寄存器详细说明如下：

I2C 数据寄存器 I2CDAT (93H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	I2CDAT							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit 7:0 I2CDAT: I2C 数据寄存器

作为主机/从机模式发送时, 写 I2CDAT 寄存器时, 数据将通过 I2C 总线向外发送, 当作为主机/从机模式接收时, 用户可以读取 I2CDAT 寄存器获得总线上传输的数据。由于 I2CDAT 寄存器没有缓冲, 因此用户只能在 I2C 中断的时候读取 I2CDAT 寄存器。

I2C 地址寄存器 I2CADR (94H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	I2CADR							GC
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	1	0	0	0	0	0	0	0

Bit 7:1 I2CADR: I2C 地址寄存器

在 I2C 作为从机时设置从机地址, 共支持 128 个从机地址

Bit 0 GC: 广呼模式

0: 广呼被忽略

1: 广呼被识别

I2C 控制寄存器 I2CCON (95H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CR2	ENS1	STA	STO	SI	AA	CR1	CR0
访问权限:	R/W							
复位值:	1	0	0	0	0	0	1	1

Bit 7 CR2: 主机模式速率控制位 2, 具体见 CRO

Bit 6 ENS1: I2C 使能控制位

0: 禁止 I2C

1: 使能 I2C

Bit 5 STA: I2C 起始标志, 当 I2C 总线空闲时, 置该位为 1 将发送起始位

Bit 4 STO: I2C 终止标志, 当 I2C 工作在主机模式时, 写该位为 1 将发送终止位

Bit 3 SI: I2C 中断标志, 当 I2C 进入 25 种 I2C 状态之一时由硬件置起。该位只能通过软件写 0 清除。

Bit 2 AA: 应答标志位

0: 主/从机模式下接收数据完成不返回应答信号 (NACK)

1: 发生地址匹配, 广呼方式, 主/从机模式下接收数据完成将返回一个应答信号 (ACK)

Bit 1 CR1: 主机模式速率控制位 1, 具体见 CRO

Bit 0 CR0: 主机模式速率控制位 0, 与 CR2、CR1 共同控制主机模式时的发送接收速率, {CR2, CR1, CR0}

000: FCLK/16

001: FCLK/20

010: FCLK/40

011: FCLK/64

100: FCLK/80
 101: FCLK/160
 110: FCLK/240
 111: BAUDCLK/8

其中 BAUDCLK 由定时器 T1 产生，可利用自动重载功能，使用溢出中断产生 I2C 的发送时钟。

I2C 状态标志寄存器 I2CSTA (96H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	I2CSTA					TMOUT	TSOUT	TOUT
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
复 位 值:	1	1	1	1	1	0	0	0

Bit 7:3 I2CSTA: I2C 状态位

- 00000 (00H): 总线错误
- 00001 (08H): START
- 00010 (10H): 主机重复 START
- 00011 (18H): 主机发送地址 ACK
- 00100 (20H): 主机发送地址 NACK
- 00101 (28H): 主机发送数据 ACK
- 00110 (30H): 主机发送数据 NACK
- 00111 (38H): 主机仲裁丢失
- 01000 (40H): 主机接收地址 ACK
- 01001 (48H): 主机接收地址 NACK
- 01010 (50H): 主机接收数据 ACK
- 01011 (58H): 主机接收数据 NACK
- 10100 (A0H): 从机发送 STOP 或重复 START
- 10101 (A8H): 从机发送地址 ACK
- 10110 (B0H): 从机发送仲裁丢失
- 10111 (B8H): 从机发送数据 ACK
- 11000 (C0H): 从机发送数据 NACK
- 11001 (C8H): 从机发送结束数据 ACK
- 01100 (60H): 从机接收地址 ACK
- 01101 (68H): 从机接收仲裁丢失
- 10000 (80H): 从机接收数据 ACK
- 10001 (88H): 从机接收数据 NACK
- 01110 (70H): GC 模式地址 ACK
- 01111 (78H): GC 模式仲裁丢失
- 10010 (90H): GC 模式数据 ACK
- 10011 (98H): GC 模式数据 NACK
- 11111 (F8H): 总线释放，不产生中断

Bit 2 TMOUT: SMBus 字节超时标志
 0: 字节累计未超时
 1: 字节累计超时

Bit 1 TSOUT: SMBus 起始终止超时标志

- 0: 起始终止累计未超时
 - 1: 起始终止累计超时
- Bit 0 TOUT: 时钟低电平超时标志
- 0: 时钟低电平未超时
 - 1: 时钟低电平超时

SMBus 选择寄存器 I2CSMB_SEL (97H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SMBEXEN	—				SMB_SEL		
访问权限:	R/W	R-0	R-0	R-0	R-0	R/W	R/W	R/W
复 位 值:	0	U	U	U	U	0	0	0

- Bit 7 SMBEXEN: SMBus 扩展使能
- 0: 禁止 SMBus 扩展
 - 1: 使能 SMBus 扩展
- Bit 6:3 保留
- Bit 2:0 SMB_SEL: 选择待写的 SMBus 超时寄存器
- 000: 选择 Tmext 低 8 位
 - 001: 选择 Tmext 高 8 位
 - 010: 选择 Tsext 低 8 位
 - 011: 选择 Tsext 高 8 位
 - 100: 选择 Tout 低 8 位
 - 101: 选择 Tout 高 8 位

SMBus 数据寄存器 I2CSMB_DST (9AH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SMB_DST							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7:0 SMB_DST: 写入 SMB_SEL 选择的超时寄存器的数值

I2C STOP 模式配置寄存器 I2CSTPEN (9BH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	—	ACPEN
访问权限:	R-0	R/W						
复 位 值:	U	U	U	U	U	U	U	0

- Bit 7:1 保留
- Bit 0 ACPEN: STOP 模式下地址接收使能
- 0: 屏蔽
 - 1: 使能, 在系统进入 STOP 模式后有效
- 当该位为 1 时, I2C 在 STOP 模式下能够以从机模式工作, 接收地址; 若地址匹配, 则返回 ACK 并产生唤醒系统中断, 并将 SCL 拉低阻止主机继续发送数据。当系统唤醒并将该位清 0 以后, SCL 被释放。

管脚复用控制寄存器 IOMUX2 (FFE2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T1OE	T0OE	—	—	I2CRMP[1:0]		BUZEN	nBUZEN
访问权限:	R/W	R/W	R-0	R-0	R/W	R/W	R/W	R/W
复 位 值:	0	0	U	U	0	0	0	0

Bit 3:2 I2CRMP: I2C 引脚复用
0x: 对应引脚用作 GPIO
10: SCL >> P1.3, SDA >> P1.4
11: SCL >> P2.3, SDA >> P2.4

19. 串行外设接口 SPI

串行外设接口（SPI）提供访问一个全双工同步串行总线或半双工同步串行总线的的能力。SPI 可以作为主机或从机工作，可以使用全双工方式或半双工方式，并可在同一总线上支持多个主机和从机。工作在从机模式或多主机模式时，从选择信号（NSS）只能被配置为输入。多主机环境中通过检测 NSS 信号为低时禁止主机模式操作，以避免两个以上主机试图同时进行数据传输而发生总线冲突。工作在单主机时，主机方从选择信号 NSS 不被 SPI 使用，当作普通 I/O 使用。

19.1 基本特征

LCM08F003G 的 SPI 具备以下特征：

- ◇ 可选择主从机模式
- ◇ 支持全双工方式和半双工方式
- ◇ 支持多主机通信，有检测主机冲突功能
- ◇ 可配置波特率
- ◇ 时钟极性和相位可配置
- ◇ 数据高低位优先发送可选择
- ◇ 主从机数据单线传输功能

正常工作模式下和 SLEEP 模式下 SPI 均可正常工作，产生中断。STOP 模式下，SPI 被禁止。

19.2 管脚配置

SPI 模块用到 4 个外部复位脚，其配置如下表。

表 19-1 SPI 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
NSS	I/O	SPI 接口使能	P1.5	SPIEN (IOMUX0.3) 置 1
MOSI	I/O	SPI 接口主出从入	P0.0	
MISO	I/O	SPI 接口主入从出	P0.1	
SCK	I/O	SPI 接口时钟	P1.0	

19.3 功能描述

SPI 的功能框图如下：

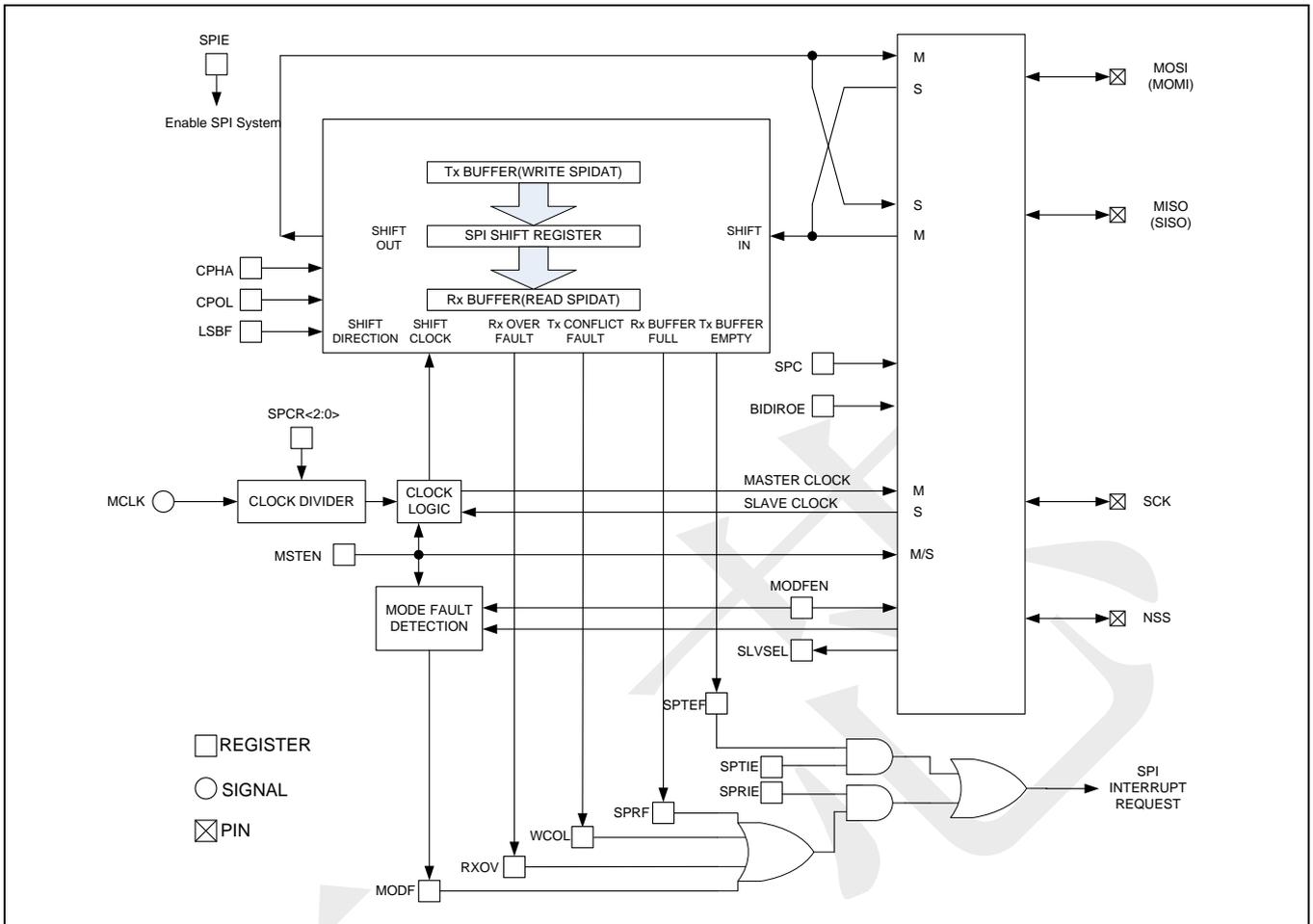


图 19-1 SPI 功能框图

19.3.1 信号说明

SPI 的全双工方式的接口：MOSI、MISO、SCK 和 NSS；半双工方式的接口：MOMI、SISO、SCK 和 NSS，其中 MOMI 与 MOSI 复用且只存在于主机模式，SISO 与 MISO 复用且只存在于从机模式。

✧ 串行时钟（SCK）

串行时钟（SCK）信号是主机的输出和从机的输入，用于同步主机和从机之间在 MOSI 和 MISO 线上的串行数据传输。当 SPI 作为主机时产生该信号。在从机模式时，当从机未被选中时（NSS=1），SCK 信号被忽略。

✧ 主输出、从输入（MOSI）

全双工模式（SPC=0）下，MOSI 用于从主机到从机的串行数据传输：主机输出，从机输入。

半双工模式（SPC=1）下，作为主机时，MOSI 变为 MOMI，其输入输出使能由控制位 BIDIROE 决定，当 BIDIROE=0 时为输入，BIDIROE=1 则为输出。作为从机时，MOSI 不被 SPI 使用，而是用作普通 I/O。

✧ 主输入、从输出（MISO）

全双工模式（SPC=0）下，MISO 用于从从机到主机的串行数据传输：主机输入，从机输出。

半双工模式（SPC=1）下，作为从机时，MISO 变为 SISO，其输入输出使能由控制位 BIDIROE 决定，当 BIDIROE=0 时为输入，BIDIROE=1 则为输出。作为主机时，MISO 不被 SPI 使用，而是用作普通 I/O。

✧ 从选择（NSS）

这是一个用于选择从机的可选管脚。

当工作在主机模式时，如果 MODFEN = 0 时，NSS 作为从机选择输出位，当与从机有数据传输的时候，自动有效。如果 MODFEN = 1 且 SPC = 0 时，NSS 被配置成多主机模式冲突检测输入脚，当 NSS 变低时，表

示产生主机冲突，MODF 置 1，同时将 MSTEN 清零，SPI 变为从机模式，并申请中断。

当工作在从机模式时，NSS 被配置成从机选择输入。当 NSS 变低时，表示从机被选中准备与主机通信。

表 19-2 NSS 脚功能

SPIEN	MODFEN	SPC	主机模式 (MSTEN=1)	从机模式 (MSTEN=0)
0	x	x	普通 I/O	普通 I/O
1	0	0	从机选择输出	从机选择输入
1	0	1	从机选择输出	从机选择输入
1	1	0	多主机模式冲突检测输入	从机选择输入
1	1	1	普通 I/O	从机选择输入

图 19-2 至图 19-6 给出了不同模式下的典型连接图。

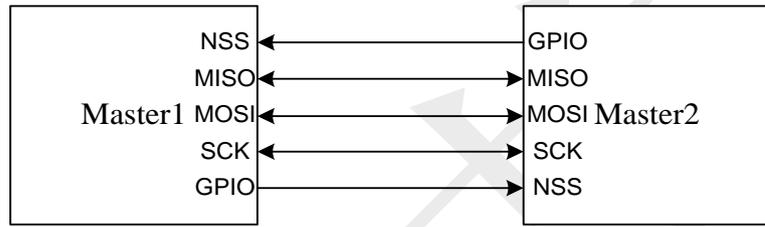


图 19-2 SPI 多主机连接（全双工方式）

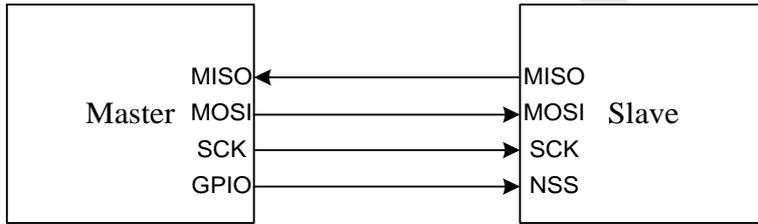


图 19-3 SPI 单主机和单从机连接（全双工方式）

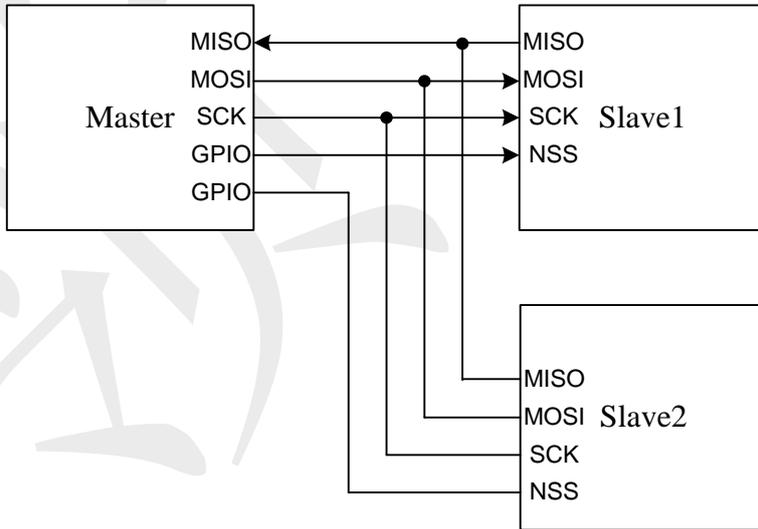


图 19-4 SPI 单主机和多从机连接（全双工方式）

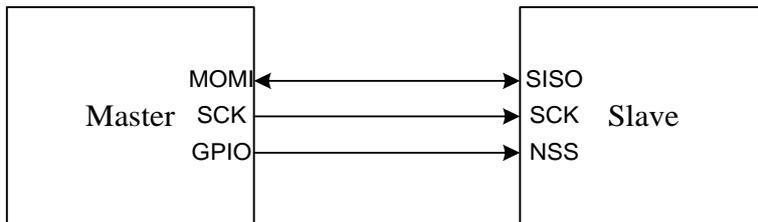


图 19-5 SPI 单主机和单从机连接（半双工方式）

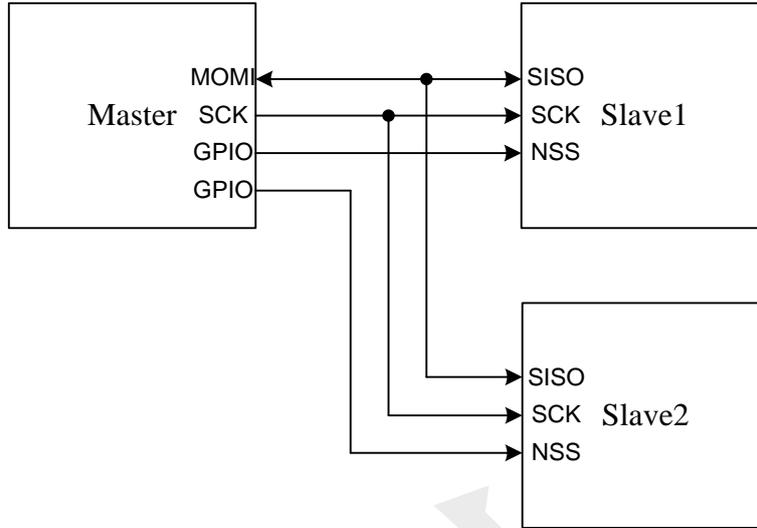


图 19-6 SPI 单主机和多从机连接（半双工方式）

19.3.2 SPI 工作方式

◇ SPI 主机模式

SPI 总线上的所有数据传输都由 SPI 主机启动。将 MSTEN 置 1，SPI 工作在主机模式。

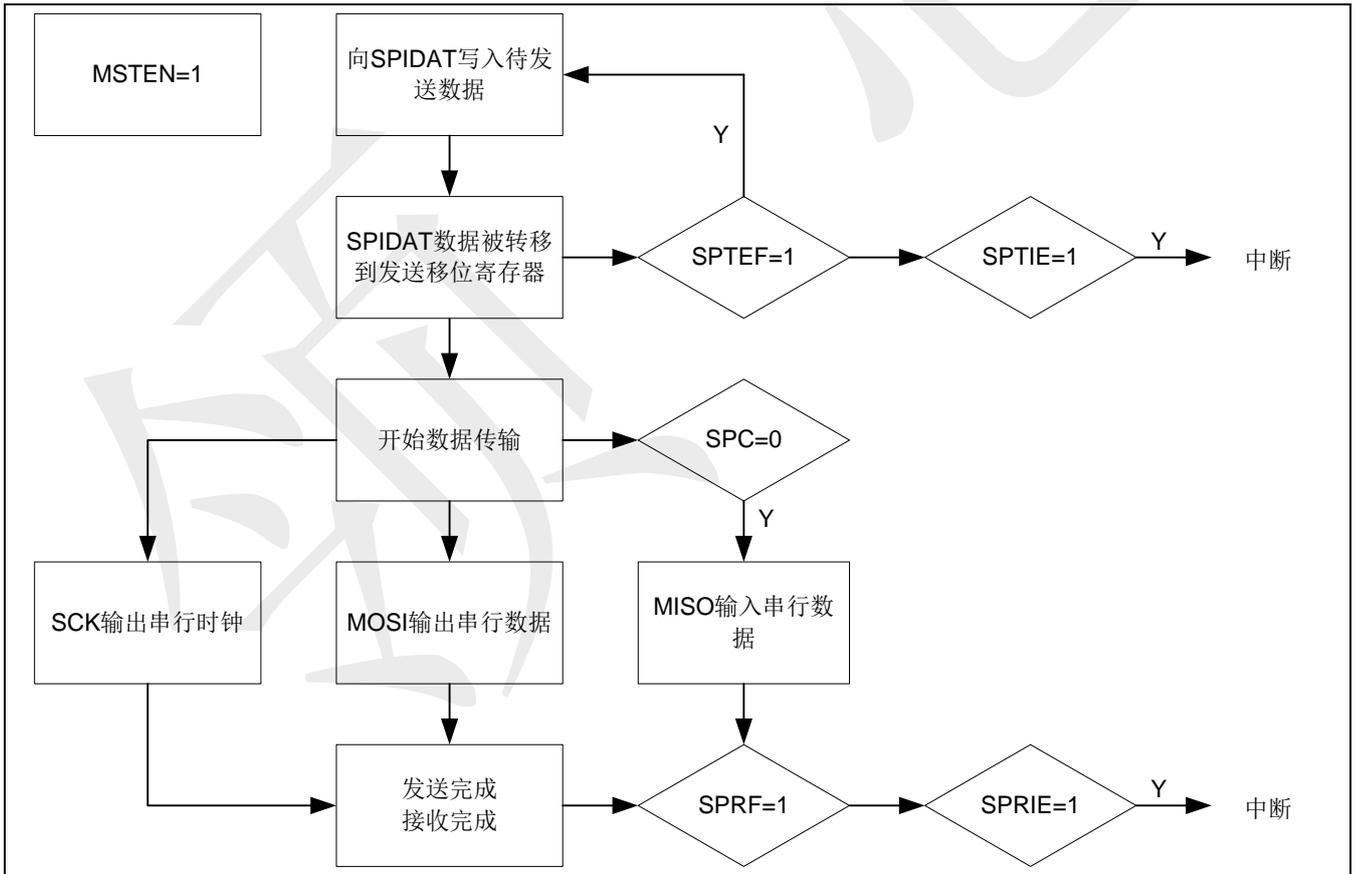


图 19-7 SPI 主机模式数据传输流程

当处于主机模式时，向 SPI 数据寄存器 SPIDAT 写入一个字节时是写发送缓冲器，随后 SPTEF 清零表示缓冲器有数据待发送。如果 SPI 传输移位寄存器为空，发送缓冲器的数据被传送到移位寄存器，数据传输开始，随后 SPTEF 置 1 表示发送缓冲器为空，可以向缓冲器中放下一个发送数据了，如果 SPTIE 为 1 时则申请中断。

数据被移到传输移位寄存器后，主机立即在 SCK 上输出串行时钟，同时在 MOSI 线上串行移出数据。如果 LSBF 为 1，移位寄存器的数据从低位开始发送；如果 LSBF 为 0，移位寄存器的数据从高位开始发送。

在全双工操作中，如果当主机在 MOSI 线上向从机发送数据时，被寻址的 SPI 从机可以同时在 MISO 线上向主机发送数据。在传输完成后，将接收到的数据从传输移位寄存器传到接收缓冲器，同时 SPRF 置 1，如果 SPI 中断允许则申请中断。因此 SPRF 标志即作为发送完成标志又作为接收数据完成标志。

SPI 可以工作在下面的三种主机模式：全双工多主机模式，全双工单主机模式和半双工单主机模式。当 SPC=0 且 MODFEN=1 时选择全双工多主机模式，数据输入输出分别在 MISO 和 MOSI 上传输，NSS 是输入脚，用于避免多主机同时启动传输而发生总线冲突。在该方式下，当 NSS 被拉为低电平时，MSTEN 被硬件清零，SPI 变为从机模式，同时 MODF 置 1，如果中断允许则申请中断。

当 SPC=0 且 MODFEN=0 时选择全双工单主机模式，数据输入输出分别在 MISO 和 MOSI 上传输，NSS 不被 SPI 使用，当普通 I/O。

当 SPC=1 时选择半双工单主机模式，数据输入输出都在 MOMI（与 MOSI 复用）上传输，MISO 和 NSS 都不被 SPI 使用，当普通 I/O。MODFEN 不起作用。在该方式下，MOMI 的输入输出由 BIDIROE 控制。当 BIDIROE=1 时，MOMI 作输出；当 BIDIROE=0 时，MOMI 作输入。在输出状态时，SPI 由写 SPIDAT 启动发送一个字节；在输入状态时，SPI 也由写 SPIDAT 来启动接收一个字节。

✧ SPI 从机模式

将 MSTEN 置 0 时，SPI 工作在从机模式。

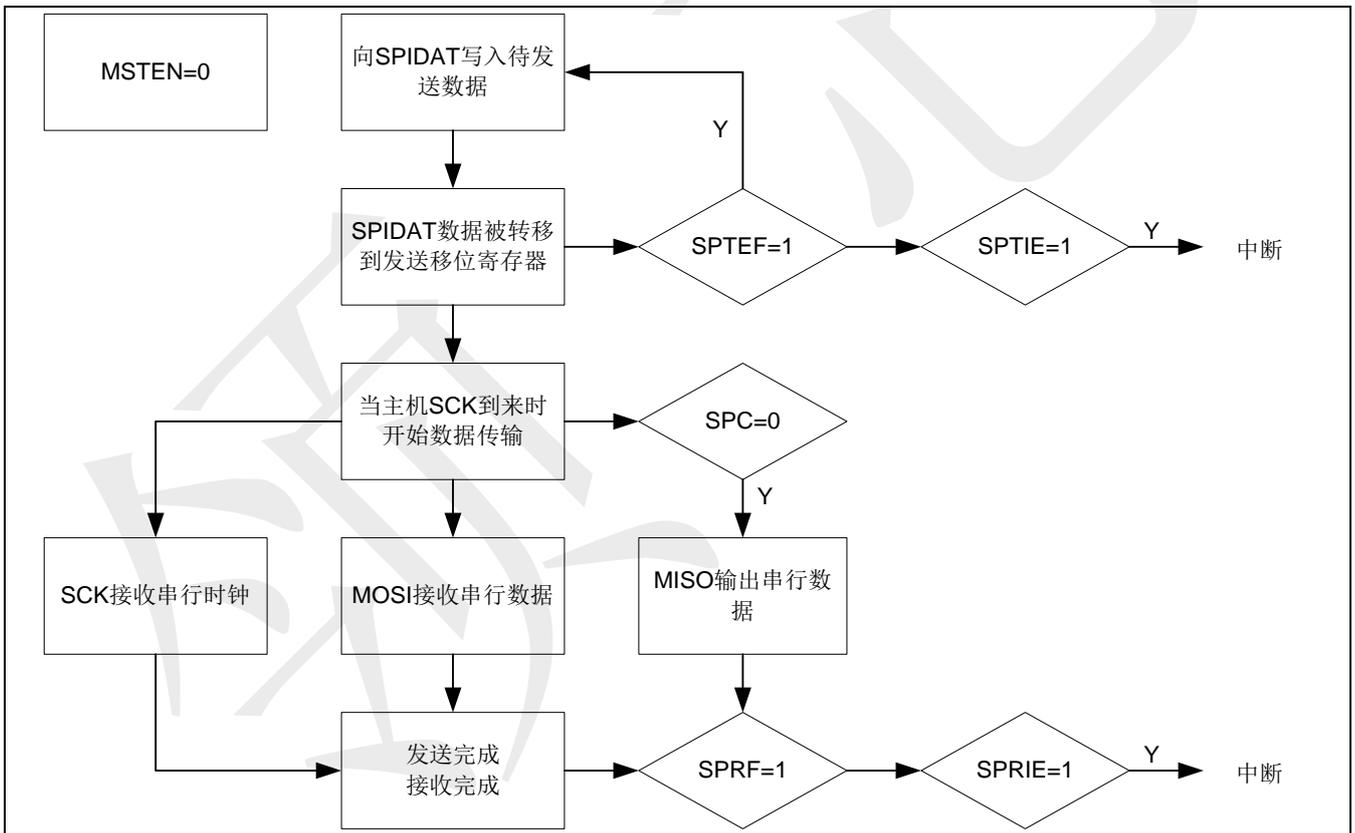


图 19-8 SPI 从机模式数据传输流程

作为从机，SCK 由主机提供，从 MOSI 移入数据，从 MISO 移出数据。SPI 逻辑中的位计数器对 SCK 计数，当 8 位数据经过传输移位寄存器传输完成后，将数据传到接收缓冲器，同时 SPRF 置 1，如果 SPI 中断允许则申请中断。通过读 SPIDAT 寄存器来读取接收缓冲器中的数据。从机不能启动数据传输，通过写 SPIDAT 寄存器来预装要发送给主机的数据。写往 SPIDAT 的数据是双缓冲的，首先被放到发送缓冲器，随后 SPTEF 清零表示缓冲器有数据待发送。如果传输移位寄存器为空，发送缓冲器中的数据会立即被传送到传输移位寄存器，随后 SPTEF 置 1 表示发送缓冲器为空，可以向缓冲器中放下一个发送数据了，如果 SPTIE 为 1 时则申请中断。如果 LSBF 为 1，传输移位寄存器的数据从低位开始发送；如果 LSBF 为 0，传输移位寄存器的数据

从高位开始发送。

注：作为从机工作时，要发送的数据必须在一次传输之前写入 SPIDAT，在发送开始以后再写入的数据不会在当前字节传输过程从 MISO 端口输出。一次传输开始的概念：对于单次传输，指从机的 NSS 被拉低；对于连续传输，指上一个字节传输完成。

SPI 可以工作在下面的两种从机模式：全双工从机模式和半双工从机模式。当 SPC=0 时选择全双工从机模式，数据输入输出分别在 MOSI 和 MISO 上传输，NSS 作从机选择输入。当 NSS 为逻辑 0 时，SPI 被使能；当 NSS 为逻辑 1 时，SPI 被禁止。在 NSS 的下降沿，位计数器被复位。

当 SPC=1 时选择半双工从机模式，数据输入输出都在 SISO 上传输，NSS 作从机选择输入。在该方式下，SISO 的输入输出由 BIDIROE 控制。当 BIDIROE=1 时，SISO 作输出；当 BIDIROE=0 时，SISO 作输入。在输出状态时，需在主机启动传输之前将所要发送的数据放到 SPIDAT 寄存器中；在输入状态时，等待 SPRF 置 1 表示一个数据接收完成。当 NSS 为逻辑 0 时，SPI 被使能；当 NSS 为逻辑 1 时，SPI 被禁止。在 NSS 的下降沿，位计数器被复位。

19.3.3 中断源

SPI 中断使能分为如下 3 个层次：

- ✧ 总使能开关 EA，位于寄存器 IE 的 bit7；
- ✧ SPI 中断使能 ESPIO，位于寄存器 EIE1 的 bit0；
- ✧ 标志位 SPRF、RXOV、WCOL、MODF 置位要产生中断请求，需将 SPRIE 置位；标志位 SPTEF 置位要产生中断请求，需将 SPTIE 置位。

下面分别描述各个标志位的置位、清零过程。下面的示意图均以 CPHA=1、CPOL=1，SCK 为外设时钟 PCLK 的 2 分频为例，来描述各标志位的置位和清零情况。其中，PCLK 为系统外设时钟，与系统主时钟 MCLK 同相，在 SLEEP 模式下并不停止。如果 SPI 中断被允许，在下述 5 个标志位被置 1 时将产生中断。

✧ 当一个字节传输完成，接收缓冲器满标志位 SPRF 置 1，如果 SPRIE=1，则申请中断。在软件读到 SPRF 为 1 后，再读 SPIDAT 寄存器时该标志位清零。该标志适用于所有工作方式。中断要求只有软件读到 SPRF 为 1 后，并且清零，中断申请才停止，否则一直申请中断。这样要求是防止在中断服务程序中，SPRF 在 SPIFLG 读出之后再置位，导致未被检测到而造成中断丢失。

现在增加 SPRIE 控制信号。进入中断服务程序以后，首先将 SPTIE 和 SPRIE 清零，再读 SPIFLG，处理对应中断。中断服务程序返回后，再打开 SPTIE 和 SPRIE，如果有在中断服务程序中未能被检测到的标志位为高电平，就会产生中断请求信号。（下面几个标志位同理）

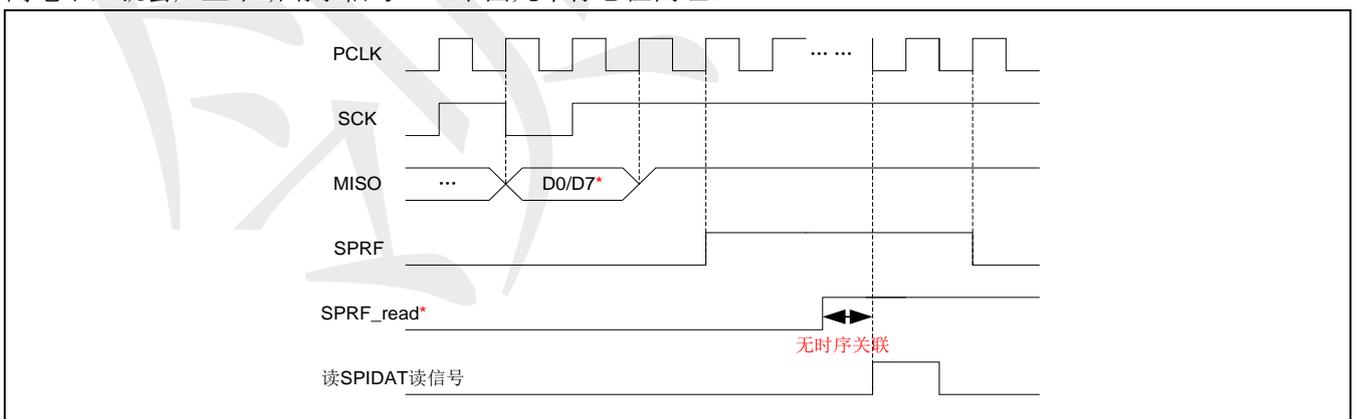


图 19-9 SPRF 置位/清零示意图

注：1. MISO 时序中，最后一个输入的数据由 LSBF=1/0 分别决定为 D7/D0。下同。

2. SPRF_read 是用软件读 SPRF 得到的控制位，只有此位为 1 后，再读 SPIDAT 方能将 SPRF 清零。因为 SPRF_read 是软件读出，这里没有明确跟时钟沿对应。

✧ 当发送缓冲器由满变为空时，发送缓冲器空标志位 SPTEF 置 1。如果 SPTIE=1，则申请中断；如果 SPTIE=0，

禁止中断。该标志适用于所有工作方式。中断要求当发送缓冲器由满变为空时产生中断，只有软件读到 1 后中断申请才停止，否则一直申请中断。SPTEF 标志位在软件读到 1 后，对 SPIDAT 写数据，才会清零。

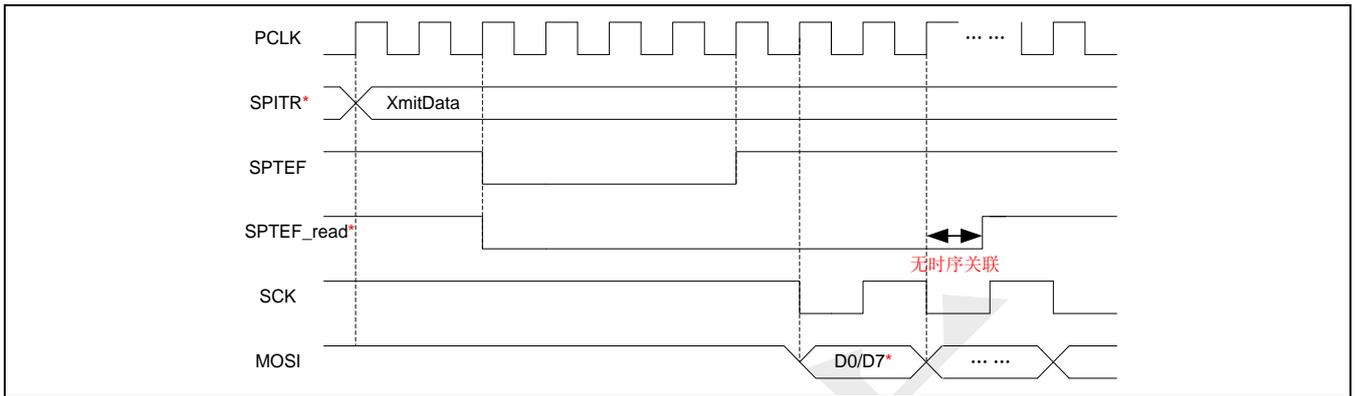


图 19-10 SPTEF 置位/清零示意图

注：1. SPITR表示对SPIDAT写值，这个数据是将被发送的。

2. SPTEF_read是用软件读SPTEF得到的控制位，只有此位为1后，再对SPIDAT写值方能将SPTEF清零。因为SPTEF_read是软件读出，这里没有明确跟时钟沿对应。

◇ 当一次传输完成，接收缓冲器还保存着上次数据未被读取时，接收溢出标志位 RXOV 置 1，如果 SPRIE=1，则申请中断。该标志适用于所有工作方式。中断要求只有软件读到 RXOV 为 1 后，并且清零，中断申请才停止，否则一直申请中断。此标志位软件读到 1 后写 0 才可以清零。

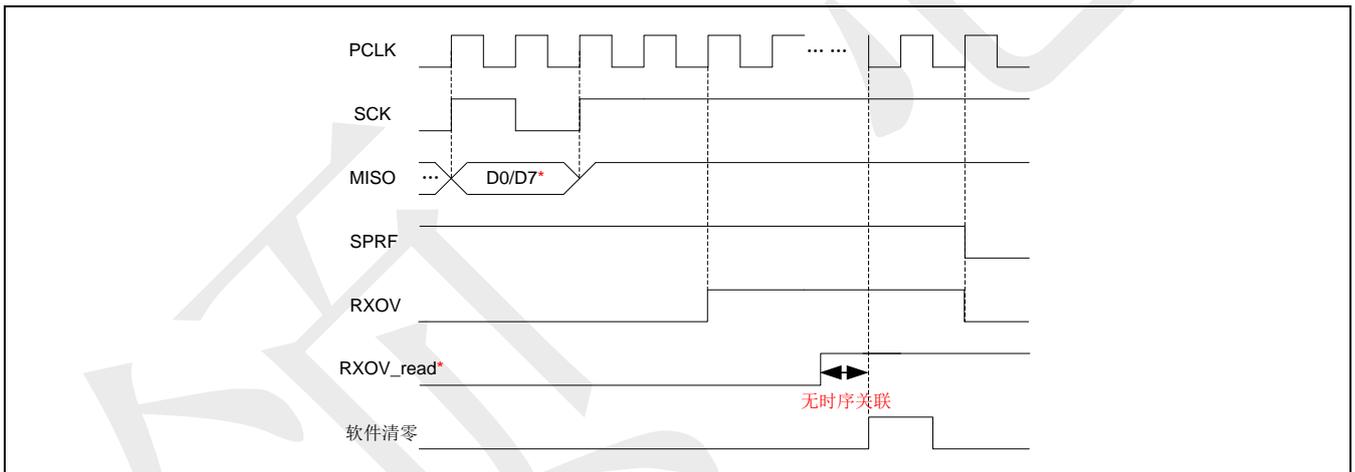


图 19-11 RXOV 置位/清零示意图

注：RXOV_read是用软件读RXOV得到的控制位，只有此位为1后，再软件写0才能将RXOV清零。因 RXOV_read是软件读出，这里没有明确跟时钟沿对应。

◇ 当发送缓冲器里还有数据未移到传输移位寄存器，而又向发送缓冲器写数据时 WCOL 置 1，如果 SPRIE=1，则申请中断。该标志适用于所有工作方式。中断要求只有软件读到 WCOL 为 1 后，并且清零，中断申请才停止，否则一直申请中断。此标志位软件读到 1 后写 0 才可以清零。

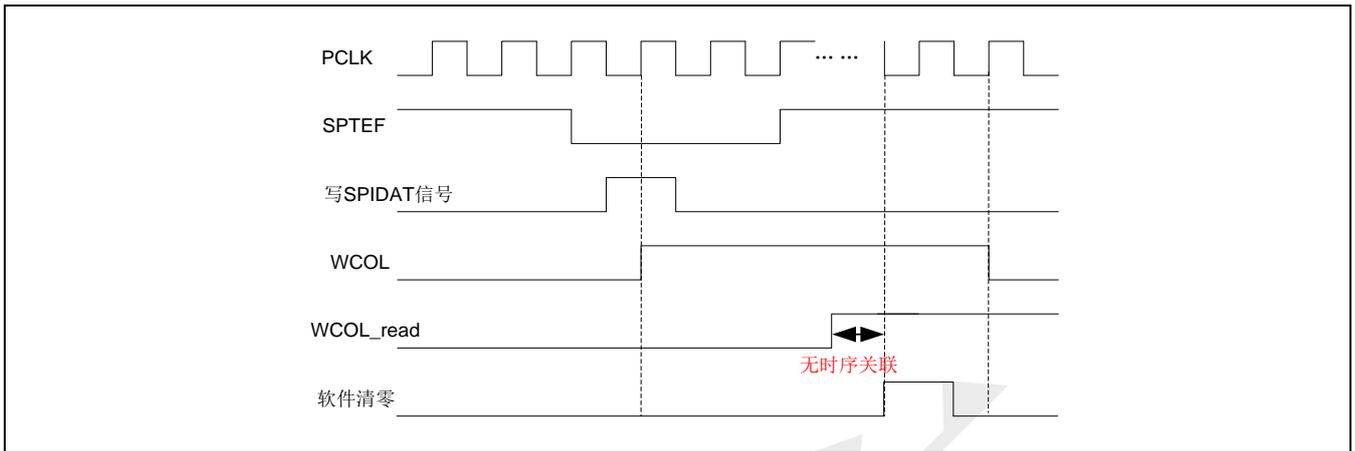


图 19-12 WCOL 置位/清零示意图

◇ 当 $MSTEN=1$, $SPC=0$ 且 $MODFEN=1$ 时, SPI 被配置成全双工多主机模式, 该方式下 NSS 被拉低时, 同时 $MSTEN$ 被硬件清零, SPI 变为从机模式, $MODF$ 置 1, 如果 $SPRIE=1$, 则申请中断。中断要求只有软件读到 $MODF$ 为 1 后, 并且清零, 中断申请才停止, 否则一直申请中断。此标志位软件读到 1 写 0 才可以清零。

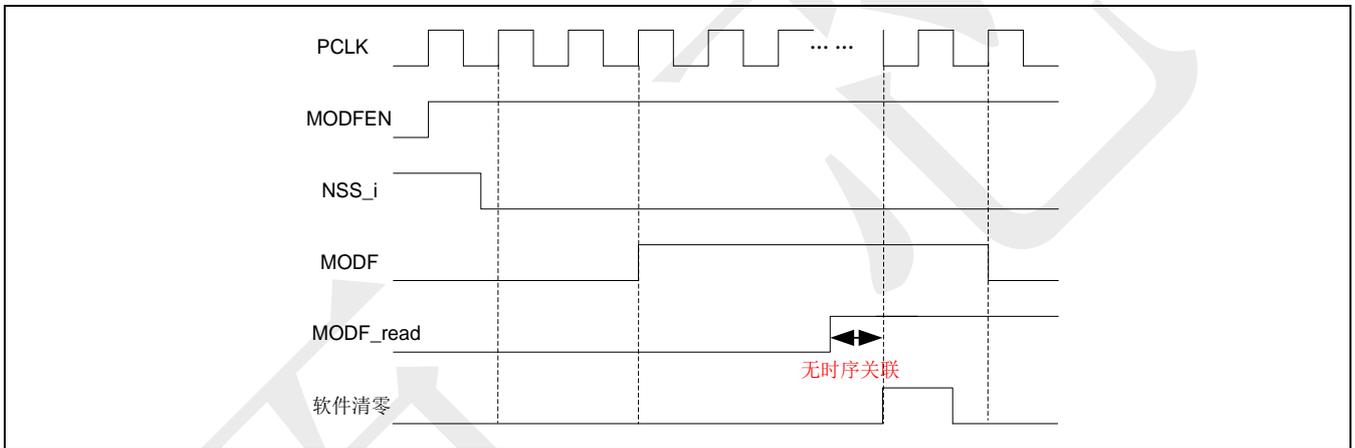


图 19-13 MODF 置位/清零示意图

注: 当检测到 $MODF$ 标志位置位 (或者发生 $MODF$ 中断), 即系统检测到多主机模式错误, $MSTEN$ 标志位被硬件清零, 端口 SCK 、 $MOSI$ 被自动设置为输入避免数据冲突。在 $MODF$ 标志位被软件清零之前, SPI 不能进行数据传输, 在开始新的传输过程前, 必须将 $MODF$ 清零, 并用软件重新使能 SPI (先禁止再使能 SPIE)。

19.3.4 串行时序

SPI 可以通过时钟控制选择位 $CPHA$ 和 $CPOL$ 的配置成 4 种模式。 $CPHA$ 选择时钟相位, 决定是第一个边沿锁存数据, 还是第二个边沿锁存数据。 $CPOL$ 选择时钟极性, 决定空闲时为高电平, 还是空闲时为低电平。主机和从机必须配置为使用相同的时钟相位和极性。图 19-14 为主机模式下时钟和数据线的时序关系。图 19-15 为从机模式下的时钟和数据线的时序关系。

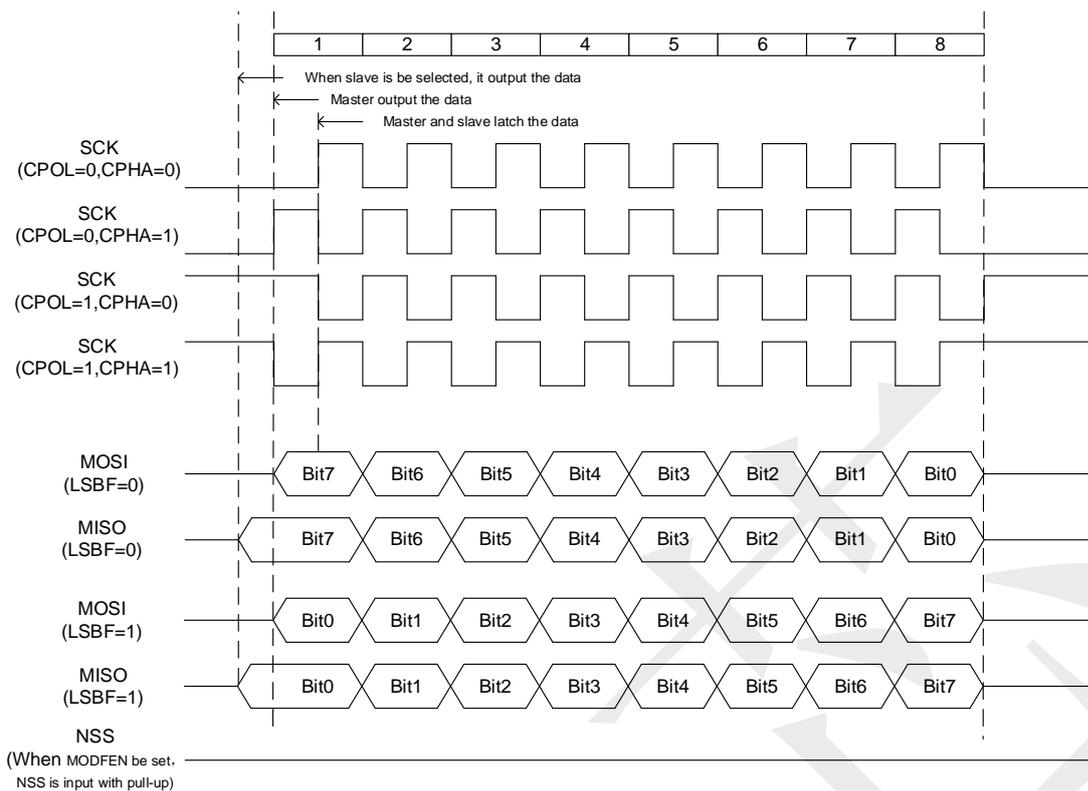


图 19-14 SPI 主机模式数据和时钟时序图

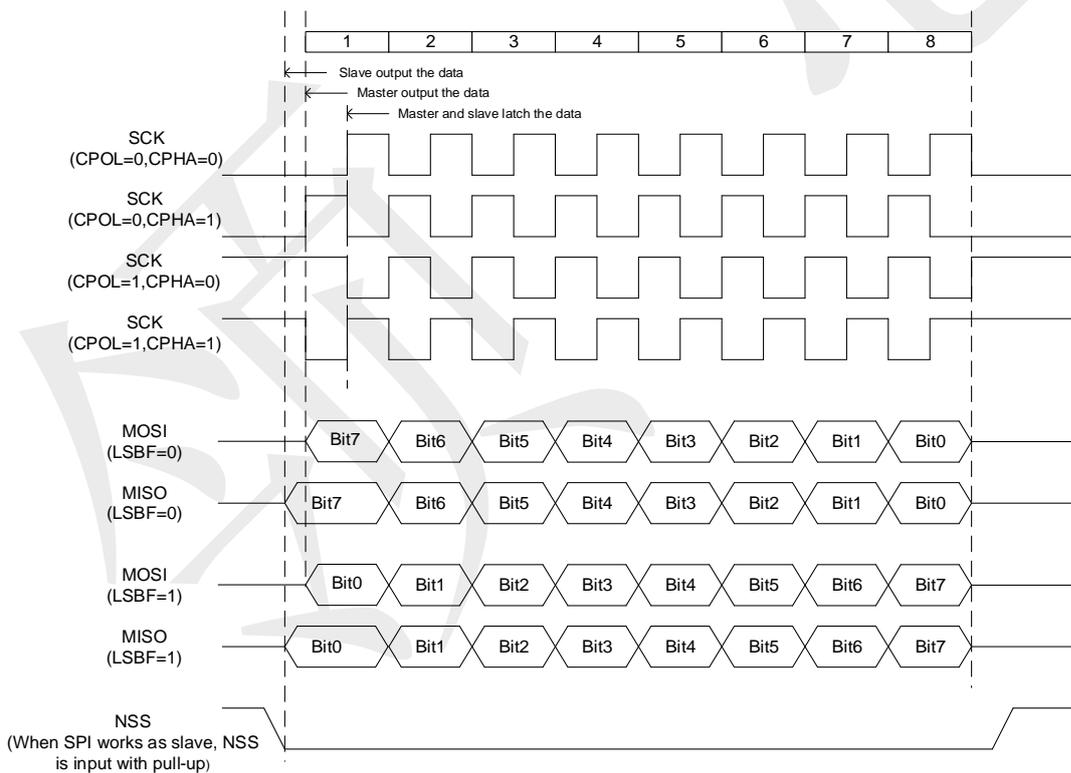


图 19-15 SPI 从机模式数据和时钟的时序图

作为从机时，当 NSS 被拉低后，如果发送缓冲区不为空（SPTEF=0），则要发送数据的首位会立即输出到 MISO 端口。

19.3.5 波特率限制

作为主机时，其传输波特率由 MCLK 的分频来决定，分频系数 SPCR[2:0]控制将 MCLK 分频作为 SCK。由

于需要采集 SCK 上升沿和下降沿，为了传输准确性 SCK 最快为 MCLK 的 2 分频。最慢则为 256 分频。当系统时钟为 4MHz 时，理论最快传输波特率达到 2Mbps。此时需要从机响应时间（从接收到 SCK 有效沿，到发出有效数据时间）小于主机的一个 MCLK 周期，否则通信出错，主机接收到的数据发生移位。

作为从机时，传输波特率理论上由外部输入 SCK 频率来决定。由于是同步系统，需要用 MCLK 来同步外部输入的 SCK，并捕获其上升沿和下降沿，因此外部输入 SCK 最快频率也要受限于 MCLK 频率，频率最高只能达到 MCLK 的 4 分频。

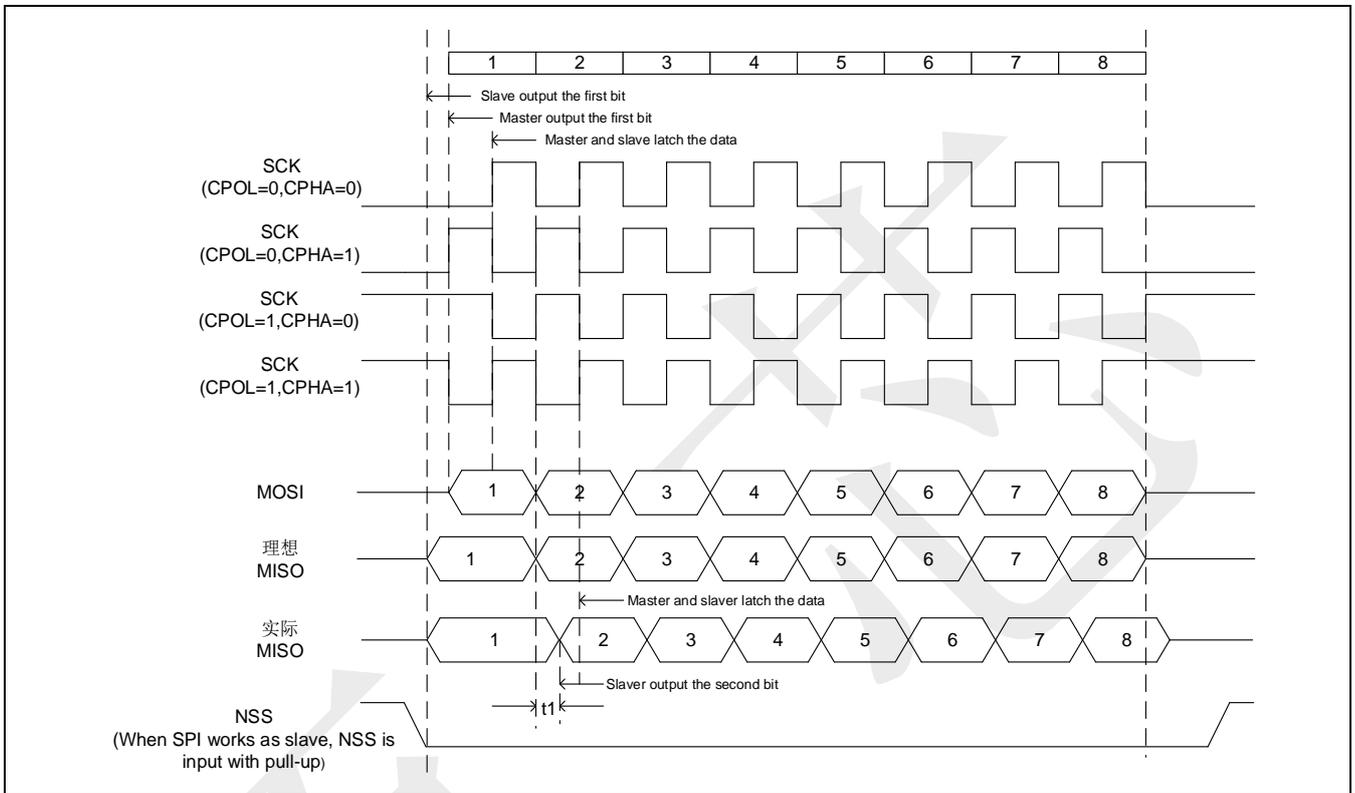


图 19-16 SPI 从机模式波特率限制时序示意图

如上图所示：由于涉及到用内部 MCLK 同步 SCK，需要 1~2 个 MCLK 周期；另外需要采集 SCK 沿，也需要 1 个 MCLK 周期；因此实际从机输出 MISO 与理想状况下相比要滞后 t_1 时长， $t_1 \leq 3 * T_{MCLK}$ 。为保证数据锁存正确性，此数据输出沿必须在主机锁存数据时钟沿之前，因此外部 SCK 频率至少要为 MCLK 的 4 分频。也就是说，当 MCLK=4MHz 时，SPI 从机传输最大波特率为 1Mbps。

具体时钟参数请参考下面的图表。

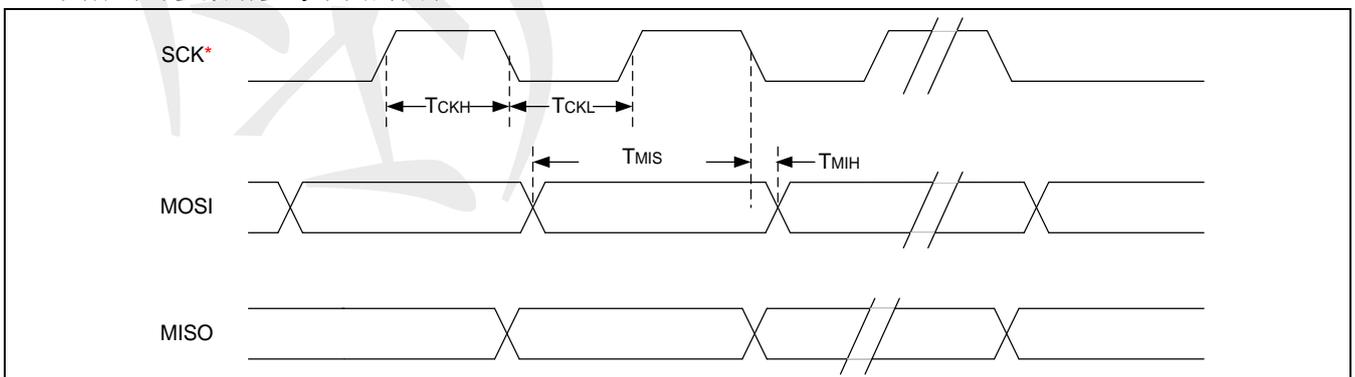


图 19-17 SPI 主机模式时序要求 (CPHA=0)

这是对应 CPOL=0 时的 SCK 波形，对于 CPOL=1，SCK 波形极性反相。

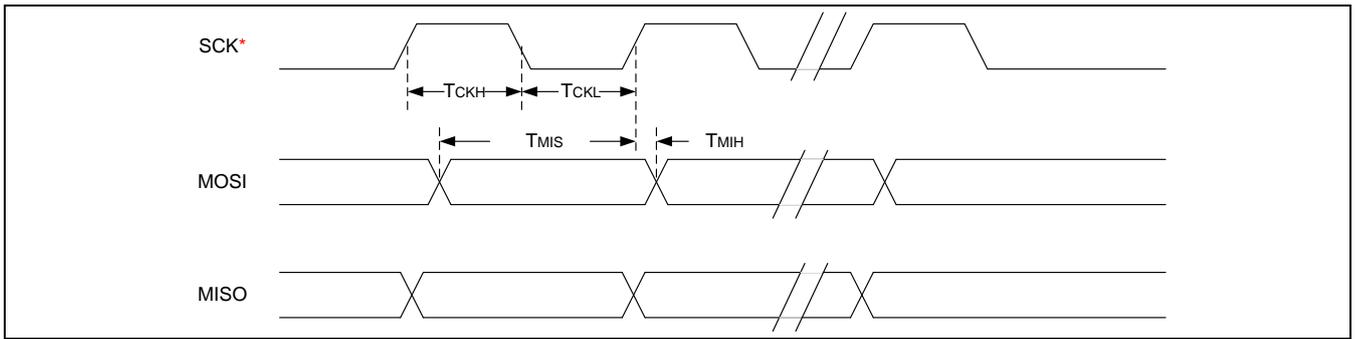


图 19-18 SPI 主机模式时序要求 (CPHA=1)

这是对应CPOL=0时SCK的波形，CPOL=1时，SCK波形极性反相。

表 19-3 SPI 主机模式时序参数

参数	说明	最小值	最大值	单位
T_{MCKH}	SCK 高电平时间	$1 * T_{MCLK}$		ns
T_{MCKL}	SCK 低电平时间	$1 * T_{MCLK}$		ns
T_{MIS}	MISO 有效到 SCK 移位边沿	$1 * T_{MCLK} + 20$		ns
T_{MIH}	SCK 移位边沿到 MISO 发生改变	0		ns

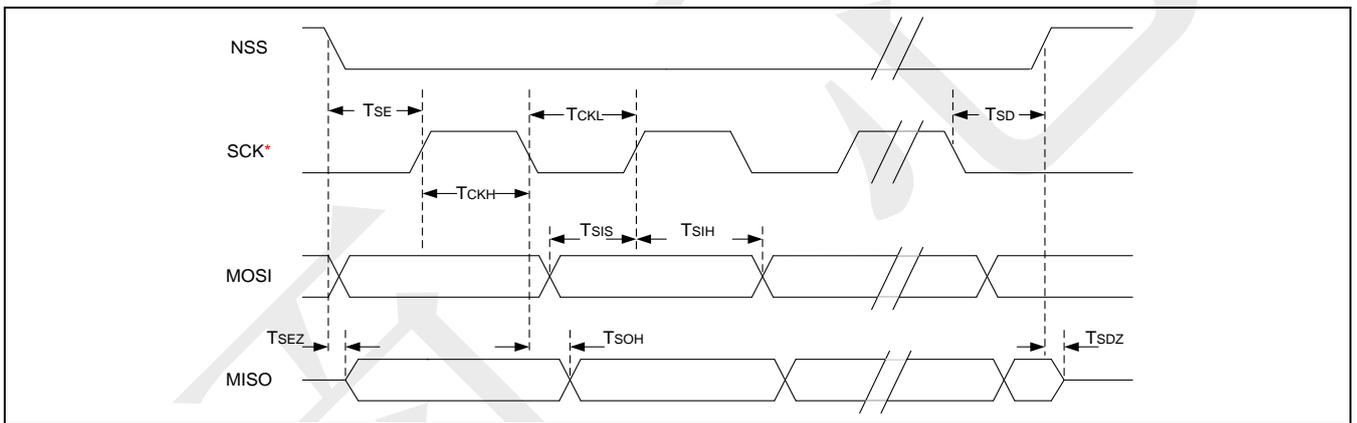


图 19-19 SPI 从机模式时序要求 (CPHA=0)

这是对应CPOL=0时的SCK波形，对于CPOL=1，SCK波形极性反相。

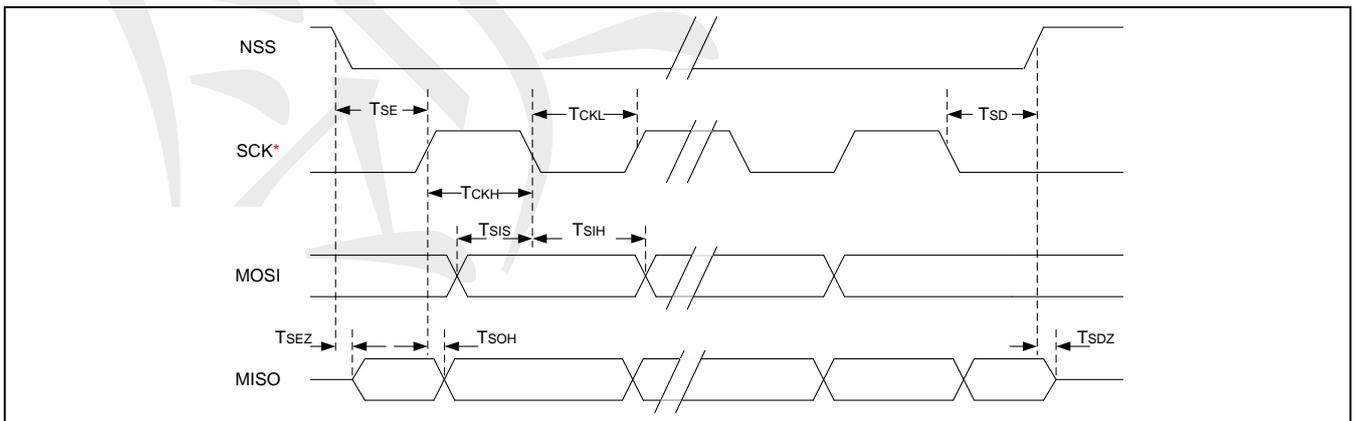


图 19-20 SPI 从机模式时序要求 (CPHA=1)

这是对应CPOL=0时SCK的波形，CPOL=1时，SCK波形极性反相。

表 19-4 SPI 从机模式时序参数

参数	说明	最小值	最大值	单位
----	----	-----	-----	----

T _{SE}	NSS 下降沿到第一个 SCK 边沿	2*T _{MCLK}		ns
T _{SD}	最后一个 SCK 边沿到 NSS 上升沿	2*T _{MCLK}		ns
T _{SEZ}	NSS 下降沿到 MISO 有效		4*T _{MCLK}	ns
T _{SDZ}	NSS 上升沿到 MISO 变为高阻态		4*T _{MCLK}	ns
T _{CKH}	SCK 高电平时间	4*T _{MCLK}		ns
T _{CKL}	SCK 低电平时间	4*T _{MCLK}		ns
T _{SIS}	MOSI 有效到 SCK 采样边沿	2*T _{MCLK}		ns
T _{SIH}	SCK 采样边沿到 MOSI 发生改变	2*T _{MCLK}		ns
T _{SOH}	SCK 移位边沿到 MISO 发生改变		3*T _{MCLK}	ns

19.3.6 使用提示

- ✧ SPI 模块禁止会复位 SPIFLG 寄存器标志位，并清空发送/接收缓冲区数据。
- ✧ SPI 模块使能以后，作为主机使用时：只要满足 SPTEF=0（表明发送缓存不为空）就可以启动传输。则主机的从机选择信号 NSS 须在此之前由软件设置好，设置方法同 GPIO，且在多从机应用时不局限于 NSS 这一个引脚。
- ✧ SPI 作为主机使用，停止传输过程的方法是在最后一个想要发送的数据从发送缓冲区载入移位寄存器以后，读一次 SPIFLG（清除 SPTEF 引起的中断），而不对 SPIDAT 写值。
- ✧ SPI 作为从机使用时：当 NSS 被拉低，从机就进入传输等待状态，等 SCK 到来时在对应时钟沿从主机接收数据。

从机 NSS 被拉低时 SPTEF=0（表示从机发送缓冲区中有数据），则 3 个 MCLK 周期以后会将此数据载入发送移位寄存器，且数据的首位（最高位还是最低位由 LSBF 来控制）会同时输出到 MISO 端口，等待主机的 SCK 对应沿来锁存数据。从机后面的 7bit 数据发送、锁存分别由 SCK 的不同沿来触发，但是发送、锁存时间分别滞后最多 2 个 MCLK 周期。使用时必须保证从机发送的有效数据在主机的锁存沿之前。

19.4 寄存器说明

SPI 的相关寄存器如表 19-5 所示。

表 19-5 SPI 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
SPICON0	SPI 控制寄存器 0	√	R/W	0000_0000B	F8H
SPICON1	SPI 控制寄存器 1	×	R/W	000u_u000B	F9H
SPIFLG	SPI 标志寄存器	×	R/W	uu01_0000B	FAH
SPIDAT	SPI 数据寄存器	×	R/W	0000_0000B	FBH
IOMUX0	I/O 复用控制寄存器 0	×	R/W	0000_0000B	FFE0H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

SPI 相关寄存器详细说明如下：

SPI 控制寄存器 0 SPICON0 (F8H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	SPIE	MSTEN	LSBF	SPC ¹	BIDIROE ²	MODFEN ³	SPTIE ⁴	SPRIE ⁵
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
注 1	SPC=1 时选择半双工方式。此时，当 MSTEN = 0（从机模式）时，MISO 变为 SISO 做双向数据传输，MOSI 不被							

	SPI 使用，做普通 I/O。当 MSTEN = 1（主机模式）时，MOSI 变为 MOMI 做双向数据传输，MISO 不被 SPI 使用，做普通 I/O。
注 2	只有当 SPC=1 时，BIDIROE 才有效，用来决定 MOMI 和 SISO 的输入输出属性。
注 3	SPI 配置成主机时，NSS 被设置成多主机模式冲突检测输入脚。当 SPI 配置成从机时，该位无效。
注 4	当发送缓冲区为空即 SPTEF=1 时，申请中断。
注 5	SPRIE 位用来控制 SPRF、RXOV、WCOL、MODF。

- Bit 7 SPIE: SPI 模块使能位
0: 禁止 SPI 模块（默认）
1: 使能 SPI 模块
- Bit 6 MSTEN: 主从机模式选择位
0: 工作在从机模式（默认）
1: 工作在主机模式
- Bit 5 LSBF: 低位优先发送使能位
0: 高位优先发送（默认）
1: 低位优先发送
- Bit 4 SPC: SPI 工作方式选择位
0: 选择全双工方式（默认）
1: 选择半双工方式
- Bit 3 BIDIROE: 半双工方式时 MOMI 或 SISO 输入输出控制位
0: MOMI 或 SISO 设置成输入（默认）
1: MOMI 或 SISO 设置成输出
- Bit 2 MODFEN: 多主机模式冲突检测使能位
0: 多主机模式冲突检测输入禁止，NSS 做普通 I/O（默认）
1: 多主机模式冲突检测输入使能。
- Bit 1 SPTIE: SPI 发送缓冲器空中断使能位
0: 禁止 SPTEF 中断（默认）
1: 允许 SPTEF 申请中断
- Bit 0 SPRIE: SPI 中断使能位（相对于 SPRF、RXOV、WCOL、MODF）
0: 禁止中断（默认）
1: 允许中断

SPI 控制寄存器 1 SPICON1 (F9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CPOL	CPHA	NSS_CON	—	—	SPCR[2:0]		
访问权限:	R/W	R/W	R/W	R-0	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	U	U	0	0	0

- Bit 7 CPOL: SPI 时钟（SCK）极性选择位
0: SCK 空闲状态时处于低电平（默认）
1: SCK 空闲状态时处于高电平
- Bit 6 CPHA: SPI 时钟相位控制位
0: 在 SCK 周期的第一个边沿锁存数据（默认）
1: 在 SCK 周期的第二个边沿锁存数据
- Bit 5 NSS_CON: NSS 软件控制使能

0: NSS 由控制器产生，每发送或接收完一字节 NSS 电平拉高。

1: 作为主机 NSS 所对应的脚 P1.5 做为 GPIO 由用户控制 NSS 的状态，不受控制器影响；作为从机 SPI 默认选中（芯片内部固定为 0），P1.5 不做为 NSS 功能脚，而复用成 GPIO 使用。

Bit 4:3 保留

Bit 2:0 SPCR[2:0]: SPI 时钟频率选择位

000: MCK/2（默认）

001: MCLK/4

010: MCLK/8

011: MCLK/16

100: MCLK/32

101: MCLK/64

110: MCLK/128

111: MCLK/256

SPI 标志寄存器 SPIFLG (FAH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	SPRF ¹	SPTEF ²	RXOV	WCOL	MODF	SLVSEL
访问权限:	R-0	R-0	R-0	R-0	R/W	R/W	R/W	R-0
复位值:	U	U	0	1	0	0	0	0
注 1	SPRF 置 1 表示 SPI 传输完成，需要从数据寄存器 SPIDAT 中读数据。当读到 SPRF 为 1 后，再读数据寄存器 SPIDAT，SPRF 被清零。当 SPIE=0 时，此标志位被复位。							
注 2	当发送缓冲器为空时 SPTEF 置 1，往发送缓冲器写数据后自动清零。当读到 SPTEF 为 1 后，然后再写新的数据到 SPIDAT。在往 SPIDAT 写数据之前，必须读到 SPTEF 为 1，否则新写的数据会被忽略。当发送缓冲器的数据被移到传输移位寄存器时，SPTEF 自动置 1，启动一个字节的传输。当 SPIE=0 时，此标志位被复位。							

Bit 7:6 保留

Bit 5 SPRF: 接收缓冲器满标志位

0: 在接收缓冲器中没有数据

1: 在接收缓冲器中有新数据

Bit 4 SPTEF: 发送缓冲区空标志位

0: 在发送缓冲器中有数据

1: 在发送缓冲器中没有数据

Bit 3 RXOV: 接收缓冲器溢出标志位

当接收缓冲器里数据未读走即 SPRF = 1，而传输移位寄存又接收完一个新数据时 RXOV 置 1，原来的数据被覆盖。当读到 RXOV 为 1 后，该位才能软件清零。当 SPIE=0 时，此标志位被复位。

Bit 2 WCOL: 写冲突标志位

当发送缓冲器里还有数据未发送即 SPTEF=0，而又向发送缓冲器写数据时 WCOL 置 1。当读到 WCOL 为 1 后，该位才能软件清零。当 SPIE=0 时，此标志位被复位。

Bit 1 MODF: 多主机模式冲突标志位

当检测到主机模式冲突（SPI 设置在全双工多主机模式，NSS 有低电平输入）时，MODF 置 1。当读到 MODF 为 1 后，该位才能软件清零。当 SPIE=0 时，此标志位被复位。

Bit 0 SLVSEL: 从选择标志位

当 NSS 引脚为低电平时该位被置 1，表示从机是被选中。当 NSS 引脚为高电平时（从机未被选中）该位被清 0。该位不是 NSS 引脚的即时值，而是该引脚输入的去噪信号。当 SPIE=0 时，此

标志位被复位。

SPI 数据寄存器 SPIDAT (FBH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPIDAT[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 SPI DAT[7:0]: 发送接收数据寄存器。

SPIDAT 用于发送和接收 SPI 传输数据。在主机模式下，向 SPIDAT 写数据时，数据被放到传输移位寄存器时并启动发送，在从机模式下，向 SPIDAT 写数据是预装要发送的数据。在主机或从机模式下，读 SPIDAT 是返回接收缓冲器的数据。

管脚复用控制寄存器 IOMUX0 (FFE0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMPOSEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 3 SPIEN: SPI 引脚复用控制信号

0: P0.0、P0.1、P1.0、P1.5 做 GPIO 使用（默认）

1: 对应引脚复用成 SPI 功能脚

MOSI >> P0.0, MISO >> P0.1, SCK >> P1.0, NSS >> P1.5

20. ADC 控制器

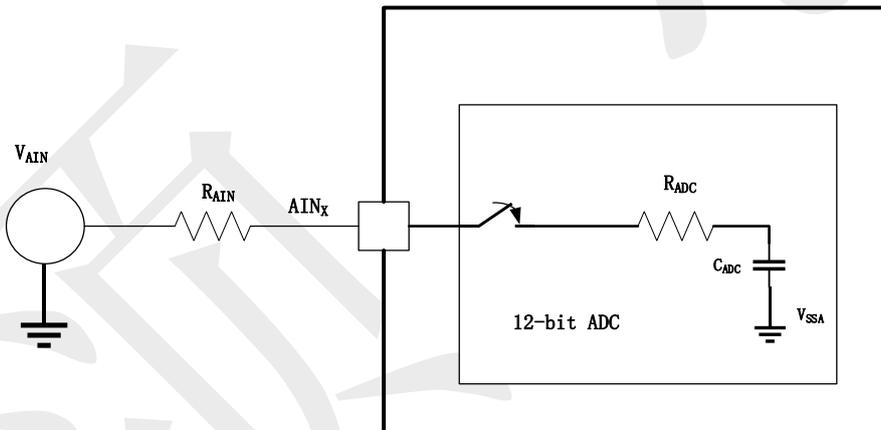
12 位 AD 转换器主要用于对外部模拟信号进行采集，以实现系统状态检测并实施反馈控制。ADC 转换输入支持 16 路复用。其中外部 13 路（P0.0~P0.7, P1.0~P1.1, P2.0~P2.2）输入通道，内部 5 路。由程序选择其中的一个通道输入转换信号，结果保存在两个 8-bit 的寄存器中。转换时钟有 4 个时钟源可选。参考电压可以直接采用内部电源电压 VDD 或固定参考电压 VRH。支持不同的触发模式：软件模式、外部引脚触发、定时器 T0~T2 触发、高级定时器 T3 触发和比较器触发，同时支持全速模式。

20.1 基本特征

LCM08F003G 的 ADC 具备以下特征：

- ◇ 线性逐次比较结构实现 12 位转换精度
- ◇ 最大 16 路模拟通道
- ◇ 转换结果 12bit，左右对齐格式可选
- ◇ 转换结束标志可产生中断
- ◇ 4 种转换时钟源选择
- ◇ 典型转换速率 1Msps VDD >=4.5V
- ◇ 内部带隙基准电压输入通道，可实现电压检测
- ◇ 支持多种工作模式：软件模式、外部触发模式（包括引脚、T0~T3、比较器）和全速模式
- ◇ 支持阈值比较功能

12-bit ADC 外部输入阻抗 R_{AIN}



R_{ADC} ：内部采样电阻， C_{ADC} ：内部采样保持电容

R_{AIN} 计算方程式

$$R_{AIN} < \frac{t}{C_{ADC} * \ln(2^{N+1})} - R_{ADC}$$

公式中的采样时间 $t = \frac{T(cycles)}{f_{ADC}}$ ，N 是 ADC 的分辨率，这里取 12， $f_{ADC} = 16M$, $V_{AIN} = 0 \sim V_{ref}$ ，

$R_{ADC} = 500\Omega$ ， $C_{ADC} = 8pF$ ，将参数带入以上公式，计算得出最大外部输入阻抗 $R_{AIN max}$

$R_{AIN max}$ ($f_{ADC} = 16MHz$)

T (cycles)	t (us)	$R_{AIN max}$
2	0.125	1.2K
3	0.187	2.1K

5	0.3125	3.8K
7	0.4375	5.6K

20.2 管脚配置

ADC 模块用到 11 个管脚复用，具体配置见下表：

表 20-1 ADC 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
AD0~AD10, AD13, AD15	I	模拟信号输入	P0.0~P0.7 P1.0/P1.1 P2.0~P2.2	由 POAEN/P1AEN/P2AEN 控制
VTS	I/O	外部温度传感器电压	P0.6	由 POAEN[6]和 VTSEN 控制 VTSEN=0, POAEN[6]=1 时候, 采样外部电压; VTSEN=1 时, 采样内部温度传感器。
VREF	I/O	VBG 参考电压输出	P2.2	由 P2AEN[2]和 VROE 控制。 当 VROE=1'b1, P2AEN[2]=0 时, 采样 VREF; 当 VROE=1'b0, P2AEN[2]=1 时, 采样外部输入电压。
ADVRH	I/O	VRH 输出	P1.3	由 ADPREF[1:0]控制
ADCTRIG	I	外部引脚触发输入	P0.4/P1.3	由 POMDH/P1MDL 和 EXTSEL 控制

20.3 功能描述

ADC 的结构框图如下：

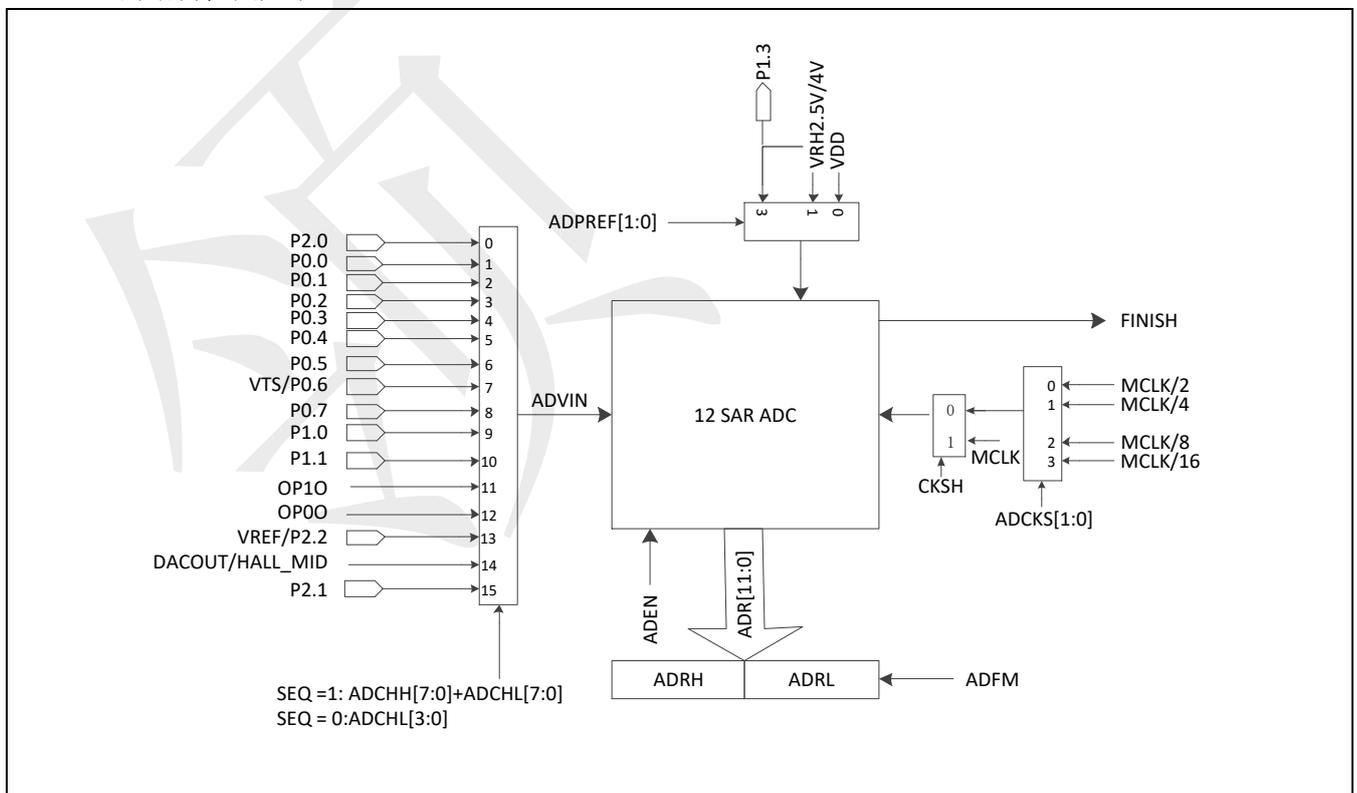


图 20-1 ADC 结构框图

20.3.1 工作模式

LCM08F003G 的 ADC 支持三种不同的模式。

- ◇ 软件模式：使能 ADC (ADEN=1) 的情况下，每次配置 ADGO，进行一次转换，ADGO 转换结束后硬件自动清 0；
- ◇ 触发模式：每次触发即开始一次新的 AD 采样 (ADGO 由硬件置 1，ADEN 是否硬件置位由 ADENTRG 决定)，支持外部引脚触发、定时器触发、比较器触发等；
- ◇ 全速模式：支持两种全速工作方式
 1. 读方式：每次转换完成，将转换结果读回 (对 ADRESH 进行读操作)，即开始新的 AD 采样 (ADEN 和 ADGO 由硬件置 1)；
 2. 比较方式：置位比较使能 (EC=1)，每次转换完成，若比较结果不满足要求 (如 CMPDIR=1 时，ADCOUT <= CMPDATA)，新的采样随即开始。

20.3.2 触发机制选择

3 种触发机制供选择：软件触发、外部触发和比较结果触发。其中外部触发源包括：外部引脚、定时器 0/1/2/3、比较器 0。触发条件包括：上升沿/下降沿/高电平/低电平触发。

触发时延：ADCDLY[7:0]与 ADCTRG.6 (ADCDLY8) 组成 9 位延时计数器，外部触发延时时间=(ADCDLY8, ADCDLY)/F_{ADC}，其中 F_{ADC} 为 AD 外设时钟。

比较结果触发：当该次 AD 转换结果不满足预设条件时，硬件再次触发 ADC 转换，直至满足结果比较条件，在正常模式或低功耗模式下均可进行。

20.3.3 参考电源选择

LCM08F003G 的 ADC 支持不同的参考电压选择，由 ADPREF (ADCFG[7:6]) 选择控制，如图 20-2 所示。

当 ADPREF=00 时候，选择 VDD 为参考电压，但 ADPREF=01 时，选择 VRH 作为参考电压，该电压来自内部 PMU 模块中，可以有 2 个电压 2.5V/4V 可选，由 VRH_SEL 选择位控制。当 ADPREF=11 时，VRH 和 ADVRH 同时打开，VRH 给 AD 提供电压源时可通过外部管脚 P1.3 输出，且可以外挂电容。

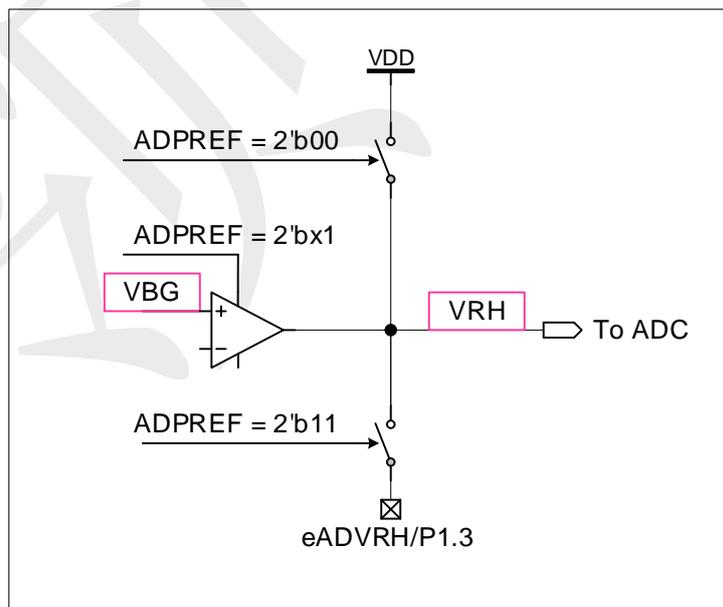


图 20-2 ADC 参考电压框图

20.3.4 VTS 采样配置

ADC的通道7主要用于温度传感器的输出电压采样，通道7的采样根据配置的不同可以选择不同的源，主要由VTSEN和POAEN[6]两位寄存器决定。VTSEN是内部温度传感器的输出使能，POAEN[6]为P0.6引脚模拟通道使能，如图20-3所示。当POAEN[6]=0，VTSEN=1时，通道7直接对VTS采样；当VTSEN=0，POAEN[6]=1，通道7对P0.6引脚进行采样。

其采样速率可用如下公式进行计算： $ADC \text{ 采样速率} = (\text{采样脉冲宽度} + 12) * ADC \text{ 采样时钟}$ 。

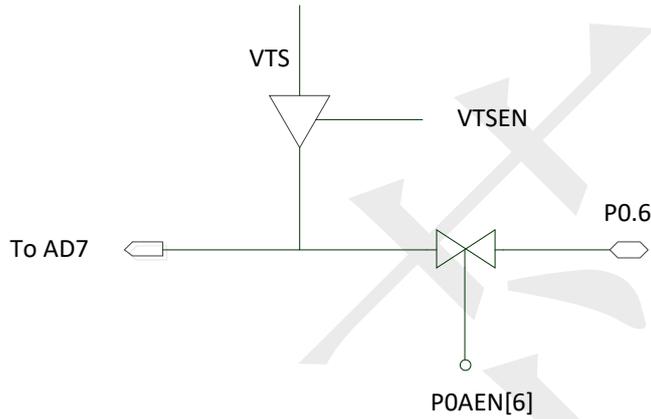


图 20-3 ADC 通道 7 结构

20.4 寄存器说明

ADC的相关寄存器如表20-2所示。

表 20-2 ADC 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
ADCON	ADC 控制寄存器	√	R/W	0u00_0000B	D8H
ADRESL	ADC 转换结果寄存器低位	x	R	xxxx_xxxxB	D9H
ADRESH	ADC 转换结果寄存器高位	x	R	xxxx_xxxxB	DAH
CMPDATAH	ADC 比较寄存器高位	x	W	0000_0000B	D9H
CMPDATAH	ADC 比较寄存器高位	x	W	uuuu_0000B	DAH
ADCFIFO	ADC FIFO 控制寄存器	x	R/W	0000_1000B	BDH
ADCSPD	ADC 速度配置寄存器	x	R/W	0000_0001B	FF9EH
ADCTRG	ADC 触发配置寄存器	x	R/W	0000_0000B	FFABH
ADCDLY	ADC 触发时延配置寄存器	x	R/W	0000_0000B	FFACH
ADCMOD	ADC 模式配置寄存器	x	R/W	0000_u000B	FFADH
ADCFG	ADC 配置寄存器	x	R/W	0000_0000B	FFAEH
ADCCHL	ADC 转换通道选择低 8 位	x	R/W	0000_0000B	FFBCH
ADCCHH	ADC 转换通道选择高 8 位	x	R/W	0000_0000B	FFBDH

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

ADC 相关寄存器详细说明如下：

ADC 控制寄存器 ADCON (D8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	VRH_ISL	—	EOSEQ_INTEN	EOSEQ	ADEN	ADGO	INTS	ADENTRG
访问权限:	R/W	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	U	0	0	0	0	0	0

Bit 7 VRH_ISL: VRH 供电电流选择位

0: 117uA

1: 710uA

Bit 6 保留

Bit 5 EOSEQ_INTEN: EOSEQ 中断使能位

0: 中断关闭

1: 中断使能

Bit 4 EOSEQ: 序列转换结束标志位, 由硬件置 1, 写 1 清 0

0: ADC 序列转换未完成

1: ADC 序列转换完成

注: EOSEQ_INTEN 中断使能位开启, ADC 序列转换完成产生中断, 只需要清除 EOSEQ 位即可清除中断。

Bit 3 ADEN: AD 使能位, TO 中断模式下会自动开启

0: 关闭

1: 使能

ADC 通道切换时需要关闭 ADEN。

Bit 2 ADGO: 软件模式启动转换控制位/当前状态查询位

写:

0: 无效

1: 启动 AD 转换

读:

0: AD 转换结束或当前没有进行数据转换

1: AD 正在进行转换

Bit 1 INTS: AD 中断标志

0: 没有中断

1: 产生中断

Bit 0 ADTRGEN: 触发置位 ADEN 控制

0: 触发置位 ADEN 功能关闭 (ADEN 需要软件设置)

1: 触发置位 ADEN 功能开启 (在触发模式下, 触发置位 ADEN)

ADC 模式配置寄存器 ADCMOD (FFADH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SEQ	CMPDIR	ADCMOD[1:0]		—	ADCLKSL[1:0]		EC
访问权限:	R/W	R/W	R/W	R/W	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	0	U	0	0	0

- Bit 7 SEQ: 采样序列使能位
0: 序列不使能, 采样通道 0~15 由 ADCCHL 寄存器 Bit3:0 决定, 只可采样单通道
1: 序列使能, 采样通道由 ADCCHL 和 ADCCHH 组成, 每 Bit 对应相应的通道, 可采多通道
- Bit 6 CMPDIR: ADC 比较结果触发方向选择
0: ADOUT <= CMPDATA
1: ADOUT > CMPDATA
- Bit 5:4 ADCMOD[1:0]: AD 工作模式选择
00: ADGO 置位, 软件模式
01: 触发模式: 每次触发, 即开始一次新的转换
10: 全速模式
方式 1: 每次转换完成, 只要读走转换结果, 新的转换即开始;
方式 2: 比较使能开启 (EC=1) 时, 每次转换完成, 若比较结果未达触发条件 (如 CMPDIR = 1 时, ADCOUT <= CMPDATA), 新的转换随即开始。
11: 保留
- Bit 3 保留
- Bit 2:1 ADCLKSL[1:0]: ADCCLK 时钟源选择
00: MClk
01: RCL
10: RCH
11: 保留
- Bit 0 EC: 比较使能, 当比较使能时, AD 会连续采样直到采样的值大于预先设置好的值时, 才会产生采样结束中断。
0: 不使能
1: 使能

ADC 配置寄存器 ADCFG (FFAEH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADPREF[1:0]		VCM_S	ADFM	INTEN	VRHSEL	ADCKS[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7:6 ADPREF[1:0]: AD 正端参考电压选择位
00: VDD
01: VRH (来自内部 PMU 模块中, 可以有 2 个电压 2.5V/4V 可选)
10: 保留
11: VRH 打开, 给 AD 提供电压源时输出至外部引脚 P1.3, 可外挂电容
- Bit 5 VCM_S: 片内 Vcm 来源选择
0: Vcm 来自电源电压
1: Vcm 来自参考电压
- Bit 4 ADFM: AD 转换结果对齐方式
0: 左对齐, AD 转换结果高 8bit 存放在 ADRESH 中, 低 4bit 放在 ADRESL[7:4]
1: 右对齐, AD 转换结果低 8bit 存放在 ADRESL 中, 高 4bit 放在 ADRESH[3:0]

- Bit 3 INTEN: 单次转换结束中断使能
0: 中断屏蔽
1: 中断使能
- Bit 2 VRHSEL: VRH 选择
0: VRH=2.5V
1: VRH = 4V
- Bit 1:0 ADCKS[1:0]: AD 转换时钟选择位 (与 CKSH 配合使用)
00: ADCCLK/2 (CKSH=0)
01: ADCCLK/4 (CKSH=0)
10: ADCCLK/8 (CKSH=0)
11: ADCCLK/16 (CKSH=0)
xx: ADCCLK/1 (CKSH=1)
AD 最高转换时钟为 16MHz, MCLK 频率过高时, 必须通过配置 ADCKS 降低 ADC 工作时钟。

ADC FIFO 控制寄存器 ADCFIFO (BDH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	FIFO_EN	FIFO_CLR	FULL	HF_FULL	EMPTY	FULL_INTEN	HFULL_INTEN	EMPTY_INTEN
访问权限:	R/W	R/W	R-0	R-0	R-0	R/W	R/W	R/W
复位值:	0	0	0	0	1	0	0	0

- Bit 7 FIFO_EN: ADC FIFO 使能位
0: FIFO 不使能
1: FIFO 使能 (FIFO 全满深度为 8)
- Bit 6 FIFO_CLR: FIFO 清除位
0: FIFO 清除无效
1: FIFO 清除, 写 1 后下一个时钟清 0
- Bit 5 FULL: FIFO 全满标志位
0: FIFO 非全满状态
1: FIFO 全满状态, 不再接受数据写入; 需及时读走 FIFO 内数据
- Bit 4 HF_FULL: FIFO 半满标志位
0: FIFO 非半满状态
1: FIFO 半满状态 (FIFO 中含 4 个有效数据)
- Bit 3 EMPTY: FIFO 空状态标志位
0: FIFO 非空状态
1: FIFO 空状态 (FIFO 中含 0 个有效数据)
- Bit 2 FULL_INTEN: FIFO 满状态中断使能控制位
0: 满状态中断屏蔽
1: 满状态中断使能
- Bit 1 HFULL_INTEN: FIFO 半满状态中断使能控制位
0: 半满状态中断屏蔽
1: 半满状态中断使能
- Bit 0 EMPTY_INTEN: FIFO 空状态中断使能控制位

- 0: 空状态中断屏蔽
- 1: 空状态中断使能

AD 转换结果低 8 位寄存器 ADRESL (D9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADRESL[7:0]							
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
复 位 值:	x	x	x	x	x	x	x	x

AD 转换结果高 8 位寄存器 ADRESH (DAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADRESH[7:0]							
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0
复 位 值:	x	x	x	x	x	x	x	x

保存 AD 转换结果。读取 ADRESH 时会使 FIFO 出队，读取 ADRESL 则不会；为防止数据丢失，须先读取 ADRESL。

AD 结果比较低位寄存器 CMPDATA1 (D9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CMPDATA[7:0]							
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	0	0	0	0	0	0	0	0
注	该寄存器为只写寄存器，地址与 ADRESL 相同。							

AD 结果比较高位寄存器 CMPDATAH (DAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	CMPDATA[11:8]			
访问权限:	R-0	R-0	R-0	R-0	W	W	W	W
复 位 值:	U	U	U	U	0	0	0	0
注	该寄存器为只写寄存器，地址与 ADRESH 相同。							

AD 比较的 12 位数据；在比较使能情况下，ADC 的 12 位采样结果数据，将与 CMPDATA[11:0]进行比较，根据比较结果决定是否产生中断或者产生 PWM 刹车信号。

AD 速度配置寄存器 ADCSPD (FF9EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	LPMODE	LPSPD	CKSH	RESSEL[1:0]		ADHSP	SMPCNT[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	1

- Bit 7
- LPMODE: 低功耗模式
 - 0: 正常工作模式 (默认)
 - 1: 低功耗模式
- LPMODE=1 情况下，每次转换结束 ADC 自动进入低功耗模式。

- Bit 6 LPSPD: 低速运行模式
0: 正常工作模式 (默认)
1: 低速运行模式
当 ADC 分频时钟小于 1MHz 时候, 设置 LPSPD 为 1, 可以减小 ADC 的运行功耗。
- Bit 5 CKSH: ADC 转换时钟选择, 参见 ADCKS 的用法
- Bit 4:3 RESSEL[1:0]: 精度选择位
0x: 12 位
10: 11 位
11: 10 位
当 ADC 工作于最高频率 (1Msps, 时钟频率 16MHz), 而 ADC 输入在模拟值相差很大的通道间跳转时, conv_st 的脉宽可能需要加宽到 4 或 5 个时钟周期, 这时分辨率需要降低。采样脉冲宽度增加一个时钟周期, ADC 分辨率应当降低一位, 否则 ADC 的转换率会降低。
- Bit 2 ADHSP: ADC 高速模式选择位
0: ADC 工作在正常模式
1: ADC 工作在高速模式, 支持 1Msps
当 ADC 需工作于最高频率时 (1Msps, 时钟频率 16MHz), ADHSP 需设为 1。如 ADC 工作于较低频率, ADHSP 应设为 0。
- Bit 1:0 SMPCNT[1:0]: 采样脉冲宽度选择位
00: 2*ADCLK
01: 3*ADCLK (默认)
10: 5*ADCLK
11: 7*ADCLK

ADC 外部触发配置寄存器 ADCTRG (FFABH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CONT	ADCDLY8	EXTSEL	TRGOSRC[2:0]			TRGOTYP[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7 CONT: 连续采样使能位 (SEQ=1 时有效)
0: 断续采样, 单次采集, 触发采样后, 自 0 至 15 依次采集已使能端口, 再次触发后端口递增
1: 连续采样, 多次采集, 触发采样后, 自 0 至 15 一次采集所有已使能端口
- Bit 6 ADCDLY8: 触发时延的第 8 位, 参见寄存器 ADCDLY
- Bit 5 EXTSEL: 外部触发引脚选择
0: P0.4
1: P1.3
- Bit 4:2 TRGOSRC[2:0]: 触发源的选择
000: 外部引脚 P1.3/P0.4 (默认)
001: 定时器 0 中断
010: 定时器 1 中断
011: 定时器 2 中断
100: 定时器 3 中断
101: 比较器 0 结果

其他：外部引脚

Bit 1:0 TRGOTYP[1:0]: 触发条件选择
00: 上升沿触发 (默认)
01: 下降沿触发
10: 高电平触发
11: 低电平触发

ADC 外部触发时延寄存器 ADCDLY (FFACH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ADCDLY[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit 7:0 ADCDLY[7:0]: 外部触发时延, 与 ADCTRG.6 (ADCDLY8) 组成 9 位延时计数器。
延时时间 = (ADCDLY8, ADCDLY) / F_{ADC}, 其中 F_{ADC} 为 AD 外设时钟。

AD 转换通道选择低 8 位寄存器 ADCCHL (FFBCH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ADCCHL[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
注	需先于 ADCCHH 进行写入							

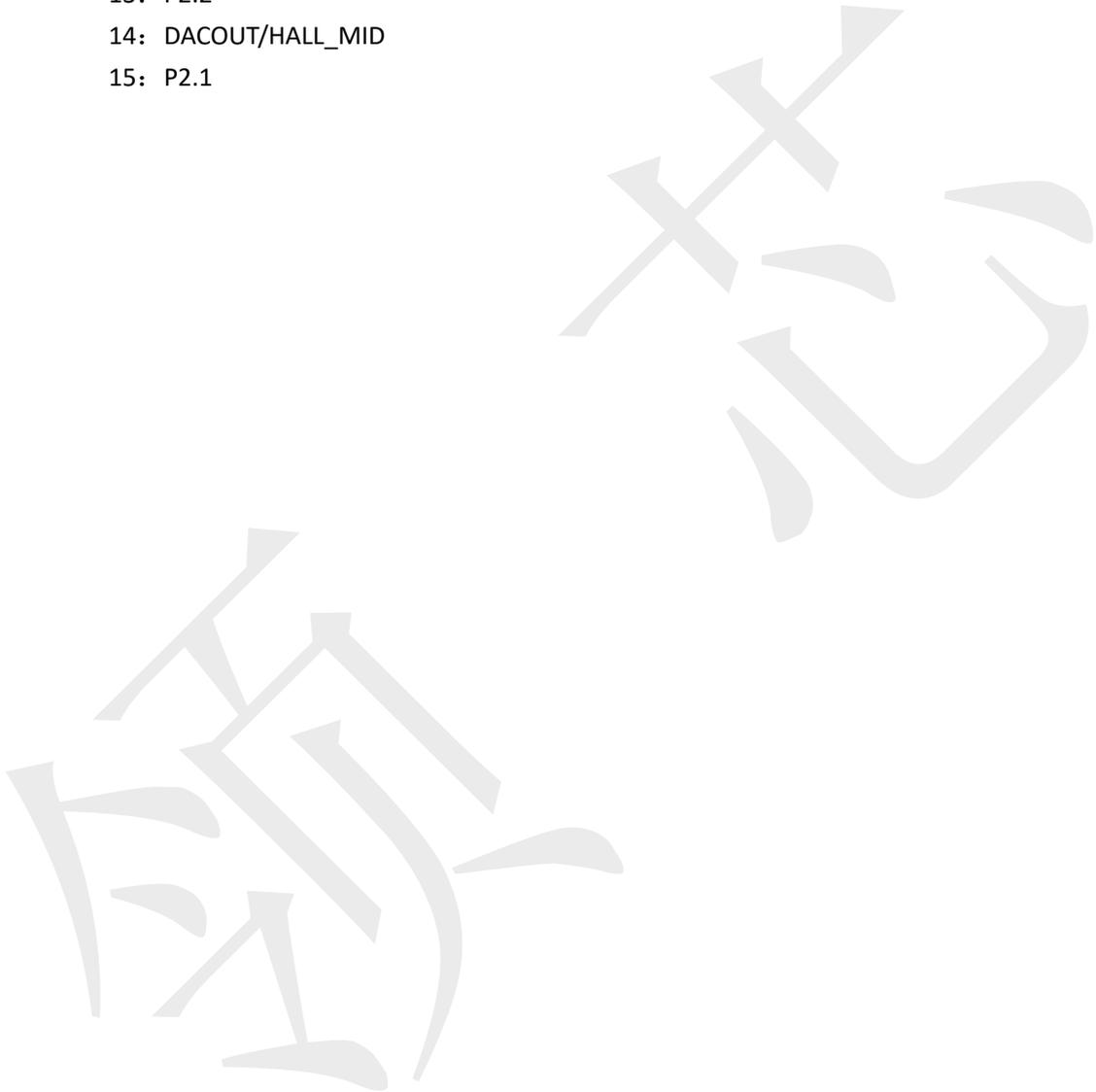
Bit 7:0 ADCCHL[7:0]: 通道选择寄存器低 8 位
SEQ = 1: ADC 通道 0~7 选择寄存器, 每一位控制一个 ADC 转换通道, 与 ADCCHH 构成 16 位通道选择寄存器。
SEQ = 0: ADCCHL[3:0]有效, ADC 通道 0~15 选择寄存器。

AD 转换通道选择高 8 位寄存器 ADCCHH (FFBDH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ADCCHH[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
注	配置 ADC 转换通道时无论是否选择高位通道, 都需在配置 ADCCHL 之后对 ADCCHH 寄存器进行写入操作。							

Bit 7:0 ADCCHH[7:0]: 通道选择寄存器高 8 位
SEQ = 1: ADC 通道 15~8 选择寄存器, 每一位控制一个 ADC 转换通道, 与 ADCCHL 构成 16 位通道选择寄存器。
SEQ = 0: 无效
AD 通道选择:
0: P2.0
1: P0.0
2: P0.1
3: P0.2
4: P0.3

-
- 5: P0.4
 - 6: P0.5
 - 7: P0.6
 - 8: P0.7
 - 9: P1.0
 - 10: P1.1
 - 11: OP10
 - 12: OP00
 - 13: P2.2
 - 14: DACOUT/HALL_MID
 - 15: P2.1



21. DAC 控制器

LCM08F003G 集成了一个 10 位精度的数模转换器 (DAC)。响应速度大于 1MHz，内置输出驱动。DAC 输出电压可作为两路运放的参考电压，作为两路比较器的正向端 CPP 输入，也可输出到外部引脚 P2.2。

21.1 基本特征

LCM08F003G 的 DAC 具备以下特征：

- ◇ 10 位数据右对齐
 - ◇ 同步更新功能
 - ◇ 外部触发转换
 - ◇ 软件触发转换
 - ◇ PMU 模块的基准电压 VRH，决定 DAC 输出电压的上限
- HALL_MID 与 DAC 共用一个输出信号 DACOUT；编程时须保证两者不同时打开。

21.2 管脚配置

DAC 模块与 4 个管脚复用，具体配置见下表：

表 21-1 DAC 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
DAO	O	模拟信号输出 (DACEN = 1, DACOUTEN = 1, AMPOUT1_EN = 1, HALL_MID_EN = 0)	P2.2	由 P2AEN[2]控制
Trg0	I	外部触发引脚输入	P0.1	由 DACTRL.TRIGSRC 选择
Trg1	I	外部触发引脚输入	P0.7	
Trg2	I	外部触发引脚输入	P2.3	

21.3 功能概述

DAC 的连接框图如下：

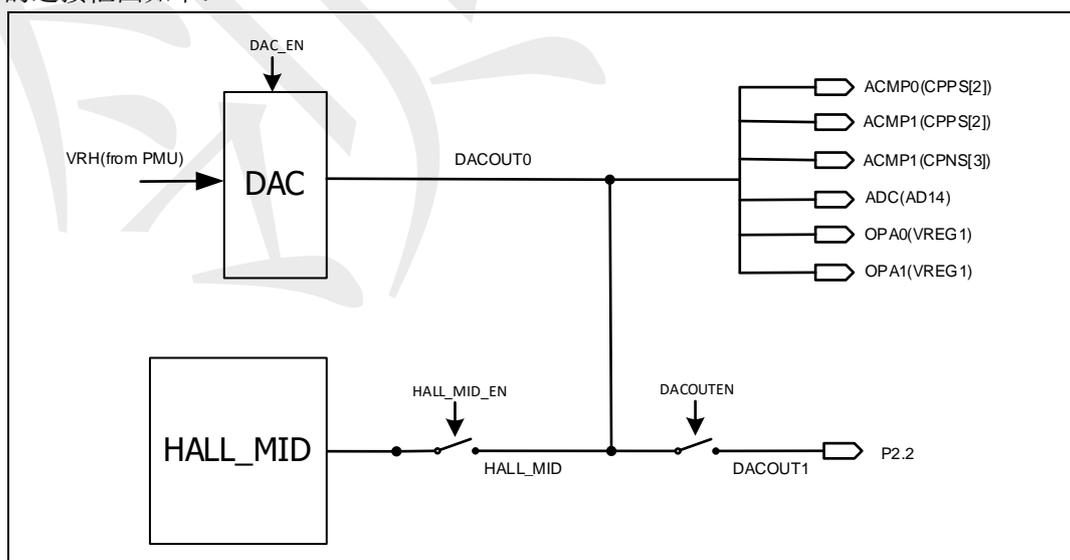


图 21-1 DAC 连接框图

LCM08F003G 的 DAC 支持 2 种不同的数据装载模式。DAC 控制器内部存在映射 DACDATH/DACDATL 的影

子寄存器 DOR[9:0]，DAC 将 DOR 的数据转化为模拟电压输出，数据从 DACDATH/DACDATL 装载到影子寄存器 DOR 有以下方式：

- ✧ 写装载（软件模式）：TEGOMODE 为 0 时，写入 DACDATH/DACDATL 的数据立即载入到 DOR；
- ✧ 外部触发装载：TEGOMODE 不为 0 时，配置装载触发源（必须在 DACEN 使能前完成配置），写入 DACDATH/DACDATL，等待触发源触发，完成装载。

数字输入被线性地转换为模拟输出电压，若以 VRH 做参考电压，其输出电压范围为 0 到 VRH。DAC 通道引脚上的模拟输出电压满足以下关系：DAC 输出=VRH * DOR / 1024。

21.4 寄存器说明

DAC 的相关寄存器如表 21-2 所示。

表 21-2 DAC 器寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
DACCTRL	DAC 控制寄存器	x	R/W	0000_0000B	FF6BH
DACDATL	DAC 转换结果低位寄存器	x	R/W	0000_0000B	FF6CH
DACDATH	DAC 转换结果高位寄存器	x	R/W	00uu_uu00B	FF6DH

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

DAC 相关寄存器详细说明如下：

DAC 控制寄存器 DACCTRL (FF6BH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	VRHSEL[0]	TRIGSRC[2:0]			TRIGMODE[1:0]		DACOUTEN	DACEN
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit 7 VRHSEL[0]: 与 DAC 数据寄存器 Bit6 构成 VRHDAC 电压选择信号 VRHDAC_SEL[1:0]

00: VRH_DAC = 2.5V (默认值)

01: VRH_DAC = 4V

1x: VRH_DAC=VDDA

Bit 6:4 TRIGSRC[2:0]: DAC 转换触发源选择位 (DACEN=1 时不能改变 TRIGSRC[2:0])

000: 选择软件模式 (默认)

001: 选择 ACMP0 触发

010: 选择 ACMP1 触发

011: 选择高级定时器 T3 触发

100: 选择 T2 触发

101: 选择引脚 P0.1 触发

110: 选择引脚 P0.7 触发

111: 选择引脚 P2.3 触发

Bit 3:2 TRIGMODE[1:0]: DAC 触发模式选择

00: 软件模式，DACDATL/H 寄存器的数据在写 DACDATH 寄存器的时候生效

01: 上升沿触发，DACDATL/H 更新数据在上升延触发以后生效

10: 下降沿触发，DACDATL/H 更新数据在下降沿触发后生效

11: 双边沿触发，DACDATL/H 更新数据在上升或者下降沿触发后生效

- Bit 1 DACOUTEN: DAC 引脚输出使能
0: DAC 不从 P2.2 输出
1: DAC 输出到引脚 P2.2
- Bit 0 DACEN: DAC 使能信号
0: DAC 模块关闭
1: DAC 模块开启

DAC 数据寄存器低位 DACDATL (FF6CH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	DACDATL[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:0 DAC 低字节数据装载寄存器

DAC 数据寄存器高位 DACDATH (FF6DH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BYP	VRHSEL[1]	—	—	—	—	DACDATH[1:0]	
访问权限:	R/W	R/W	R-0	R-0	R-0	R-0	R/W	R/W
复 位 值:	0	0	U	U	U	U	0	0
注	软件模式下, 写 DACDATH 以后, 数据立刻生效, 因此需要先配置好 DACDATL 寄存器							

- Bit 7 BYP: DACOUT 是否经过 BUF
0: DACOUT 经过 BUF 输出
1: DACOUT 不经过 BUF 直接输出
- Bit 6 VRHSEL[1]: 与 DAC 控制寄存器 Bit7 构成 VRHDAC 电压选择信号 VRHDAC_SEL[1:0]
00: VRH_DAC=2.5V (默认值)
01: VRH_DAC=4V
1x: VRH_DAC=VDDA
- Bit 5:2 保留
- Bit 1:0 DAC 高字节数据装载寄存器

22. 模拟比较器 ACMP0/1

22.1 基本特征

LCM08F003G 中的 ACMP 具备以下特征：

- ◇ 轨到轨的工作电压范围
 - ◇ 低输入失调电压
 - ◇ 可选择的中断触发源：比较器上升沿、下降沿或任意边沿都可以触发中断
 - ◇ 比较器输出滤波可选择，可滤除 1.5us 左右的毛刺
 - ◇ 比较器输出极性可选择
 - ◇ 内置电阻分压，提供 16 级参考电平供比较器正端输入；带隙基准电压可用作电阻分压源
- 上电后，比较器默认关闭。通过将 CPEN 置 1，开启比较器。SLEEP 和 STOP 模式下，比较器仍可以工作（消耗电流），但无法产生中断。

22.2 管脚配置

ACMP0 与 6 个引脚复用，分别是 COP1、CON0、CON1、CON3 和两个 CPO 引脚；ACMP1 与 5 个引脚复用，分别是 C1P1、C1P3、C1N0 和两个 CPO 引脚，其配置如下表。

表 22-1 ACMP0/1 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
ACMP0				
COP0	I	ACMP0 正端输入 0	—	CPPS[1:0] = 00
COP1	I	ACMP0 正端输入 1	P1.7	CPPS[1:0] = 01
COP2	I	ACMP0 正端输入 2	—	CPPS[1:0] = 10
COP3	I	ACMP0 正端输入 3	—	CPPS[1:0] = 11
CON0	I	ACMP0 负端输入 0	P2.4	CPNS [1:0]= 00
CON1	I	ACMP0 负端输入 1	P0.5	CPNS [1:0]= 01
CON2	I	ACMP0 负端输入 2	—	CPNS [1:0]= 10
CON3	I	ACMP0 负端输入 3	P0.4	CPNS [1:0]= 11
CPO0	O	ACMP0 输出	P1.4/P2.1	CPOEN (TESTCON.2)，CMPOSEL (IOMUX.0)
ACMP1				
C1P0	I	ACMP1 正端输入 0	—	CPPS [1:0] = 00
C1P1	I	ACMP1 正端输入 1	P1.6	CPPS [1:0] = 01
C1P2	I	ACMP1 正端输入 2	—	CPPS [1:0] = 10
C1P3	I	ACMP1 正端输入 3	P0.1	CPPS [1:0] = 11
C1N0	I	ACMP1 负端输入 0	P0.7	CPNS[1:0] = 00
C1N1	I	ACMP1 负端输入 1	—	CPNS[1:0] = 01
C1N2	I	ACMP1 负端输入 2	—	CPNS[1:0] = 10
C1N3	I	ACMP1 负端输入 3	—	CPNS[1:0] = 11
CP10	O	ACMP1 输出	P1.3/P2.1	CPOEN (TESTCON.3)，CMP1SEL (IOMUX.1)

22.3 功能描述

ACMP0 和 ACMP1 的功能框图分别如下所示：

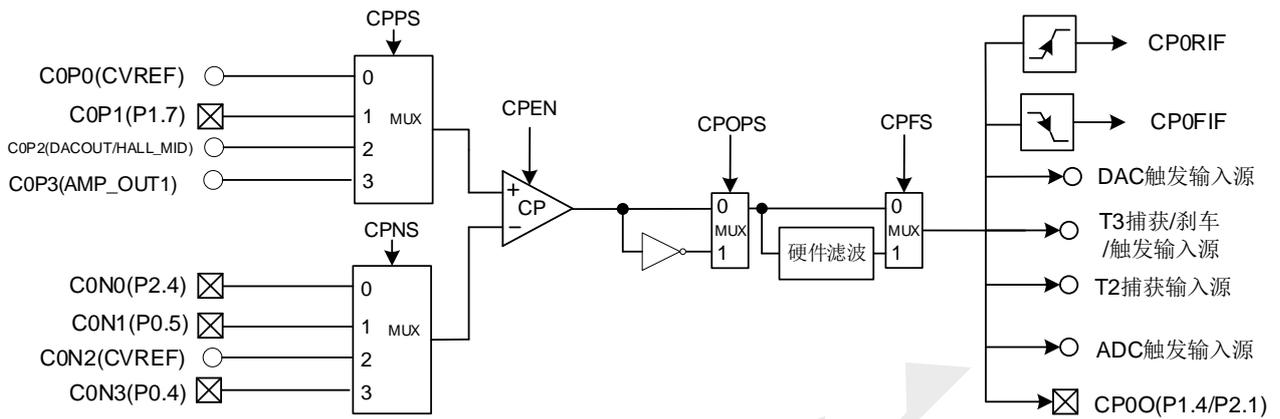


图 22-1 ACMP0 功能框图

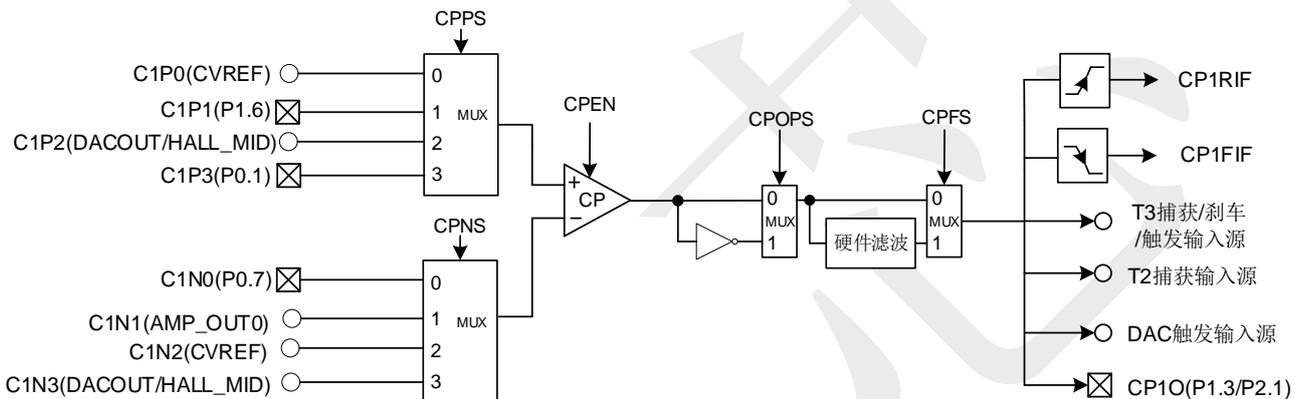


图 22-2 ACMP1 功能框图

上图中 CVREF 来自内部参考电压模块，该模块结构图如下：

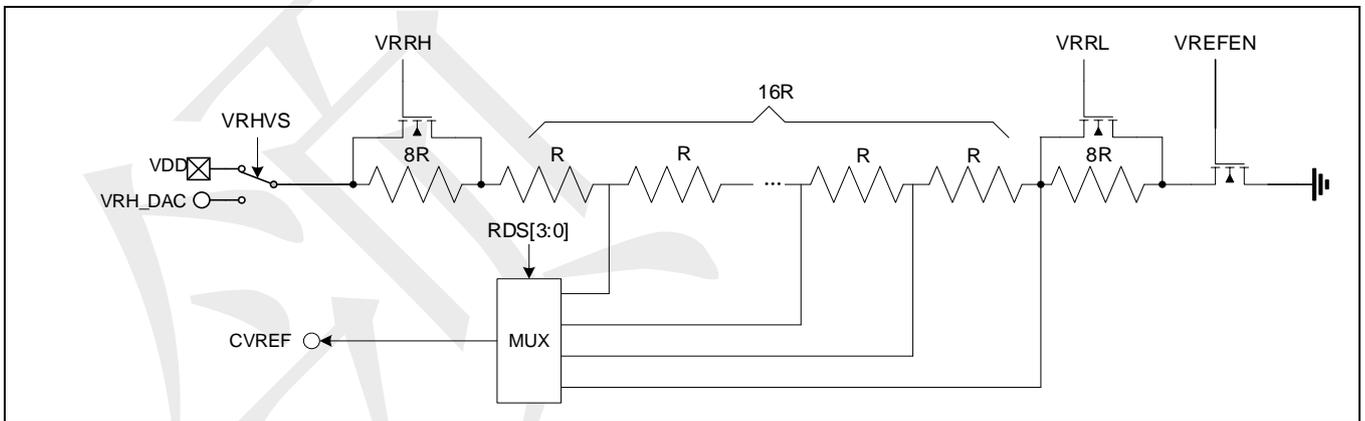


图 22-3 内部参考电压示意图

图 22-4 给出了单个比较器的模拟输入电平和数字输出之间的关系。如 V_{IN+} 上的模拟电压低于 V_{IN-} 上的模拟电压，比较器输出数字低电平。如果 V_{IN+} 上的模拟电压高于 V_{IN-} 上的模拟电压，比较器输出数字高电平。通过与 I/O 或其它数字模块（如带捕获功能的定时器 T2）配合，模拟比较器还能够实现很多有用的测量功能，从而提高应用的灵活性并降低系统成本。

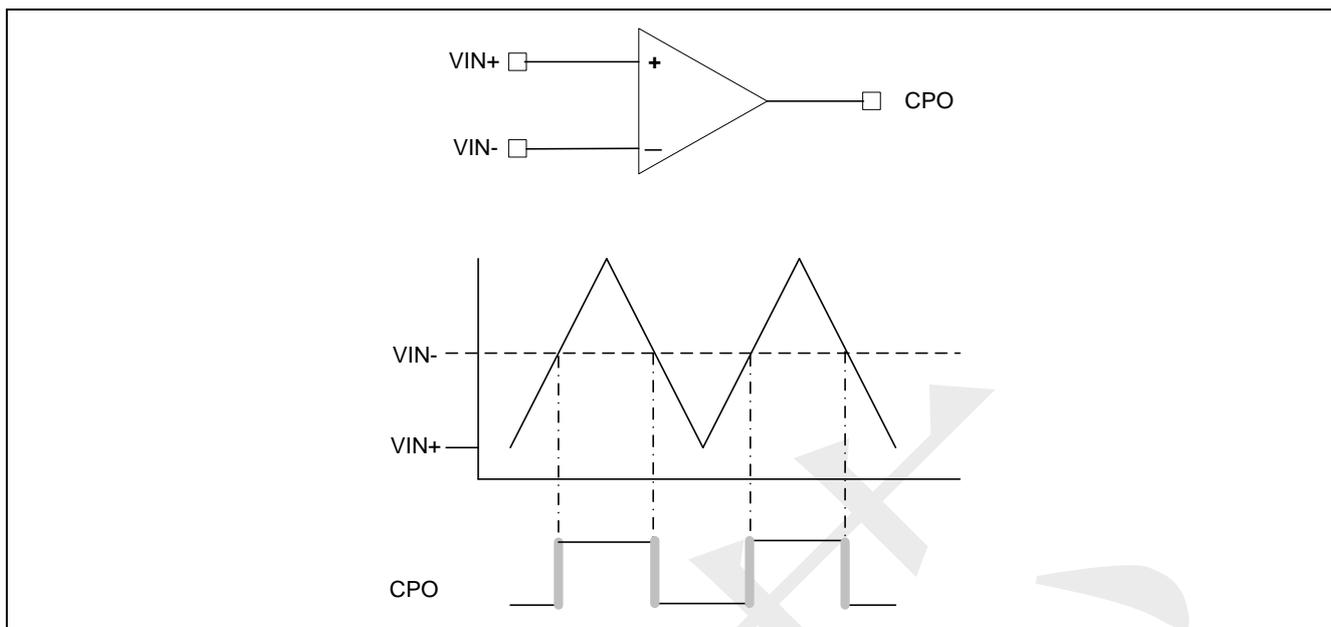


图 22-4 比较器比较原理

上图中比较器输出波形的灰色线条区表示因输入偏移和响应时间导致的不确定状态。

22.3.1 比较器使能

复位后比较器默认关闭，不消耗电流。将 CPEN 置 1 可开启比较器操作。

22.3.2 比较器输出选择

可通过读模拟比较器输出 CPO 来监视比较器输出，也可以直接输出到管脚。

比较器输出可以作为 T2EX 的捕获输入以实现很多低成本的应用，请参考定时器 T2。

比较器输出可选择是否经过硬件滤波模块：当 CPFS 置 1 时，CPO 经过硬件滤波后再输出。该硬件滤波的典型值是 $1.5\mu\text{s}$ ，但随温度和电压变化较大。

22.3.3 比较器输入选择

ACMP0 有六种基本配置：

- ✧ 两个外部电压比较
- ✧ 外部电压和内部参考电压比较
- ✧ DAC 输出电压和内部参考电压比较
- ✧ DAC 输出电压和外部电压比较
- ✧ OPA1 输出电压和内部参考电压比较
- ✧ OPA1 输出电压和外部电压比较

ACMP1 有七种基本配置：

- ✧ 两个外部电压比较
- ✧ 外部电压和内部参考电压比较
- ✧ 外部电压和 OPA0 输出电压比较
- ✧ 内部参考电压和 OPA0 输出电压比较
- ✧ DAC 输出电压和外部电压比较
- ✧ DAC 输出电压和内部参考电压比较
- ✧ DAC 输出电压和 OPA0 输出电压比较

22.3.4 比较器中断

ACMP0/1 有上升沿和下降沿检测器，所以输出值的任何变化都可产生中断。通过读比较器输出标志位 CPO，可以得到比较器输出的值。以 ACMP0 为例，CPO 由 0 变 1，即发生上升沿跳变时，会触发比较器上升沿中断请求，标志位 CPORIF 置 1，如果中断允许（对应中断使能位 EIE1.5 置 1）则触发中断；CPO 由 1 变 0，即发生下降沿跳变时，会触发比较器下降沿中断请求，标志位 CPOFIF 置 1，如果中断允许（对应中断使能位 EIE1.5 置 1）则触发中断。标志位 CPOFIF 和 CPORIF 需要软件清零，且软件清零之前，需要先对该位做读取操作，即读到 1 后再清 0。

22.3.5 使用提示

既然比较器的核心功能是比较两个模拟电压，选择好 CP+/CP- 的输入信号，使能比较器后就可以得到比较结果。如果模拟比较器有一端来自外部管脚时，必须先把该管脚设置成模拟输入（输入模式，模拟通道开启）。

当选择内部电阻分压做比较器输入时，在比较过程中切换电阻分压比可能导致比较器输出出现短暂的跳变。因此建议需要切换电阻分压比时先关闭模拟比较器然后切换，完成切换后在开启模拟比较器。用到比较器中断时，每次重新开启前都必须清 CPRIF 与 CPFIF 两个标志。而有些应用中不希望关闭比较器，那么切换后等待 2us 再读取比较器输出（如用比较器做多个按键检测时）。

SLEEP 模式下，如果比较器已提前使能，那么进入 SLEEP 模式后比较器依旧工作。同样，如果比较器相关中断已经使能，那么比较器中断出现后将唤醒 CPU 进入正常工作模式。

STOP 模式下，比较器也可以工作，配置与 SLEEP 模式下配置相同。但是由于电路系统时钟已关闭，比较器中断无法采样，也就无法唤醒。因此在 STOP 模式下为了减低电流必须关闭所有的模拟模块。

如果在 SLEEP 或 STOP 模式下发生复位，那么比较器将复位到初始状态。

22.4 寄存器说明

ACMP0/1 的相关寄存器如表 22-2 所示：

表 22-2 ACMP0/1 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
ACMP0					
CP0CON	ACMP0 控制寄存器	x	R/W	0000_u000B	AEH
CP0VRCON	ACMP0 内部参考电压控制寄存器	x	R/W	0000_0000B	AFH
CP0FRHS	ACMP0 响应时间配置寄存器	x	R/W	0000_uu00B	ADH
ACP0DLY0	ACMP0 使能触发时延寄存器 0	x	R/W	0000_0000B	FF7BH
ACP0DLY1	ACMP0 使能触发时延寄存器 1	x	R/W	uuuu_uuu0B	FF7CH
ACMP1					
CP1CON	ACMP1 控制寄存器	x	R/W	0000_u000B	EAH
CP1VRCON	ACMP1 内部参考电压控制寄存器	x	R/W	0000_0000B	EBH
CP1FRHS	ACMP1 响应时间配置寄存器	x	R/W	0000_uu00B	E9H
ACP1DLY0	ACMP1 使能触发时延寄存器 0	x	R/W	0000_0000B	FF7DH
ACP1DLY1	ACMP1 使能触发时延寄存器 1	x	R/W	uuuu_uuu0B	FF7EH
TESTCON	测试控制寄存器	x	R/W	u0u0_0000B	FFAFH
IOMUX0	I/O 复用控制寄存器 0	x	R/W	0000_0000B	FFE0H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

ACMP0/1 相关寄存器详细说明如下：

ACMP0 控制寄存器 CPOCON (AEH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CPO	CPFS	CPOS	CPEN	—	TRIGEN	CPORIF	CPOFIF
访问权限:	R	R/W	R/W	R/W	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	0	U	0	0	0

- Bit 7** CPO: 比较器输出状态位
 0: 低电平, 表示正端电压 < 负端电压或比较器未使能 (默认)
 1: 高电平, 表示正端电压 > 负端电压
- Bit 6** CPFS: 比较器输出滤波选择位
 0: 无滤波 (默认)
 1: 有滤波
- Bit 5** CPOPS: 比较器输出极性选择位
 0: 正相 (默认)
 1: 反相
- Bit 4** CPEN: 比较器使能位
 0: 关闭比较器, 比较器输出低电平 (默认)
 1: 开启比较器
- Bit 3** 保留
- Bit 2** TRIGEN: 触发 CPEN 使能控制
 0: 触发 CPEN 使能关闭, CPEN 只能通过软件置位
 1: 触发 CPEN 使能打开, CPEN 可通过软件或高级定时器触发 CPEN 置位
 从 T3 触发到 CPEN 使能, 可通过 ACPODLY0/1 寄存器配置延时。
- Bit 1** CPORIF: 比较器输出上升沿中断标志位。如果使能中断, 可产生中断, 需软件读 1 写 0 清标志位。
 0: 没有出现上升沿
 1: 出现上升沿
- Bit 0** CPOFIF: 比较器输出下降沿中断标志位。如果使能中断, 可产生中断, 需软件读 1 写 0 清标志位。
 0: 没有出现下降沿
 1: 出现下降沿

ACMP0 内部参考电压控制寄存器 CPOVRCON (AFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	RDS[3:0]				VRRH	VRRL	VRHVS	VREFEN
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit 7:4 RDS[3:0]: 内部参考电压选择位, 与 VRRH 和 VRRL 配合, 可以实现各种电压, 详见下表。

VRRH	VRRL	CVREF
0	0	$\frac{8 + RDS[3:0]}{32} \times V$
0	1	$\frac{RDS[3:0]}{24} \times V$

1	0	$\frac{8 + RDS[3:0]}{24} \times V$
1	1	$\frac{RDS[3:0]}{16} \times V$

CVREF 的公式中，当 VRHVS=0 时，VS=VDD；当 VRHVS=1 时，VS=VBG。

- Bit 3 VRRH: 分压电阻高选择位
 Bit 2 VRRL: 分压电阻低选择位
 Bit 1 VRHVS: 内部参考电压源选择位
 0: 选择电源电压 VDD (默认)
 1: 选择基准电压 VRH_DAC
 Bit 0 VREFEN: 内部参考电压使能位
 0: 关闭内部参考电压 (默认)
 1: 使能内部参考电压

ACMPO 响应时间配置寄存器 CP0FRHS (ADH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CPPS[1:0]		CPNS[1:0]		—	—	FREN	HYSEN
访问权限:	R/W	R/W	R/W	R/W	R-0	R-0	R/W	R/W
复 位 值:	0	0	0	0	U	U	0	0

- Bit 7:6 CPPS[1:0]: ACMPO 正端输入选择位
 00: ACMPO 正端选择内部参考电压 CVREF 作为输入 (默认)
 01: ACMPO 正端选择 P1.7 作为输入
 10: ACMPO 正端选择 DACOUT/HALL_MID 作为输入
 11: ACMPO 正端选择 OPA1 作为输入
 Bit 5:4 CPNS[1:0]: ACMPO 负端输入选择位
 00: ACMPO 负端选择 P2.4 作为输入 (默认)
 01: ACMPO 负端选择 P0.5 作为输入
 10: ACMPO 负端选择内部参考电压 CVREF 作为输入
 11: ACMPO 负端选择 P0.4 作为输入
 Bit 3:2 保留
 Bit 1 FREN: ACMPO 响应时间配置
 0: 相应时间正常 (默认)
 1: 响应时间减小
 Bit 0 HYSEN: ACMPO 迟滞使能信号
 0: 迟滞关闭 (默认)
 1: 迟滞使能

ACMPO 触发时延寄存器 ACPDLY0 (FF7BH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ACPDLY[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

- Bit 7:0 ACPDLY[7:0]: 触发时延低 8 位，与 ACPDLY1.0 构成 9 位计时器。

高级定时器 T3 触发 ACPM0 使能（置位 CPEN），从触发到使能比较器经过一段延时，延时时间可配，最大支持 512 个系统时钟。

ACMP0 触发时延寄存器 ACPDLY1 (FF7CH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	—	ACPDLY[8]
访问权限:	R-0	R/W						
复位值:	U	U	U	U	U	U	U	0

Bit 7:1 保留

Bit 0 ACPDLY[8]: 触发时延第 9 位
参见 ACPDLY0

ACMP1 控制寄存器 CP1CON (EAH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CPO	CPFS	CPOPS	CPEN	—	TRIGEN	CP1RIF	CP1FIF
访问权限:	R	R/W	R/W	R/W	R-0	R/W	R/W	R/W
复位值:	0	0	0	0	U	0	0	0

具体定义参考 ACPM0。

ACMP1 内部参考电压控制寄存器 CP1VRCON (EBH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	RDS[3:0]				VRRH	VRRL	VRHVS	VREFEN
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

具体定义参考 ACPM0。

ACMP1 响应时间配置寄存器 CP1FRHS (E9H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	CPPS[1:0]		CPNS[1:0]		—	—	FREN	HYSEN
访问权限:	R/W	R/W	R/W	R/W	R-0	R-0	R/W	R/W
复位值:	0	0	0	0	U	U	0	0

Bit 7:6 CPPS[1:0]: ACMP1 正端输入选择位

00: ACMP1 正端选择内部参考电压 CVREF 作为输入（默认）

01: ACMP1 正端选择 P1.6 作为输入

10: ACMP1 正端选择 DACOUT/HALL_MID 作为输入

11: ACMP1 正端选择 P0.1 作为输入

Bit 5:4 CPNS[1:0]: 比较器负端输入选择位

00: ACMP1 负端选择 P0.7 作为输入（默认）

01: ACMP1 负端选择 OPA0 作为输入

10: ACMP1 负端选择内部参考电压 CVREF 作为输入

11: ACMP1 负端选择 DACOUT/HALL_MID 作为输入

Bit 3:2 保留

Bit 1 FREN: 比较器响应时间配置

- 0: 相应时间正常 (默认)
 - 1: 响应时间减小
- Bit 0 HYSEN: 比较器迟滞使能信号
- 0: 迟滞关闭 (默认)
 - 1: 迟滞使能

ACMP1 触发时延寄存器 ACP1DLY0 (FF7DH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ACPDLY[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

具体定义参考 ACMP0。

ACMP1 触发时延寄存器 ACP1DLY1 (FF7EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	—	ACPDLY[8]
访问权限:	R-0	R/W						
复 位 值:	U	U	U	U	U	U	U	0

具体定义参考 ACMP0。

测试控制寄存器 TESTCON (FFAFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	LVRTE	—	CKTE	CPOEN1	CPOEN0	CKOS [1:0]	
访问权限:	R-0	R/W	R-0	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	0	U	0	0	0	0	0
注	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。							

- Bit 3 CPOEN1: ACMP1 输出使能位
- 0: 禁止输出
 - 1: 允许输出, IOMUX0.1 决定输出引脚位置

- Bit 2 CPOEN0: ACMP0 输出使能位
- 0: 禁止输出
 - 1: 允许输出, IOMUX0.0 决定输出引脚位置

管脚复用控制寄存器 IOMUX0 (FFE0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UART1EN[1:0]		UART0EN[1:0]		SPIEN	nIRQEN	ACMP1SEL	ACMPOSEL
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
注	当 P2.1 同时满足 ACMP0 和 ACMP1 的 CPO 输出的条件时, P2.1 复用成 ACMP1 的 CPO 输出。							

- Bit 1 ACMP1SEL: ACMP1 的比较结果输出引脚控制
- 0: P1.3 做 CPO 使用 (ACMP1 的使能位 CPEN 必须为 1, 否则 P1.3 仍做 GPIO)
 - 1: P2.1 做 CPO 使用 (ACMP1 的使能位 CPEN 必须为 1, 否则 P2.1 仍做 GPIO)

- Bit 0 ACMPOSEL: ACMP0 的比较结果输出引脚控制

-
- 0: P1.4 做 CPO 使用 (ACMP0 的使能位 CPEN 必须为 1, 否则 P1.4 仍做 GPIO)
 - 1: P2.1 做 CPO 使用 (ACMP0 的使能位 CPEN 必须为 1, 否则 P2.1 仍做 GPIO)



23. 运算放大器 OPA0/1

LCM08F003G 内置两个运算放大器（OPA0/1），其正负端可以通过软件配置接偏置电压，偏置电压可选择 2.5V，4V 或者 DAC、HALL_MID 输出的任意偏置电压，OPA0 的正负端分别从 P1.5，P1.4 引脚输入，输出与引脚 P2.2 的模拟通道相连，并连接到 ADC 通道 12；OPA1 的正负端分别从 P0.5 和 P1.6 引脚引入，输出与引脚 P1.7 的模拟通道相连，并连接到 ADC 的通道 11，两个运放都支持偏置自动校正。

23.1 管脚配置

OPA0/1 模块分别与 3 个管脚复用，具体配置见下表：

表 23-1 OPA0/1 管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
OPA0				
OPP	I	放大器正端输入	P1.5	由 P1AEN 控制
OPN	I	放大器负端输入	P1.4	由 P1AEN 控制
OPO	O	放大器输出，同时到 AD12	P2.2	由 P2AEN 控制
OPA1				
OPP	I	放大器正端输入	P0.5	由 POAEN 控制
OPN	I	放大器负端输入	P1.6	由 P1AEN 控制
OPO	O	放大器输出，同时到 AD11	P1.7	由 P1AEN 控制

23.2 功能描述

OPA0/1 的功能框图如下图所示：

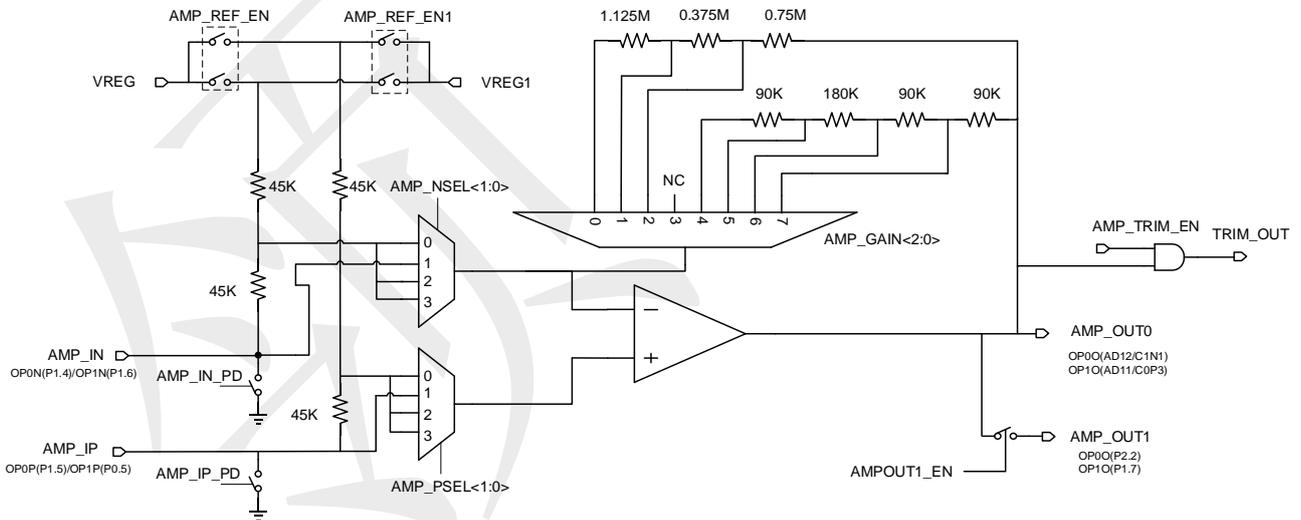


图 23-1 OPA 功能框图

23.2.1 校正过程

1. 设置 AMPxCTRL0 寄存器的值为 0xD3，且 AMP_IN 和 AMP_IP 均接地，反馈电阻接入（根据实际电路选择 NSEL 和 PSEL 的值），反馈开环；
2. 设置 AMPxCTRL1 寄存器，按照实际应用配置；
3. 设置 AMP_TRIM_EN，使能修调；
4. 配置寄存器 AMPxTRIM（该寄存器受 WPKEY 寄存器保护），将 AMP_CAL 的值由零开始逐渐增加，每写入一个新的值，判断 TRIM_OUT 是否发生跳变，若未发生跳变，继续增加 AMP_CAL 的值，直到 TRIM_OUT

的值发生跳变，修调结束。

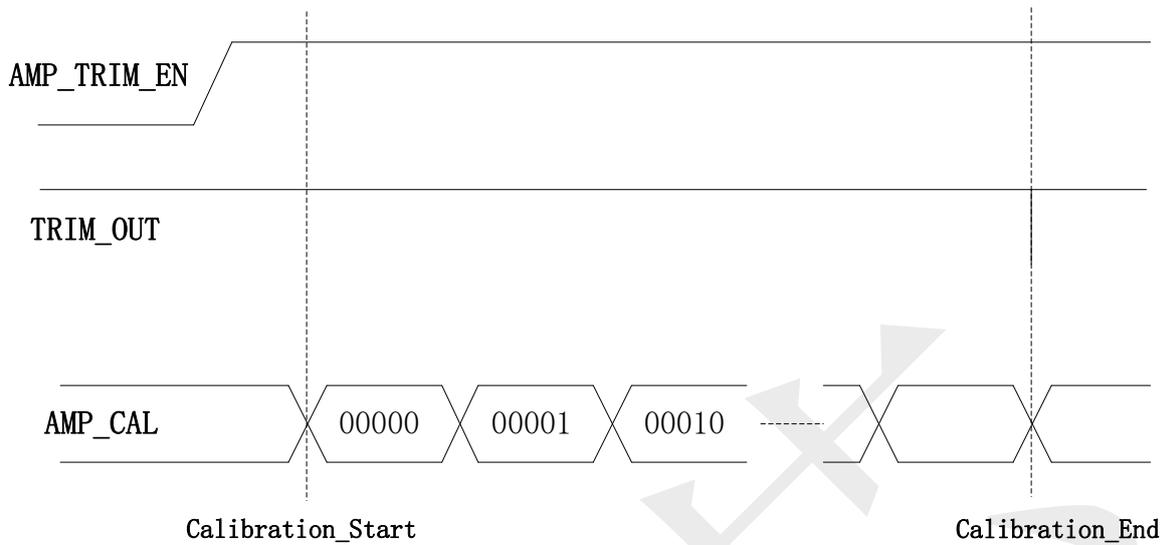


图 23-2 OPA 校正流程

23.2.2 带偏置闭环模式 (x50)

配置 AMP_GAIN=000、REF_EN=1、PSEL=0、NSEL=0，配置 REF_SEL 选择偏置源，OPA 工作在带有偏置电压的固定放大模式，如下图所示。

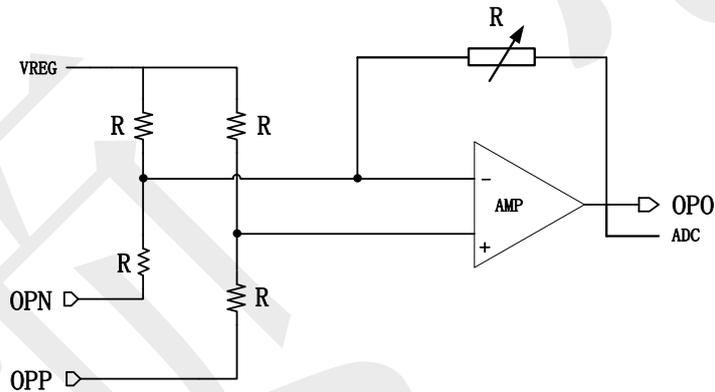


图 23-3 OPA 固定放大模式

23.2.3 开环模式

配置 AMP_GAIN=011、REF_EN=0、PSEL=0、NSEL=0，OPA 工作在开环模式。

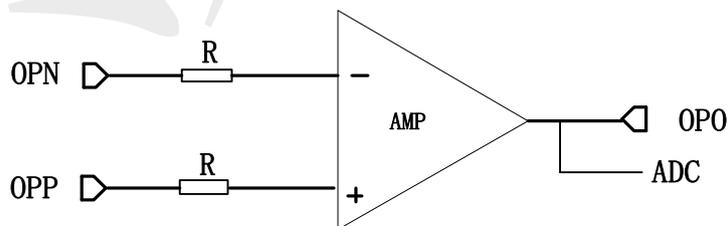


图 23-4 OPA 开环模式

23.2.4 单端模式 (负端接地, x25)

配置 AMP_GAIN=001、REF_EN=1、PSEL=0、NSEL=0、TRIM_EN=1，配置 REF_SEL 选择偏置源，运放工作

在单端模式。

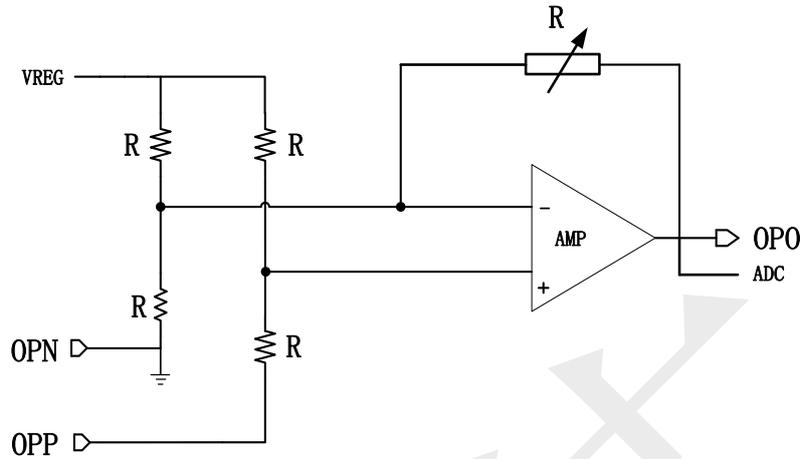


图 23-5 OPA 单端模式

23.3 寄存器说明

OPA0/1 的相关寄存器如表 23-2 所示：

表 23-2 OPA0/1 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
OPA0					
AMPOCTRL0	OPA0 运放控制寄存器 0	x	R/W	0000_0000B	FF40H
AMPOCTRL1	OPA0 运放控制寄存器 1	x	R/W	uuuu_u000B	FF41H
AMPOTRIM	OPA0 校准寄存器	x	R/W	00u0_0000B	FF42H
OPA1					
AMP1CTRL0	OPA1 运放控制寄存器 0	x	R/W	0000_0000B	FF43H
AMP1CTRL1	OPA1 运放控制寄存器 1	x	R/W	uuuu_u000B	FF44H
AMP1TRIM	OPA1 校准寄存器	x	R/W	00u0_0000B	FF45H

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

OPA0/1 相关寄存器详细说明如下：

OPA0 控制寄存器 AMPOCTRL0 (FF40H)

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	AMP_GAIN[2:0]			AMP_NSEL	AMP_IN_PD	AMP_PSEL	AMP_IP_PD	AMP_EN
访问权限：	R/W			R/W	R/W	R/W	R/W	R/W
复位值：	0			0	0	0	0	0

Bit 7:5 AMP_GAIN[2:0]：运放增益控制位
 000：放大倍数为 50 倍
 010：放大倍数为 25 倍
 100：放大倍数为 50/3 倍
 110：运放开环
 001：放大倍数为 10 倍
 011：放大倍数为 8 倍

	101: 放大倍数为 4 倍
	111: 放大倍数为 2 倍
Bit 4	AMP_NSEL: 运放负端输入选择。 0: 运放负端接输入 45K 电阻 (默认) 1: 运放负端直接外部输入
Bit 3	AMP_IN_PD: 负向端接地选择信号 0: 运放负端 AMP_IN 不与地相连 1: 运放负端 AMP_IN 与地相连
Bit 2	AMP_PSEL: 运放正端输入选择 0: 运放正端接输入 45K 电阻 (默认) 1: 运放正端直接外部输入
Bit 1	AMP_IP_PD: 正向端接地选择信号 0: 运放正端 AMP_IP 不与地相连 1: 运放正端 AMP_IP 与地相连
Bit 0	AMP_EN: 运放使能信号 0: 运放关闭 (默认) 1: 运放使能

OPA0 控制器寄存器 AMPOCTRL1 (FF41H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	AMPOUT1_EN	REF_SEL	REF_EN
访问权限:	R-0	R-0	R-0	R-0	R-0	R/W	R/W	R/W
复 位 值:	U	U	U	U	U	0	0	0

Bit 7:3	保留
Bit 2	AMPOUT1_EN: OPA0 运放电压输出到引脚使能控制 0: 不使能 1: 使能, 输出到 P2.2 (置位 P2AEN[2])
Bit 1	REF_SEL: OPA0 偏置电压源选择 0: 偏置电压为 VREG, 来自 PMU 的 VRH_OP 1: 偏置电压 VREG1, 来自 DACOUT/HALL_MID
Bit 0	REF_EN: AMP_IN、AMP_IP 偏置电压使能 0: AMP_IN、AMP_IP 无内置偏置 1: AMP_IN、AMP_IP 带有偏置

OPA0 校正寄存器 AMPOTRIM (FF42H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	AMP_TRIM_EN	TRIM_OUT	—	AMP_CAL[4:0]				
访问权限:	R/W	R	R-0	R/W				
复 位 值:	0	0	U	0	0	0	0	0
注	写寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。							

Bit 7	AMP_TRIM_EN: OPA0 校正使能 0: 关闭 (默认) 1: 开启
-------	---

- Bit 6 TRIM_OUT: 校正结果输出
0: 负端输入电压大于正端输入电压
1: 正端输入电压大于负端输入电压
- Bit 5 保留
- Bit 4:0 AMP_CAL: OPA0 的修调值

OPA1 控制寄存器 AMP1CTRL0 (FF43H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	AMP_GAIN[2:0]			AMP_NSEL	AMP_IN_PD	AMP_PSEL	AMP_IP_PD	AMP_EN
访问权限:	R/W			R/W	R/W	R/W	R/W	R/W
复 位 值:	0			0	0	0	0	0

具体定义参考 OPA0。

OPA1 控制器寄存器 AMP1CTRL1 (FF44H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	AMPOUT1_EN	REF_SEL	REF_EN
访问权限:	R-0	R-0	R-0	R-0	R-0	R/W	R/W	R/W
复 位 值:	U	U	U	U	U	0	0	0

Bit 7:3 保留

Bit 2 AMPOUT1_EN: OPA1 运放电压输出到引脚使能控制

- 0: 不使能
1: 使能, 输出到 P1.7 (置位 P1AEN[7])

Bit 1 REF_SEL: OPA1 偏置电压源选择。

- 0: 偏置电压为 VREG, 来自 PMU 的 VRH_OP
1: 偏置电压为 VREG1, 来自 DACOUT/HALL_MID

Bit 0 REF_EN: AMP_IN、AMP_IP 偏置电压使能

- 0: AMP_IN、AMP_IP 无内置偏置
1: AMP_IN、AMP_IP 带有偏置

OPA1 校正寄存器 AMP1TRIM (FF45H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	AMP_TRIM_EN	TRIM_OUT	—	AMP_CAL[4:0]				
访问权限:	R/W	R	R-0	R/W				
复 位 值:	0	0	U	0	0	0	0	0
注	写寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。							

具体定义参考 OPA0。

24. 反向电动势采样 HALL_MID

LCM08F003G 内置一个三端输入的采样电路。HALL_MID 与 DAC 共用一个输出信号 DACOUT；编程时必须保证两者不同时打开。

24.1 管脚配置

HALL_MID 模块与 7 个管脚复用，具体配置见下表：

表 24-1 反向电动势采样管脚配置

管脚名称	管脚类型	管脚描述	复用 I/O 口	配置
H_P1A	I	HALL 信号 1A	P0.4	由 POAEN 控制
H_P1B	I	HALL 信号 1B	P2.4	由 P2AEN 控制
H_P2A	I	HALL 信号 2A	P0.6	由 POAEN 控制
H_P2B	I	HALL 信号 2B	P0.5	由 POAEN 控制
H_P3A	I	HALL 信号 3A	P0.7	由 POAEN 控制
H_P3B	I	HALL 信号 3B	P0.4	由 POAEN 控制
H_MID	O	HALL_MID 信号输出	P2.2	由 P2AEN 控制 (DACEN=0, DACOUTEN=1, HALL_MID_EN=1)

24.2 功能描述

HALL_MID 的连接框图如下图所示：

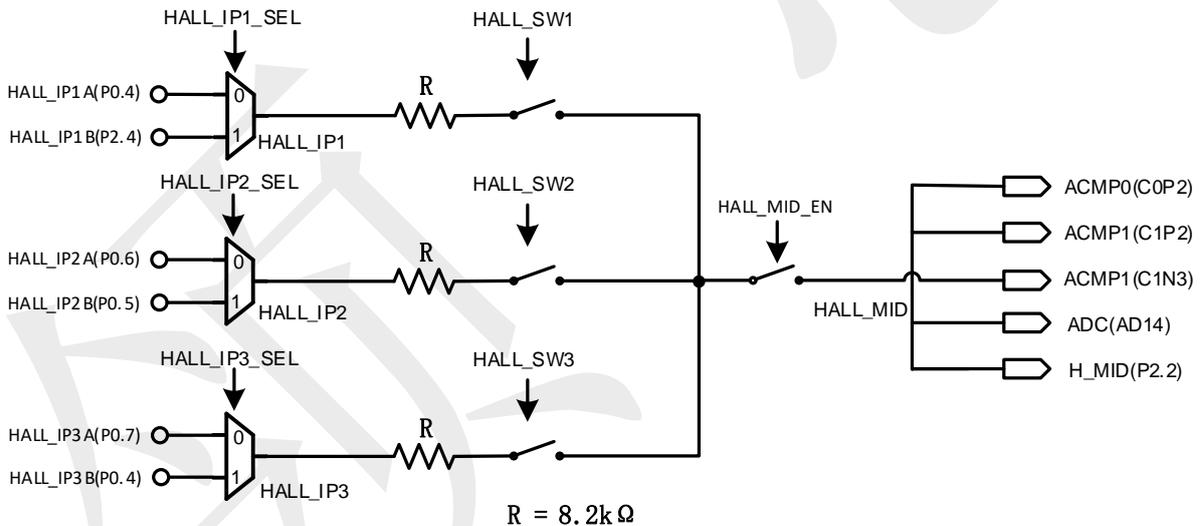


图 24-1 HALL_MID 连接框图

HALL_IP1/HALL_IP2/HALL_IP3 连接三个 HALL 信号，HALL_MID 信号是其中两个 HALL 信号的平均值，通过将 HALL 信号与 HALL_MID 信号进行比较，可快速得到 HALL 信号的状态。

24.3 寄存器说明

HALL_MID 的相关寄存器如表 24-2 所示：

表 24-2 HALL_MID 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
HALL_MID	反向电动势采样控制寄存器	x	R/W	u000_0000B	FF9DH

注：x 表示不确定；-表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异；R 只读；W 只写；R-0 表示只读且读 0；R/W 表示可读写（以后章节同上述）。

HALL_MID 相关寄存器详细说明如下：

反向电动势采样控制寄存器 HALL_MID (FF9DH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	HALL_SW3	HALL_SW2	HALL_SW1	HALL_IP3_SEL	HALL_IP2_SEL	HALL_IP1_SEL	HALL_MID_EN
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	0	0	0	0	0	0	0

- Bit 7 保留
- Bit 6 HALL_SW3: HALL_IP3 到 HALL_MID 通路之间的开关
0: HALL_IP3 到 HALL_MID 关断
1: HALL_IP3 到 HALL_MID 导通
- Bit 5 HALL_SW2: HALL_IP2 到 HALL_MID 通路之间的开关
0: HALL_IP2 到 HALL_MID 关断
1: HALL_IP2 到 HALL_MID 导通
- Bit 4 HALL_SW1: HALL_IP2 到 HALL_MID 通路之间的开关
0: HALL_IP1 到 HALL_MID 关断
1: HALL_IP1 到 HALL_MID 导通
- Bit 3 HALL_IP3_SEL: HALL_IP3 通道选择
0: HALL_IP3 通道选择 H_P3A
1: HALL_IP3 通道选择 H_P3B
- Bit 2 HALL_IP2_SEL: HALL_IP2 通道选择
0: HALL_IP2 通道选择 H_P2A
1: HALL_IP2 通道选择 H_P2B
- Bit 1 HALL_IP1_SEL: HALL_IP1 通道选择
0: HALL_IP1 通道选择 H_P1A
1: HALL_IP1 通道选择 H_P1B
- Bit 0 HALL_MID_EN: HALL_MID 信号输出控制开关
0: H_MID 信号不输出
1: H_MID 信号输出至各模块

25. 历史版本

版本	日期	修改人	修改说明
Rev 1.0	2018.09.10	M.D., Shenyj, Xuxy	第一版, 该版本只作为与客户交流规格所用, 设计内容有可能进行调准
Rev1.2	20190619	Aaron	修改一些笔误, 修改第十章 stop 模式说明
Rev1.3	20190707	M.D.	添加电气特性
Rev1.4	2019.7.29	M.D	更新 OCRMP 寄存器
Rev1.5	2019.9.24	M.D	更新 OCRMP[3:2]寄存器, P1.1-》P1.2
Rev1.6	2019.9.27	M.D	1. 更新 Feature 10 位 ADC->10 位 DAC 2. 调准图编号
Rev1.7 Rev2.0	2019.10.12	M.D	1. 芯片量产改版更新文档, 更新 OPA 运放描述, 运放支持单端模式、除去固定放大倍数模式。 2: 版本升级为 Rev2.0
Rev2.1	2019.10.16	Aaron	补充高级定时器图表编号
Rev2.3	2020.9.14	Wujh	1. 转厂版本; 2. Update ADC 寄存器说明、功能框图、参考代码;
Rev2.4	2020.9.17	Wujh	1 Update GPIO 驱动能力、模拟复用; 2. Update ACMP 寄存器说明, 功能框图, OPA 寄存器说明、功能框图;
Rev2.5	2020.9.22	Wujh	1. ADD 反向电动势采样控制模块及引脚说明, 并 Update DACOUT 相关配置; 2.Update ADC FIFO 使用参考代码;
Rev2.6	2020.12.18	Wujh	1.ACMP1 框图 DAC/HALL_MID 修改为 DACOUT 2.ADC_CMPDIR 描述有误, 已修改 3.HALL_MID 输出条件不需要 AMP_OUT1, 已修改 4.调整标题格式
Rev2.7	2020.12.21	Wujh	1.删除所有关于 Cache 相关内容 2.依照实际测试修改电性能参数
Rev2.8	2020.12.23	Wujh	1.校正 ACMP1 框图错误 2.ACMP0/1 框图添加外部引脚说明 3.修改 OPA 功能框图 4.修改 OPA 寄存器: AMP_TRIM_EN 不再与负端引脚接地关联。
Rev2.9	2020.12.23	Wujh	1.DACOUT0 引用部分均替换为 DACOUT/HALL_MID
Rev2.9.1	2020.12.28	Wujh	1.修改 RCH/RCLTRIM 寄存器描述 2.增加 SMBUS 超时时间的计算
Rev2.9.2	2021.01.05	Wujh	1.改正引脚说明中 T3 PWM 通道标号错误 2.T3 描述中 PWM 输出由 3 路改为 4 路 3.修改 ADC 框图及 ADPREF 寄存器, 外部 VRH 不可用
Rev2.9.3	2021.01.08	Wujh	1.修正 OPA0/1 引脚连至 AD 端口 2.增加注释读取 ADRESH 会导致 ADCFIFO 数据出队
Rev2.9.4	2021.01.14	Hujb	修改了 T3 死区寄存器的错误标识
Rev2.9.5	2021.01.14	Wujh	修改 OCRMP 寄存器说明

Rev2.9.6	2021.01.18	Wujh	1.修改 UART1 BRCON1 寄存器 Bitmap 说明 2.增加 IOMUX0 寄存器中 UART0/1 关于 BitMap 置起后的配置说明
Rev2.9.7	2021.03.22	Wujh	1.根据实际测得数据修改电气特性表
Rev2.9.8	2021.03.23	Wujh	1.ACMP 校正过程第一步寄存器设为 0xD3(自 0xF3 改回) 2.P1 模式高字节名称改正
Rev2.9.9	2021.03.31	Wujh	1. FLASHClkDiv 有效位自 bit5~bit0 改为 bit6~bit0 2.修改电流特性数据 (WengFP 测得)
Rev3.0.1	2021.04.18	Wujh	1.修改 IOMUX1 中 BIT6~3 描述 2.增加 CCER2 中关于 CC4N 通道的描述
Rev3.0.2	2021.04.29	Wujh	1.补充工作温度
Rev3.0.3	2021.05.14	Fumy	1.修改公司名称, 添加 logo
Rev3.0.4	2021.05.17	Fumy	1.修改 HBM 的值
Rev3.0.5	2021.05.27	Fumy	1.修改 ADC 配置寄存器 (ADCFG) Bit3 的 INTEN 的描述
Rev3.0.6	2021.06.03	Fumy	1.修改表 17 2.修改 FLASHTIMCtrl Bit1 描述 3. FLASHLTY 增加注释 4.增加 MTPRunMode 寄存器
Rev3.0.7	2021.06.21	Fumy	1.添加时钟系统寄存表缺失
Rev3.0.8	2021.07.01	Fumy	1.修改运放 AMPCTRL0 Bit5 描述
Rev3.0.9	2021.07.08	Fumy	1.修改比较器和运放功能框图及引脚 2.修改 TIM3 部分描述错误 3.修改引脚复用表中 P2.2 的配置
Rev3.1.0	2021.07.12	Fumy	1.TIM3 中添加 IOMUX1 寄存器
Rev3.1.1	2021.07.15	Fumy	1.ADC 参考电源选择描述修改
Rev3.1.2	2021.07.30	Fumy	1.ACMP 功能框图更新
Rev3.1.3	2021.08.05	Fumy	1.修正 AMPOCTRL0/1 中书写错误
Rev3.1.4	2021.09.01	Fumy	1.修改 ACMP0、TIM3 寄存器名称
Rev3.1.5	2021.09.09	Fumy	1.修改 DAC 部分寄存器描述 2.ACMP 寄存器中的 VBG 改为 VRH_DAC
Rev3.1.6	2021.09.22	Fumy	1.添加电压与频率的关系 2.修改寄存器中存在的名称错误 3.添加 E2PROM 地址
Rev3.1.7	2021.12.09	Fumy	1.修改中断框图 2.添加 IO 斜率调节寄存器名字 3.校正寄存器名称
Rev3.1.8	2022.03.31	Fumy	1.添加 12-bit ADC 外部输入阻抗计算过程 2.修改 I2C 部分描述内容
Rev3.1.9	2022.06.21	Liyz	1.修改表述错误和部分笔误
Rev3.2.0	2022.07.01	Liyz	1.修改 ADC CMPDATA 寄存器位数错误 2.修改 ADC 比较后唤醒 STOP 模式的描述
Rev3.2.1	2022.07.18	Fumy	1.修改 UART0 波特率控制寄存器注释中波特率的值
Rev3.2.2	2022.07.21	Fumy	1.将 OPA0/OPA1 控制寄存器 Bit7:5 合并在一起描述 2.修改外部中断控制与状态寄存器 Bit1 与 Bit0 的描述

			3.修改定时器控制寄存器 Bit3 与 Bit1 的描述
Rev3.2.3	2022.08.04	Guoyl	1.修改 TIM3_SMCR 模式控制寄存器 (FF30H) Bit7 描述 2.增加 ADC 控制寄存器 ADCON (D8H) Bit4 注释