



杭州领芯微电子有限公司

LCM08F16 系列用户手册

文档版本：2.2

发布日期：2024.08.19

适用产品：LCM08F16SS24

LCM08F16S24D

LCM08F16S28

LCM08F16L48F



内置高精度振荡、LCD 驱动、12 位 ADC 、3 个定时器、1 路 UART、1 路 SPI 、 16K Flash 存储器和 256B 可编程 E2PROM 的 LCM08F16 系列 8 位 MCU

介绍

该用户手册提供了 LCM08F16 系列 MCU 的完整参考信息,LCM08F16 是一款集成 LCD 驱动 8 位 MCU, 整体架构如图 1 所示。它采用 LC51 核, 内置 16K 字节 Flash 、512 字节 RAM 及 256 字节 E2PROM, 内置 8MHz 高精度 RC 振荡、轨到轨的模拟比较器、12 位高精度 ADC, 具有灵活的时钟系统、丰富的定时器资源和通讯接口, 使其适合多种控制应用。2.0V~5.5V 的工作电压范围、极低待机显示电流、超低停机电流, 使其特别适合电池供电应用和带面板显示的系统, 如: 对讲机、医疗保健设备、面板显示、智能仪表等。

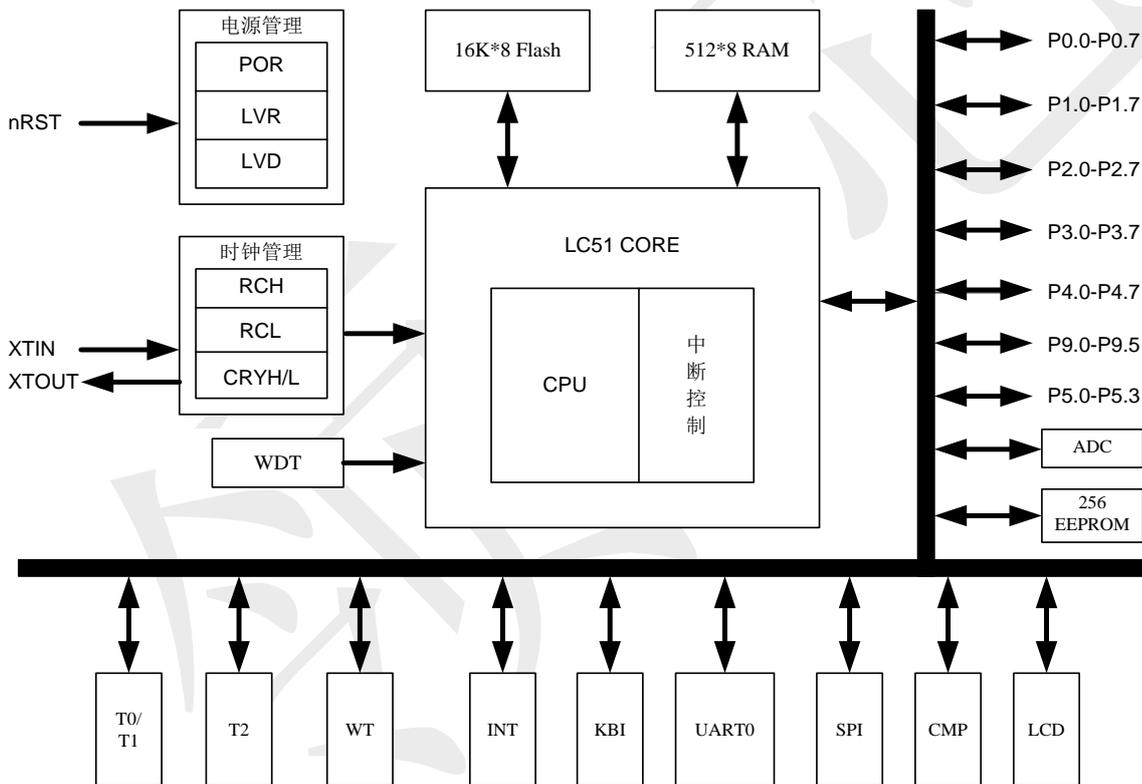


图 0-1 LCM08F16xx 内部框图

主要特点:

- 8 位 LC51 CPU
 - 兼容 MCS51 指令集; 双 DPTR; 增加软件陷阱指令。
 - 改进的指令架构, 90%的指令执行时间为两至四个系统时钟周期。
- 片上存储器



- 16K+64 字节 FLASH, 数据保持时间大于 10 年, 写周期>1000 次。
- 256 字节 EEPROM, 数据保持时间大于 10 年, 写周期>10000 次;
- 512 字节 RAM。
- 支持在系统编程 (ISP), 仅需 5 个管脚 (包括 VDD 和 VSS 在内)。
- 支持 FLASH 分页加密, 每 512 字节单独读写可控。
- 电源和复位
 - 工作电压: VDD=2.0V~5.5V。
 - 内置上电复位电路 (POR)。
 - 内置低压复位电路 (LVR), 8 个复位点可选: 1.8V, 2.0V, 2.5V, 2.6V, 2.8V, 3.0V, 3.5V, 4.0V。
 - 内置低压检测电路 (LVD), 8 个检测点可选: 2.2V, 2.4V, 2.5V, 2.7V, 2.9V, 3.1V, 3.65V, 4.5V。
 - 内置看门狗定时器 (WDT)。
- 时钟系统
 - 内置 32KHz 低频 RCL。
 - 内置 8MHz 高精度 RCH, 精度 $\pm 1.5\%$ @V_{DD}=2.0~5.5V, T_A=-40°C~+105°C。
 - 外部高频振荡 1~8MHz, 或者外部低频振荡 32.768KHz, 两者复用同一组管脚, 由信息区配置。
 - 系统时钟预分频系数: 8/4/2/1。
 - CPU 最高主频 8MHz @V_{DD}=2.5V~5V。 4MHz@ V_{DD}=2.0~2.5V;
- 输入/输出
 - 最大支持 50 个 I/O 端口。
 - 每个 IO 都可设置成 4 种模式: 悬空输入/上拉输入/推挽输出/开漏输出。
 - I/O 驱动能力和斜率可调节;
 - P0/P1/P2/P4 口具有键盘中断唤醒功能; 中断极性可设。
 - 4 路外部中断输入; 中断极性可设。
- 定时器
 - 2 个 16 位定时器 (T0、T1), 兼容传统 MCS51 功能。且 T0 支持方波输出, T1 支持 PWM 输出。
 - 1 个带捕获功能的 16 位定时器 T2, 支持两路 PWM 波输出, 占空比可以任意配置。
 - 1 个 8 位 WT 定时器, 可产生四种频率蜂鸣信号: 8K/4K/2K/1KHz。
- 串行通信口
 - 1 路 UART 通讯口, 可配置高精度波特率。
 - 1 路 SPI 通讯口, 最高支持 4M 数据传输速率 @MCLK=8MHz。
- 模拟
 - 1 路轨到轨的模拟比较器 (ACMP), 内置 16 级电阻分压参考电平, 内置基准电压可被选为电阻分压源。
 - 内置电阻型 LCD 驱动器, 电阻型 LCD 对比度 8 级可调, 3 种驱动能力可选, 具有快速充电模式; 最大支持 4X35 段, 5X34 段, 6X33 段; 1/2、1/3 偏置可选。
- 工作模式
 - 正常工作模式。
 - 休眠 (Sleep) 模式。
 - 停机 (STOP) 模式。
- 工作温度
 - 环境温度: -40°C~+105°C。



目录

1. LC51 CPU 核.....	15
1.1 特征.....	15
1.2 地址空间.....	15
1.2.1 数据存储器地址空间.....	15
1.2.2 程序存储器地址空间.....	16
1.3 工作寄存器.....	17
1.4 MCU 内核寄存器.....	18
1.5 指令集.....	20
1.5.1 符号说明.....	20
1.5.2 指令列表.....	21
2. 特殊功能寄存器（SFR）总表.....	26
3. 通用输入/输出端口(GPIO).....	30
3.1 基本特征.....	30
3.2 工作模式.....	30
3.3 引脚复用.....	30
3.4 引脚功能.....	32
3.5 管脚结构.....	33
3.5.1 T0:与 RST 复用的 GPIO.....	33
3.5.2 T1:与 LCD COM 和 SEG 管脚复用的大驱动 GPIO.....	35
3.5.3 T2:与 LCD SEG 复用的 GPIO.....	36
3.5.4 T3: 与 LCD COM 管脚复用的大驱动 GPIO.....	37
3.5.5 T4:与晶振/AD 复用的 GPIO.....	38
3.5.6 T5:与 AD 复用的强 GPIO.....	39
3.5.7 T6:与 AD/LCD 复用的 GPIO.....	40
3.5.8 T7: 与 AD/晶振复用 GPIO.....	41
3.6 寄存器说明.....	42
3.7 功能描述.....	55
3.7.1 模式设置.....	55
3.7.2 功能复用.....	57

3.8 使用提示	57
4. 时钟系统	58
4.1 基本特征	58
4.2 工作模式	58
4.3 功能框图	58
4.4 管脚设置	59
4.5 寄存器说明	60
4.6 功能描述	64
4.6.1 时钟源	64
4.6.2 系统时钟配置	65
4.6.3 系统时钟切换时序	65
4.7 使用提示	67
5. 复位系统	70
5.1 基本特征	70
5.2 工作模式	70
5.3 功能框图	70
5.3.1 POR 复位时序	71
5.3.2 外部复位时序	72
5.3.3 LVR 复位时序	72
5.3.4 WDT 复位和软件复位	73
5.4 寄存器说明	73
5.5 功能说明	74
6. 电源管理	75
6.1 基本特征	75
6.2 工作模式	75
6.3 功能框图	75
6.4 管脚配置	75
6.5 寄存器说明	76
6.6 功能描述	78
6.6.1 带隙基准 BGR	78



6.6.2 低压检测 LVD.....	78
6.6.3 低压复位 LVR.....	79
6.7 使用提示.....	79
7. E2PROM/Flash 在线编程控制器(IAP).....	80
7.1 基本特征.....	80
7.2 寄存器说明.....	80
7.3 Flash/E2PROM 写时间参数.....	83
7.4 存储器安全机制简介.....	84
7.4.1 信息区字节说明.....	84
7.4.2 程序区读写说明.....	86
7.5 使用提示.....	88
8. 工作模式.....	89
8.1 基本特征.....	89
8.2 模式转换说明.....	89
8.3 寄存器说明.....	90
8.4 待机模式 (SLEEP).....	90
8.4.1 SLEEP 模式下系统工作情况.....	90
8.4.2 SLEEP 标志读写.....	91
8.4.3 SLEEP 唤醒方式.....	91
8.5 停机模式 (STOP).....	91
8.5.1 STOP 模式下系统工作情况.....	91
8.5.2 STOP 标志读写.....	91
8.5.3 STOP 唤醒方式.....	91
8.5.4 唤醒时序图.....	92
8.6 低功耗设计.....	92
8.6.1 时钟.....	92
8.6.2 低压复位和低压监测电路.....	92
8.6.3 端口.....	92
8.6.4 待机模式和停机模式.....	92
8.6.5 WDT 电路.....	92

9. 中断系统.....	93
9.1 基本特征.....	93
9.2 中断表.....	93
9.3 中断框图.....	95
9.4 管脚配置.....	95
9.5 寄存器说明.....	96
9.6 功能描述.....	103
9.6.1 中断执行过程.....	103
9.6.2 中断时序.....	103
9.6.3 外部中断.....	104
9.7 使用提示.....	106
10. 定时器 T0/T1.....	108
10.1 基本特征.....	108
10.2 工作模式.....	108
10.3 管脚配置.....	108
10.4 寄存器说明.....	108
10.5 功能描述.....	112
10.5.1 工作模式 0.....	112
10.5.2 工作模式 1.....	112
10.5.3 工作模式 2.....	113
10.5.4 工作模式 3.....	113
10.5.5 T0 方波输出模式 ^{注1}	114
10.5.6 T1 PWM 输出模式 ^{注1}	115
10.6 使用提示.....	115
11. 定时器 T2.....	116
11.1 基本特征.....	116
11.2 工作模式.....	116
11.3 管脚配置.....	116
11.4 寄存器说明.....	116
11.5 功能描述.....	123

11.5.1	16 位自动重载模式 (PPGEN=0, CP/RL2=0)	123
11.5.2	16 位捕获模式 (PPGEN=0, CP/RL2=1)	123
11.5.3	可编程波形生成器 (PPGEN=1/PPGEN1=1, CP/RL2=0)	124
11.5.4	单脉冲发生器	126
12.	钟表定时器 WT	128
12.1	基本特征	128
12.2	工作模式	128
12.3	功能框图	128
12.4	管脚配置	129
12.5	寄存器说明	129
12.6	功能描述	131
13.	ADC 控制器	132
13.1	基本特征	132
13.2	功能框图	132
13.3	管脚配置	132
13.4	寄存器说明	133
13.5	功能概述	136
13.5.1	工作模式	136
13.5.2	参考电源选择	136
14.	液晶显示驱动 LCD	138
14.1	基本特征	138
14.2	工作模式	138
14.3	功能框图	138
14.4	管脚配置	139
14.5	寄存器说明	139
14.5	功能描述	142
14.5.1	LCD 时钟源	142
14.5.2	LCD 帧频率	142
14.5.3	LCD COM 口配置	142
14.5.4	LCD SEG 口配置	142

14.5.5 电阻型 LCD 驱动.....	142
14.5.6 COM/SEG 波形.....	144
15. 键盘中断 KBI.....	148
15.1 基本特征.....	148
15.2 工作模式.....	148
15.3 内部框图.....	148
15.4 管脚配置.....	148
15.5 寄存器说明.....	149
15.6 功能描述.....	151
15.7 使用提示.....	151
16. 模拟比较器 ACMP.....	152
16.1 基本特征.....	152
16.2 工作模式.....	152
16.3 管脚配置.....	152
16.4 功能框图.....	152
16.5 寄存器说明.....	153
16.6 功能描述.....	155
16.6.1 比较器使能.....	155
16.6.2 比较器输出选择.....	156
16.6.3 比较器输入选择.....	156
16.6.4 比较器中断.....	156
16.7 使用提示.....	156
17. 看门狗定时器 WDT.....	157
17.1 基本特征.....	157
17.2 工作模式.....	157
17.3 内部框图.....	157
17.4 寄存器说明.....	157
17.5 功能描述.....	158
17.6 使用提示.....	159
18. 通用串行接口 UART0.....	160

18.1	基本特征	160
18.2	工作模式	160
18.3	功能框图	161
18.4	管脚配置	161
18.5	寄存器说明	161
18.6	功能描述	164
18.6.1	方式 1	164
18.6.2	方式 2 和 3	165
19.	串行外设接口 SPI	166
19.1	基本特征	166
19.2	工作模式	166
19.3	功能框图	166
19.4	管脚配置	167
19.5	寄存器说明	167
19.6	功能描述	170
19.6.1	信号说明	170
19.6.2	SPI 工作方式	172
19.6.3	中断源	174
19.6.4	串行时序	177
19.6.5	波特率限制	178
19.7	使用提示	181
20.	电气特性	182
20.1	绝对最大值	182
20.2	推荐工作条件	183
20.3	直流电气特性	183
21.	历史版本	188

图片目录

图 1-1 LCM08F16xx 内部框图.....	2
图 1-1 数据存储器结构.....	15
图 1-2 程序存储器空间分布.....	17
图 3-1 与 RST 复用的 GPIO.....	33
图 3-2 与 LCD 复用的 GPIO (SEG 和 COM 同时复用).....	35
图 3-3 与 LCD SEG 复用的 GPIO.....	36
图 3-4 与 LCD COM 管脚复用的 GPIO.....	37
图 3-5 与晶振/AD 复用的 GPIO.....	38
图 3-6 与 AD 复用的 GPIO.....	39
图 3-7 与 AD/LCD 复用的 GPIO.....	40
图 3-8 与 AD/晶振复用的 GPIO.....	41
图 4-1 时钟系统结构.....	59
图 4-2 RCH 切换到 CRYH 时序.....	66
图 4-3 CRYH 切换到 RCH 时序.....	66
图 4-4 外部晶振典型配置.....	68
图 4-5 外接晶振不恰当走线.....	69
图 5-1 复位简化逻辑.....	71
图 5-2 上电复位典型时序.....	72
图 5-3 外部复位时序.....	72
图 5-4 低压复位时序.....	73
图 6-1 PMU 结构框图.....	75
图 8-1 工作模式状态/转换.....	89
图 8-2 STOP 模式退出时序 (非复位).....	92
图 9-1 中断结构.....	95
图 9-2 基本中断时序.....	103
图 9-3 外部中断采集.....	105
图 10-1 工作模式 0.....	112
图 10-2 工作模式 1.....	113
图 10-3 工作模式 2.....	113
图 10-4 工作模式 3.....	114
图 10-5 T0 方波输出示意图.....	114
图 10-6 T1 PWM 输出示意图.....	115
图 11-1 16 位自动重载模式内部框图.....	123
图 11-2 16 位捕获模式内部框图.....	124
图 11-3 16 位 PPG 模式内部框图.....	125
图 11-4 16 位 PPG 模式重复触发禁止波形图.....	125
图 11-5 16 位 PPG 模式重复触发使能波形图.....	126
图 11-6 16 位单脉冲模式内部框图.....	127
图 11-7 16 位单脉冲模式波形图.....	127
图 12-1 WT 功能框图.....	128
图 13-1 ADC 结构框图.....	132
图 13-2 ADC 参考电压框图.....	137

图 14-1	LCD 功能框图.....	138
图 14-2	电阻型 LCD 偏置的内部框图.....	143
图 14-3	LCD 扫描 4COM 波形.....	144
图 14-4	LCD 扫描 5COM 波形.....	146
图 14-5	LCD 扫描 6COM 波形.....	147
图 15-1	KBI 结构框图.....	148
图 16-1	模拟比较器功能框图.....	152
图 16-2	内部参考电压示意图.....	153
图 16-3	单个比较器比较原理.....	155
图 17-1	WDT 功能框图.....	157
图 18-1	UART 功能框图.....	161
图 19-1	SPI 功能框图.....	167
图 19-2	多主机连接图（全双工方式）.....	171
图 19-3	单主机和单从机连接图（全双工方式）.....	171
图 19-4	单主机和多从机连接图（全双工方式）.....	172
图 19-5	单主机和单从机连接图（半双工方式）.....	172
图 19-6	单主机和多从机连接图（半双工方式）.....	172
图 19-7	SPI 主机方式数据传输流程示意图.....	173
图 19-8	SPI 从机方式数据传输流程示意图.....	174
图 19-9	SPRF 置位/清零示意图.....	175
图 19-10	SPTEF 置位/清零示意图.....	175
图 19-11	RXOV 置位/清零示意图.....	176
图 19-12	WCOL 置位/清零示意图.....	176
图 19-13	MODF 置位/清零示意图.....	177
图 19-14	主方式数据和时钟时序图.....	177
图 19-15	从方式数据和时钟的时序图.....	178
图 19-16	从方式波特率限制时序示意图.....	179
图 19-17	SPI 主机方式时序要求（CPHA=0）.....	179
图 19-18	SPI 主机方式时序要求（CPHA=1）.....	180
图 19-19	SPI 从机方式时序要求（CPHA=0）.....	180
图 19-20	SPI 从机方式时序要求（CPHA=1）.....	181

表格目录

表 1-1	MCU 内核寄存器	18
表 1-2	指令列表	21
表 2-1	LCM08F16 寄存器总表	26
表 3-1	引脚复用	30
表 3-2	引脚功能描述	32
表 3-3	端口信号说明	34
表 3-4	端口信号说明	35
表 3-5	端口信号说明	36
表 3-6	端口信号说明	37
表 3-7	端口信号说明	38
表 3-8	端口信号说明	39
表 3-9	端口信号说明	40
表 3-10	端口信号说明	41
表 3-11	GPIO 寄存器列表	42
表 4-1	时钟系统管脚配置表	59
表 5-1	复位情况工作表	70
表 5-2	特殊复位源寄存器	74
表 6-1	STOP 模式下, 电源管理模块的工作情况	75
表 6-2	PMU 管脚复用配置表	76
表 6-3	电源管理模块寄存器表	76
表 7-1	存储区信息区读写参数	83
表 7-2	E2PROM 读写参数	84
表 7-3	信息区字节意义说明	85
表 7-4	读保护字节(IRPEn)说明	86
表 7-5	写保护字节说明	87
表 8-1	工作状态转换条件表	89
表 8-2	工作模式寄存器表	90
表 9-1	LCM08F16 中断资源	93
表 9-2	外部中断复用管脚配置列表	96
表 9-3	中断寄存器	96
表 9-4	INT0 模式配置	106
表 9-5	INT2 模式配置	106
表 10-1	T0/T1 管脚配置表	108
表 10-2	T0/T1 相关寄存器列表	108
表 10-3	T0 方波周期表	114
表 11-1	T2 管脚配置表	116
表 11-2	定时器 2 寄存器表	116
表 12-1	WT 配置表	129
表 12-2	WT 相关寄存器表	129
表 13-1	ADC 管脚配置表	133
表 13-2	ADC 器寄存器表	133
表 14-1	LCD 寄存器表	139

表 14-2	LCD 显示数据与 COM 口的对应关系表.....	140
表 15-1	KBI 管脚配置表.....	148
表 15-2	键盘中断寄存器列表.....	149
表 16-1	ACMP 管脚复用配置表.....	152
表 16-2	模拟比较器寄存器列表.....	153
表 17-1	WDT 寄存器表.....	157
表 17-2	WDT 溢出时间范围列表.....	159
表 18-1	UART0 管脚配置表.....	161
表 18-2	UART 寄存器列表.....	162
表 19-1	SPI 管脚配置表.....	167
表 19-2	SPI 寄存器列表.....	167
表 19-3	NSS 脚功能.....	171
表 19-4	SPI 主方式时序参数.....	180
表 19-5	SPI 从方式时序参数.....	181
表 20-1	电压特性.....	182
表 20-2	电流特性.....	182
表 20-3	热特性.....	182
表 20-4	ESD 保护和 Latch-up 免疫特性.....	182
表 20-5	工作条件.....	183
表 20-6	电流特性.....	183
表 20-7	I/O 特性.....	184
表 20-8	系统监控与复位特性.....	185
表 20-9	模拟比较起特性.....	186
表 20-10	振荡与时钟特性.....	186
表 20-11	LCD 驱动特性.....	187

1. LC51 CPU 核

1.1 特征

LCM08F16 中 CPU 采用增强型 8 位 LC51 核，其特点如下：

- ◇ 指令集兼容 MCS-51；双 DPTR；增加软件陷阱指令。
- ◇ 改进的指令架构，90%的指令执行时间为两至四个系统时钟周期。
- ◇ 内嵌 16K 字节 FLASH、512 字节 RAM。

1.2 地址空间

LCM08F16 的片内存储器由数据存储器和程序存储器组成。

1.2.1 数据存储地址空间

数据存储分为内部数据存储器和外部数据存储器，由 MOV 指令访问内部数据存储器，由 MOVX 指令访问外部数据存储器。

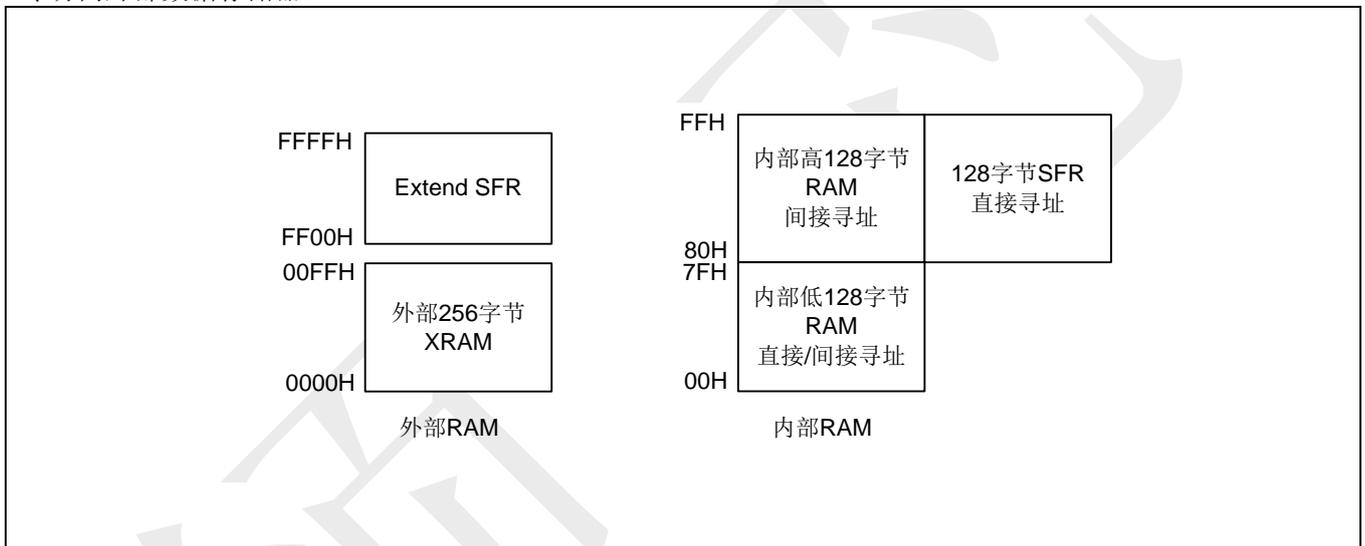


图 1-1 数据存储器结构

内部数据存储器地址空间为 00H~FFH，分为物理性质不同的几个存储区：RAM 区，特殊功能(SFR)寄存器区。

00H~7FH 的地址空间是低 128 字节 RAM 区，支持直接寻址与间接寻址。

80H~FFH 的地址空间是高 128 字节 RAM 和特殊功能寄存器（SFR）的重叠区，通过不同的寻址方式来区别：直接寻址指令访问 SFR，间接寻址指令访问 RAM。

```
MOV 30H, #0A5H //RAM 区直接寻址，表示把立即数 A5H 送到地址为 30H 的 RAM 区
MOV 80H, #0A5H //表示把立即数 A5H 送到地址为 80H 的特殊功能寄存器（P0 口）
MOV @R0, #0A5H //RAM 区间接寻址，如果 R0 值为 30H，那么该指令表示把立即数 A5H 送到地址为 30H（由 R0 的值决定）的 RAM 区
```

外部数据存储器地址只能能通过 MOVX 指令访问，其中 0000H~00FFH 作为外部 RAM 区，FF00H~FFFFH 作为扩展 SFR 区。外部数据存储器可通过寄存器间接寻址或 DPTR 指针访问。

假设要访问外部 RAM 的特殊功能寄存器，如系统配置寄存器 SYSCFG（地址：FFA2H）。可以这样实现：

头文件中定义：

```
SYSCFG EQU FFA2H
```

操作程序如下：

```
MOV DPTR, #SYSCFG
```

```
MOV A, #80H
```

```
MOVX @DPTR, A
```

//通过上面三条指令便可把立即数 80H 装入到寄存器 SYSCFG 中。

1.2.2 程序存储器地址空间

LCM08F16 内部集成 16K 字节的 FLASH 程序存储器，程序存储器的某些地址被定义为中断程序的入口，这些地址称为中断向量。关于中断向量的部分描述请参考中断系统。

LCM08F16 的 16K 字节 FLASH 程序存储器的空间分布如图 1-2 所示。

0000H	程序起始地址
0003H	外部中断0向量地址
000BH	定时器0中断向量地址
0013H	外部中断1向量地址
001BH	定时器1中断向量地址
0023H	UART0中断向量地址
002BH	定时器2中断向量地址
0033H	SPI中断向量地址
003BH	定时器2捕获中断向量地址
0043H	保留
004BH	低压报警中断向量地址
0053H	保留
005BH	比较器输出上升沿中断向量地址
0063H	比较器输出下降沿中断向量地址
006BH	ADC中断向量地址
0073H	保留
007BH	外部中断2向量地址
0083H	外部中断3向量地址
008BH	保留
0093H	保留
009BH	WT中断向量地址
00A3H	KBI中断向量地址
00ABH	保留
3FFFH	程序区

图 1-2 程序存储器空间分布

1.3 工作寄存器

内部数据存储区的低 32 个字节（地址范围：00H~1FH）也可以作为工作寄存器进行访问。同 MCS-51

一样，LC51 也支持 4 组工作寄存器，每组包括 8 个 8 位寄存器：R0~R7。设置程序状态字（PSW）中的 RS0（PSW.3）和 RS1（PSW.4）位可选择其中一个工作寄存器组作为当前工作寄存器组。调用子程序或进入中断服务程序时，可通过设置工作寄存器组进行快速的现场切换。未使用到的工作寄存器组可作为普通数据存储使用。

工作寄存器 R0 和 R1 还可作为间址寄存器。具体用法请参考指令集。

1.4 MCU 内核寄存器

直接寻址空间的 80~FFH 的范围为特殊功能寄存器（SFR）区，其中 MCU 内核寄存器如表 1-1 所示。

表 1-1 MCU 内核寄存器

名称	说明	可位寻址	读写权限	复位值	字节地址
SP	堆栈指针	×	R/W	0000_0111B	81H
DPL	数据指针低字节	×	R/W	0000_0000B	82H
DPH	数据指针高字节	×	R/W	0000_0000B	83H
PSW	程序状态字	√	R/W	0000_0000B	D0H
ACC	累加器	√	R/W	0000_0000B	E0H
B	B 寄存器	√	R/W	0000_0000B	F0H
MOVXRH	Ri 间接寻址高 8 位地址寄存器	×	R/W	0000_0000B	A1H
AUXR1	DPTR 选择寄存器	×	R/W	uuuu_0uu0B	A2H

注：x 表示不确定；- 表示未实现；u 表示不受复位影响；c 表示该位复位值因复位源而异（以后章节同上述）。

MCU 内核寄存器的详细说明如下：

累加器 ACC（E0H）

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0
位地址：	E7H	E6H	E5H	E4H	E3H	E2H	E1H	E0H
访问权限：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值：	0	0	0	0	0	0	0	0
提示：	—：未实现位；U：不受复位影响；R-0：只读，读 0；R/W：可读写							

B 寄存器 B（F0H）

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0
位地址：	F7H	F6H	F5H	F4H	F3H	F2H	F1H	F0H
访问权限：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值：	0	0	0	0	0	0	0	0
提示：	—：未实现位；U：不受复位影响；R-0：只读，读 0；R/W：可读写							

程序状态字 PSW（D0H）

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	CY	AC	F0	RS[1]	RS[0]	OV	F1	P
位地址：	D7H	D6H	D5H	D4H	D3H	D2H	D1H	D0H
访问权限：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值：	0	0	0	0	0	0	0	0
提示：	—：未实现位；U：不受复位影响；R-0：只读，读 0；R/W：可读写							

程序状态字 PSW 是可按位寻址的 SFR，它包含了程序执行后的状态信息，供程序查询或判别使用。

Bit7 CY：进位标志位。

在执行加法指令之后，若运算结果最高位有向前进位则 **CY** 置 1，若运算结果最高位没有向前进位则 **CY** 清 0；在执行减法指令之后，若运算结果最高位有向前借位则 **CY** 置 1，若运算结果最高位没有向前借位则 **CY** 清 0；乘、除法运算后，**CY** 总被清 0；**CY** 也是执行位操作时的位置累加器，在指令集的汇编表达式中用 **C** 作为位置累加器 **CY** 的助记符。

Bit6 **AC**: 半进位标志。

在执行加法指令之后，若运算结果低半字节有向高半字节进位则 **AC** 置 1，若运算结果低半字节没有向高半字节进位则 **AC** 清 0；在执行减法指令之后，若运算结果低半字节有向高半字节借位则 **AC** 置 1，若运算结果低半字节没有向高半字节借位则 **AC** 清 0。

Bit5 **F0**: 用户标志位。

其含义由用户自定义。

Bit4~Bit3 **RS[1:0]**: 工作寄存器组选择位。

设置 **RS1**、**RS0** 的值的组合，可切换当前的工作寄存器组，对应关系如下：

00: 第 0 组寄存器组，内部 RAM 地址：**00H~07H**。

01: 第 1 组寄存器组，内部 RAM 地址：**08H~0FH**。

10: 第 2 组寄存器组，内部 RAM 地址：**10H~17H**。

11: 第 3 组寄存器组，内部 RAM 地址：**18H~1FH**。

Bit2 **OV**: 溢出标志位。

加、减法运算后，若补码结果超出 $(-128, 127)$ 范围则 **OV** 置 1，无溢出则 **OV** 清 0；乘法运算后，若乘积大于 **FFH**，则 **OV** 置 1，否则 **OV** 清 0；除法运算后，正常情况下 **OV** 被清 0，但若除数为 0 导致结果无法确定，则 **OV** 置 1。

Bit1 **F1**: 用户标志位。

其含义由用户自定义。

Bit0 **P**: 奇偶校验位。

任意一条指令执行完之后，若累加器 **ACC** 中 8 个位的和为奇数时 **P** 置 1，为偶数时 **P** 清 0。

堆栈指针 SP (81H)

堆栈指针 **SP** 的地址为 **81H**。**LC51** 核的堆栈结构属于向上生成型。在使用堆栈之前，需先给 **SP** 赋值。数据进栈时，**SP** 先自动增 1，再把数据存到 **SP** 指向的 RAM 单元；数据出栈时，先把 **SP** 指向的 RAM 单元的值读出，**SP** 再自动减 1。

SP 的复位值是 **07H**。

数据指针 DPTR (82H, 83H)

数据指针 **DPTR** 是一个 16 位的 **SFR**，不可按位寻址。其高位字节寄存器用 **DPH** 表示（地址 **83H**），低位字节用 **DPL** 表示（地址 **82H**）。**DPTR** 在 **MOVX**，**MOVC**，**JMP** 指令中主要用作 16 位间址寄存器，也可以作为两个独立的 8 位寄存器（**DPH**、**DPL**）使用。

DPTR 的复位值为 **0000H**。

DPTR 选择寄存器 AUXR1 (A2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	F2	—	SPOVEN	DPS
访问权限:	R-0	R-0	R-0	R-0	R/W	R-0	R/W	R/W
复位值:	U	U	U	U	0	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7~Bit4 未实现位。

Bit3 **F2**: 用户标志位。

其含义由用户自定义。

Bit2 未实现位

- Bit1** SPOVEN: 堆栈溢出复位控制位。
0: 禁止堆栈溢出复位。
1: 使能堆栈溢出复位。
- Bit0** DPS: 双 DPTR 切换控制位。
LC51 有 2 个 DPTR 寄存器, 使用相同的地址。通过设置 AUXR1 的最低位 DPS 来选择其中一个 DPTR 作为当前的 16 位数据指针 (或 DPH、DPL 寄存器)。双 DPTR 在查表操作时可以大大提高执行效率和代码效率。
AUXR1 只能按字节寻址。DPS=0 时, 选择系统默认的第一个 DPTR 作为当前的 16 位数据指针 (或 DPH、DPL 寄存器); DPS=1 时, 选择第二个 DPTR 作为当前的 16 位数据指针 (或 DPH、DPL 寄存器)。

Ri 间接寻址高 8 位地址寄存器 MOVXRH (A1H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0: 只读, 读出值为 0;							

LC51 核使用 Ri 的间接寻址时, 可以通过设置 MOVXRH 来设定间接地址的高 8 位。

1.5 指令集

1.5.1 符号说明

- ◇ Rn — 当前选中的工作寄存器区的 8 个工作寄存器 R0~R7 (n=0~7)。
- ◇ Ri — 当前选中的工作寄存器区中可作间址寄存器的 2 个寄存器 R0、R1 (i=0, 1)。
- ◇ dir — 8 位内部数据存储器单元的地址。可以是内部 RAM 单元的地址 (00H~FFH) 或 SFR 的地址 (如 I/O 端口、控制寄存器、状态寄存器等)。
- ◇ #data — 包含在指令中的 8 位立即数。
- ◇ #data16 — 包含在指令中的 16 位立即数。
- ◇ addr16 — 16 位目的地址, 用于 LCALL 和 LJMP 指令中。
- ◇ addr11 — 11 位目的地址, 用于 ACALL 和 AJMP 指令中, 它的地址必须与下一条指令的第一个字节的地址的高 5 位相同。
- ◇ rel — 8 位带符号的地址偏移量, 用于 SJMP 和所有的条件转移指令中; 偏移值相对于下一条指令的第一个字节的地址计算, 在-128~+127 范围内取值。
- ◇ bit — 内部 RAM 或 SFR 中的直接寻址位。
- ◇ A — 累加器。
- ◇ B — B 寄存器, 用于 MUL 和 DIV 指令中。
- ◇ C — 进位或借位标志, 或布尔处理器中的累加器。
- ◇ @ — 间址寄存器或基址寄存器的前缀, 如 @Ri, @A, @DPTR。
- ◇ \ — 表示余数。
- ◇ ~ — 按位取反。
- ◇ (X) — X 中的内容。
- ◇ ← — 箭头左边的内容被箭头右边的内容所代替。
- ◇ → — 箭头右边的内容被箭头左边的内容所代替。
- ◇ ↔ — 箭头两边的内容互换。

- ◇ \wedge , \vee , \oplus — 分别表示与, 或, 异或。
- ◇ $[X1:X0]$ — 表示第 X1 位至第 X0 位。
- ◇ $|\leftarrow|$ — 表示循环左移一位。
- ◇ $|\rightarrow|$ — 表示循环右移一位。
- ◇ , — 用来分隔指令功能一栏顺序执行的步骤。
- ◇ ; — 用来分隔指令功能一栏里并行的步骤。

1.5.2 指令列表

表 1-2 指令列表

序号	助记符	指令功能	操作码	字节数	振荡周期	对标志位影响			
						CY	AC	OV	P
数据传送指令									
1	MOV A,Rn	$A \leftarrow Rn$	E8H~EFH	1	2	×	×	×	√
2	MOV A,dir	$A \leftarrow (dir)$	E5H	2	3	×	×	×	√
3	MOV A,@Ri	$A \leftarrow (Ri)$	E6H,E7H	1	3	×	×	×	√
4	MOV A,#data	$A \leftarrow data$	74H	2	2	×	×	×	√
5	MOV Rn,A	$Rn \leftarrow A$	F8H~FFH	1	3	×	×	×	×
6	MOV Rn,dir	$Rn \leftarrow (dir)$	A8H~AFH	2	3	×	×	×	×
7	MOV Rn,#data	$Rn \leftarrow data$	78H~7FH	2	3	×	×	×	×
8	MOV dir,A	$(dir) \leftarrow A$	F5H	2	4	×	×	×	×
9	MOV dir,Rn	$(dir) \leftarrow Rn$	88H~8FH	2	2	×	×	×	×
10	MOV dir1,dir2	$(dir1) \leftarrow (dir2)$	85H	3	3	×	×	×	×
11	MOV dir,@Ri	$(dir) \leftarrow (Ri)$	86H,87H	2	3	×	×	×	×
12	MOV dir,#data	$(dir) \leftarrow data$	75H	3	4	×	×	×	×
13	MOV @Ri,A	$(Ri) \leftarrow A$	F6H,F7H	1	4	×	×	×	×
14	MOV @Ri,dir	$(Ri) \leftarrow (dir)$	A6H,A7H	2	3	×	×	×	×
15	MOV @Ri,#data	$(Ri) \leftarrow data$	76H,77H	2	4	×	×	×	×
16	MOV DPTR,#data16	$DPTR \leftarrow data16$	90H	3	3	×	×	×	×
17	MOVC A,@A+DPTR	$A \leftarrow (A+DPTR)$	93H	1	4	×	×	×	√
18	MOVCA,@A+PC	$A \leftarrow (A+PC)$	83H	1	4	×	×	×	√
19	MOVX A,@Ri	$A \leftarrow (Ri)$	E2H,E3H	1	4	×	×	×	√
20	MOVX A,@DPTR	$A \leftarrow (DPTR)$	E0H	1	4	×	×	×	√
21	MOVX @Ri,A	$(Ri) \leftarrow A$	F2H,F3H	1	4	×	×	×	×
22	MOVX @DPTR,A	$(DPTR) \leftarrow A$	F0H	1	4	×	×	×	×
23	PUSH dir	$SP \leftarrow SP+1, SP \leftarrow (dir)$	C0H	2	3	×	×	×	×
24	POP dir	$(dir) \leftarrow (SP), SP \leftarrow SP-1$	D0H	2	4	×	×	×	×
25	XCH A,Rn	$A \leftrightarrow Rn$	C8H~CFH	1	5	×	×	×	√
26	XCH A,dir	$A \leftrightarrow (dir)$	C5H	2	5	×	×	×	√
27	XCH A,@Ri	$A \leftrightarrow (Ri)$	C6H,C7H	1	5	×	×	×	√
28	XCHD A,@Ri	$A[3:0] \leftrightarrow (Ri)[3:0]$	D6H,D7H	1	4	×	×	×	√

序号	助记符	指令功能	操作码	字节数	振荡周期	对标志位影响			
						CY	AC	OV	P
算术运算指令									
1	ADD A,Rn	$A \leftarrow A + Rn$	28H~2FH	1	2	√	√	√	√
2	ADD A,dir	$A \leftarrow A + (dir)$	25H	2	3	√	√	√	√
3	ADD A,@Ri	$A \leftarrow A + (Ri)$	26H,27H	1	3	√	√	√	√
4	ADD A,#data	$A \leftarrow A + data$	24H	2	2	√	√	√	√
5	ADDC A,Rn	$A \leftarrow A + Rn + CY$	38H~3FH	1	2	√	√	√	√
6	ADDC A,dir	$A \leftarrow A + (dir) + CY$	35H	2	3	√	√	√	√
7	ADDC A,@Ri	$A \leftarrow A + (Ri) + CY$	36H,37H	1	3	√	√	√	√
8	ADDC A,#data	$A \leftarrow A + data + CY$	34H	2	2	√	√	√	√
9	SUBB A,Rn	$A \leftarrow A - Rn - CY$	98H~9FH	1	2	√	√	√	√
10	SUBB A,dir	$A \leftarrow A - (dir) - CY$	95H	2	3	√	√	√	√
11	SUBB A,@Ri	$A \leftarrow A - (Ri) - CY$	96H,97H	1	3	√	√	√	√
12	SUBB A,#data	$A \leftarrow A - data - CY$	94H	2	2	√	√	√	√
13	INC A	$A \leftarrow A + 1$	04H	1	2	×	×	×	√
14	INC Rn	$Rn \leftarrow Rn + 1$	08H~0FH	1	3	×	×	×	×
15	INC dir	$(dir) \leftarrow (dir) + 1$	05H	2	4	×	×	×	×
16	INC @Ri	$(Ri) \leftarrow (Ri) + 1$	06H,07H	1	4	×	×	×	×
17	INC DPTR	$DPTR \leftarrow DPTR + 1$	A3H	1	2	×	×	×	×
18	DEC A	$A \leftarrow A - 1$	14H	1	2	×	×	×	√
19	DEC Rn	$Rn \leftarrow Rn - 1$	18H~1FH	1	3	×	×	×	×
20	DEC dir	$(dir) \leftarrow (dir) - 1$	15H	2	4	×	×	×	×
21	DEC @Ri	$(Ri) \leftarrow (Ri) - 1$	16H,17H	1	4	×	×	×	×
22	MUL AB	$BA \leftarrow A \times B$	A4H	1	8	0	×	√	√
23	DIV AB	$A \setminus B \leftarrow A \div B$	84H	1	8	0	×	√	√
24	DA A	对 A 进行十进制调整	D4H	1	2	√	√	×	√
逻辑运算和移位指令									
1	ANL A,Rn	$A \leftarrow A \wedge Rn$	58H~5FH	1	2	×	×	×	√
2	ANL A,dir	$A \leftarrow A \wedge (dir)$	55H	2	3	×	×	×	√
3	ANL A,@Ri	$A \leftarrow A \wedge (Ri)$	56H,57H	1	3	×	×	×	√
4	ANL A,#data	$A \leftarrow A \wedge data$	54H	2	2	×	×	×	√
5	ANL dir,A	$(dir) \leftarrow (dir) \wedge A$	52H	2	4	×	×	×	×
6	ANL dir,#data	$(dir) \leftarrow (dir) \wedge data$	53H	3	4	×	×	×	×
7	ORL A,Rn	$A \leftarrow A \vee Rn$	48H~4FH	1	2	×	×	×	√
8	ORL A,dir	$A \leftarrow A \vee (dir)$	45H	2	3	×	×	×	√
9	ORL A,@Ri	$A \leftarrow A \vee (Ri)$	46H,47H	1	3	×	×	×	√
10	ORL A,#data	$A \leftarrow A \vee data$	44H	2	2	×	×	×	√
11	ORL dir,A	$(dir) \leftarrow (dir) \vee A$	42H	2	4	×	×	×	×

序号	助记符	指令功能	操作码	字节数	振荡周期	对标志位影响			
						CY	AC	OV	P
12	ORL dir,#data	$(dir) \leftarrow (dir) \vee data$	43H	3	4	×	×	×	×
13	XRL A,Rn	$A \leftarrow A \oplus Rn$	68H~6FH	1	2	×	×	×	√
14	XRL A,dir	$A \leftarrow A \oplus (dir)$	65H	2	3	×	×	×	√
15	XRL A,@Ri	$A \leftarrow A \oplus (Ri)$	66H,67H	1	3	×	×	×	√
16	XRL A,#data	$A \leftarrow A \oplus data$	64H	2	2	×	×	×	√
17	XRL dir,A	$(dir) \leftarrow (dir) \oplus A$	62H	2	4	×	×	×	×
18	XRL dir,#data	$(dir) \leftarrow (dir) \oplus data$	63H	3	4	×	×	×	×
19	CLR A	$A \leftarrow 0$	E4H	1	2	×	×	×	√
20	CPL A	$A \leftarrow \sim A$	F4H	1	2	×	×	×	×
21	RL A	$^l \leftarrow A[7] \leftarrow \dots \leftarrow A[0] \leftarrow ^l$	23H	1	2	×	×	×	×
22	RR A	$^l \rightarrow A[7] \rightarrow \dots \rightarrow A[0] \rightarrow ^l$	03H	1	2	×	×	×	×
23	RLC A	$^l \leftarrow CY \leftarrow A[7] \leftarrow \dots \leftarrow A[0] \leftarrow ^l$	33H	1	2	√	×	×	√
24	RRC A	$^l \rightarrow CY \rightarrow A[7] \rightarrow \dots \rightarrow A[0] \rightarrow ^l$	13H	1	2	√	×	×	√
25	SWAP A	$A[7:4] \leftarrow \rightarrow A[3:0]$	C4H	1	2	×	×	×	×
控制转移指令									
1	AJMP addr11	$PC \leftarrow PC+2,$ $PC[10:0] \leftarrow addr11$	Addr[10:8] 00001B	2	4	×	×	×	×
2	LJMP addr16	$PC \leftarrow addr16$	02H	3	4	×	×	×	×
3	SJMP rel	$PC \leftarrow PC+2+rel$	80H	2	4	×	×	×	×
4	JMP @A+DPTR	$PC \leftarrow (A+DPTR)$	73H	1	3	×	×	×	×
5	JZ rel	$PC \leftarrow PC+2,$ 若 A=0,则 $PC \leftarrow PC+rel$	60H	2	3 +2	×	×	×	×
6	JNZ rel	$PC \leftarrow PC+2,$ 若 A≠0,则 $PC \leftarrow PC+rel$	70H	2	3 +2	×	×	×	×
7	CJNE A,dir,rel	$PC \leftarrow PC+3,$ 若 $A \neq (dir)$,则 $PC \leftarrow PC+rel;$ 若 $A \geq (dir)$,则 $CY \leftarrow 0$,否则 $CY \leftarrow 1$	B5H	3	4 +2	√	×	×	×
8	CJNE A,#data,rel	$PC \leftarrow PC+3,$ 若 $A \neq data$,则 $PC \leftarrow PC+rel;$ 若 $A \geq data$,则 $CY \leftarrow 0$,否则 $CY \leftarrow 1$	B4H	3	3 +2	√	×	×	×
9	CJNE Rn,#data,rel	$PC \leftarrow PC+3,$ 若 $Rn \neq data$, 则 $PC \leftarrow PC+rel;$ 若 $Rn \geq data$,则 $CY \leftarrow 0$,否则 $CY \leftarrow 1$	B8H~BFH	3	3 +2	√	×	×	×

序号	助记符	指令功能	操作码	字节数	振荡周期	对标志位影响			
						CY	AC	OV	P
10	CJNE @Ri,#data,rel	PC←PC+3, 若(Ri)≠data, 则 PC←PC+rel; 若(Ri)≥data,则 CY←0,否则 CY←1	B6H,B7H	3	4 +2	√	×	×	×
11	DJNZ Rn,rel	Rn←Rn-1,PC←PC+2, 若 Rn≠0,则 PC←PC+rel	D8H~DFH	2	4 +2	×	×	×	×
12	DJNZ dir,rel	(dir)←(dir)-1,PC←PC+3, 若(dir)≠0,则 PC←PC+rel	D5H	3	5 +2	×	×	×	×
13	ACALL addr11	PC←PC+2, SP←SP+1,(SP)←PCL, SP←SP+1,(SP)←PCH, PC[10:0]←addr11	Addr[10:8] 10001B	2	7	×	×	×	×
14	LCALL addr16	PC←PC+3, SP←SP+1,(SP)←PCL, SP←SP+1,(SP)←PCH, PC←addr16	12H	3	9	×	×	×	×
15	RET	PCH←(SP),SP←SP-1, PCL←(SP),SP←SP-1	22H	1	6	×	×	×	×
16	RETI	PCH←(SP),SP←SP-1, PCL←(SP),SP←SP-1, 从中断返回	32H	1	6	×	×	×	×
17	SWR	复位	A5H	1	2	0	0	0	0
18	NOP	PC←PC+1	00H	1	2	×	×	×	×
位操作指令									
1	CLR C	CY←0	C3H	1	2	√	×	×	×
2	CLR bit	bit←0	C2H	2	4	×	×	×	×
3	SETB C	CY←1	D3H	1	2	√	×	×	×
4	SETB bit	bit←1	D2H	2	4	×	×	×	×
5	CPL C	CY←~CY	B3H	1	2	√	×	×	×
6	CPL bit	bit←~(bit)	B2H	2	4	×	×	×	×
7	ANL C,bit	CY←CY∧(bit)	82H	2	3	√	×	×	×
8	ANL C,/bit	CY←CY∧~(bit)	B0H	2	3	√	×	×	×
9	ORL C,bit	CY←CY∨(bit)	72H	2	3	√	×	×	×
10	ORL C,/bit	CY←CY∨~(bit)	A0H	2	3	√	×	×	×
11	MOV C,bit	CY←bit	A2H	2	3	√	×	×	×
12	MOV bit,C	bit←CY	92H	2	4	×	×	×	×
13	JC rel	PC←PC+2, 若 CY=1,则 PC←PC+rel	40H	2	3 +2	×	×	×	×

序号	助记符	指令功能	操作码	字节数	振荡周期	对标志位影响			
						CY	AC	OV	P
14	JNC rel	PC←PC+2, 若 CY=0,则 PC←PC+rel	50H	2	3 +2	×	×	×	×
15	JB bit,rel	PC←PC+3, 若(bit)=1,则 PC←PC+rel	20H	3	4 +2	×	×	×	×
16	JNB bit,rel	PC←PC+3, 若(bit)=0,则 PC←PC+rel	30H	3	4 +2	×	×	×	×
17	JBC bit,rel	PC←PC+3, 若(bit)=1,则 PC←PC+rel, (bit)←0	10H	3	6 +2	×	×	×	×

注 1: 振荡周期是指用于系统时钟的时钟源的周期，在本电路中时钟源可以是外接晶振也可以是内置 RC 振荡；有些指令的振荡周期表达成 M+N，是指当条件满足时再增加 N 个振荡周期。

注 2: 表中假设振荡周期与 CPU 时钟周期一致。当选择不同的分频系数时，则每条指令执行时间等于上表提供的值与分频系数相乘。

2. 特殊功能寄存器（SFR）总表

LCM08F16 的所有特殊功能寄存器如下表所示。

表 2-1 LCM08F16 寄存器总表

名称	说明	可位寻址	读写权限	复位值	字节地址
MCU 内核					
SP	堆栈指针	×	R/W	0000_0111B	81H
DPL	数据指针低字节	×	R/W	0000_0000B	82H
DPH	数据指针高字节	×	R/W	0000_0000B	83H
PSW	程序状态字	√	R/W	0000_0000B	D0H
ACC	累加器	√	R/W	0000_0000B	E0H
B	B 寄存器	√	R/W	0000_0000B	F0H
MOVXRH	Ri 间接寻址高 8 位地址寄存器	×	R/W	0000_0000B	A1H
AUXR1	DPTR 选择寄存器	×	R/W	uuuu_0uu0B	A2H
中断控制 INTC					
IE	中断允许寄存器	√	R/W	0u00_0000B	A8H
IP	中断优先级寄存器	√	R/W	uu00_0000B	B8H
EIE1	扩展中断允许寄存器 1	×	R/W	u00u_0uu0B	A9H
EIP1	扩展中断优先级寄存器 1	×	R/W	u00u_0uu0B	B9H
EIE2	扩展中断允许寄存器 2	×	R/W	000u_u000B	AAH
EIP2	扩展中断优先级寄存器 2	×	R/W	000u_u000B	BAH
EINTCS0	外部中断控制与状态寄存器 0	×	R/W	0000_0000B	ACH
EINTCS1	外部中断控制与状态寄存器 1	×	R/W	0000_0000B	BCH
电源管理 PMU					
PCON	电源控制寄存器	×	R/W	uuuu_uu00B	87H
LVDCON	低压检测控制寄存器	×	R/W	uu00_0000B	A5H
LVRCON	低压复位控制寄存器	×	R/W	10uu_uu01B	A6H
STOPCFG	停机模式配置寄存器	×	R/W	uuuu_1u0uB	FFA0H
复位 RESET					
RSTSRC	复位源寄存器	×	R	uuuc_ccccB	A7H
看门狗定时器 WDT					
WDTCON	WDT 控制寄存器	×	R/W	1111_1111B	DDH
WDTCLR0	WDT 清零寄存器 0	×	W	uuuu_uuuuB	DEH
WDTCLR1	WDT 清零寄存器 1	×	W	uuuu_uuuuB	DFH
时钟管理 CKM					
MCKSET	系统时钟设置寄存器	×	R/W	00u0_1000B	91H
WPKEY	关键寄存器写保护寄存器	×	W	uuuu_uuuuB	92H
PCGC	时钟门控寄存器	×	R/W	1u11_1111B	FF60H
LFCSCON	低频时钟源控制寄存器	×	R/W	00uu_0000B	FFEEH
系统配置					
SYSCFG	系统配置寄存器	×	R/W	1000_00u1B	FFA2H
通用 I/O □ GPIO					
P0	P0 数据寄存器	√	R/W	0000_0000B	80H

名称	说明	可位寻址	读写权限	复位值	字节地址
P1	P1 数据寄存器	√	R/W	0000_0000B	90H
P2	P2 数据寄存器	√	R/W	0000_0000B	A0H
P3	P3 数据寄存器	√	R/W	0000_0000B	B0H
P4	P4 数据寄存器	√	R/W	0000_0000B	C0H
P5	P5 数据寄存器	√	R/W	0000_0000B	C8H
P9	P9 数据寄存器	√	R/W	uu00u_0000B	E8H
P0MDL	P0 模式控制寄存器 (低字节)	×	R/W	0000_0000B	ECH
P1MDL	P1 模式控制寄存器 (低字节)	×	R/W	0000_0000B	EDH
P2MDL	P2 模式控制寄存器 (低字节)	×	R/W	0000_0000B	EEH
P3MDL	P3 模式控制寄存器 (低字节)	×	R/W	0000_0000B	EFH
P4MDL	P4 模式控制寄存器 (低字节)	×	R/W	0000_0000B	FFA4H
P5MDL	P5 模式控制寄存器 (低字节)	×	R/W	0000_0000B	FFA5H
P9MDL	P9 模式控制寄存器 (低字节)	×	R/W	0000_0000B	FFA9H
P0MDH	P0 模式控制寄存器 (高字节)	×	R/W	0000_0000B	FCH
P1MDH	P1 模式控制寄存器 (高字节)	×	R/W	0000_0000B	FDH
P2MDH	P2 模式控制寄存器 (高字节)	×	R/W	uu00_0000B	FEH
P3MDH	P3 模式控制寄存器 (高字节)	×	R/W	0000_0000B	FFH
P4MDH	P4 模式控制寄存器 (高字节)	×	R/W	0000_0000B	FFB4H
P5MDH	P5 模式控制寄存器 (高字节)	×	R/W	uuuu_0000B	FFB5H
P9MDH	P9 模式控制寄存器 (高字节)	×	R/W	0000_0000B	FFB9H
P1AEN	P1 模拟通道允许寄存器	×	R/W	u000_0000B	FFC1H
P3AEN	P3/P5 模拟通道允许寄存器	×	R/W	uuuu_0000B	FFC3H
IOMUX0	IO 管脚复用控制寄存器 0	×	R/W	u000_0000B	FFE0H
IOMUX1	IO 管脚复用控制寄存器 1	×	R/W	0000_0000B	FFE1H
IOMUX2	IO 管脚复用控制寄存器 2	×	R/W	0000_000uB	FFE2H
GPIODS0	P0 驱动能力控制	×	R/W	0000_0000B	FFD5H
GPIODS1	P1 驱动能力控制	×	R/W	0000_0000B	FFD6H
GPIODS2	P2 驱动能力控制	×	R/W	0000_0000B	FFD7H
GPIODS3	P3 驱动能力控制	×	R/W	0000_0000B	FFD8H
GPIODS4	P4 驱动能力控制	×	R/W	0000_0000B	FFE0H
GPIODS5	P5 驱动能力控制	×	R/W	u000_UUU0B	FFE6H
GPIODS9	P9 驱动能力控制	×	R/W	uu00_0010B	FFE7H
GPIOSR	I/O 斜率(SlewRate)调节	×	R/W	u011_1111B	FFE8H
LCDP0EN	P0 口 LCD 驱动管脚允许寄存器	×	R/W	uuuu-0000B	FF20H
LCDP1EN	P1 口 LCD 驱动管脚允许寄存器	×	R/W	0000-0000B	FF21H
LCDP2EN	P2 口 LCD 驱动管脚允许寄存器	×	R/W	0000-0000B	FF22H
LCDP3EN	P3 口 LCD 驱动管脚允许寄存器	×	R/W	0000-0000B	FF23H
LCDP4EN	P4 口 LCD 驱动管脚允许寄存器	×	R/W	0000-0000B	FF24H
LCDP5EN	P5 口 LCD 驱动管脚允许寄存器	×	R/W	uuuu-0000B	FF25H
键盘中断 KBI					
KBICON0	P0 口 键盘中断使能寄存器	×	R/W	0000_0000B	FFDAH
KBICON1	P1 口 键盘中断使能寄存器	×	R/W	0000_0000B	FFDCH

名称	说明	可位寻址	读写权限	复位值	字节地址
KBICON2	P2 口键盘中断使能寄存器	×	R/W	0000_0000B	FFDEH
KBICON4	P4 口键盘中断使能寄存器	×	R/W	0000_0000B	FFECH
KBIPS0	P0 口键盘中断极性选择寄存器	×	R/W	0000_0000B	FFDBH
KBIPS1	P1 口键盘中断极性选择寄存器	×	R/W	0000_0000B	FFDDH
KBIPS2	P2 口键盘中断极性选择寄存器	×	R/W	0000_0000B	FFDFH
KBIPS4	P4 口键盘中断极性选择寄存器	×	R/W	0000_0000B	FFEDH
KBIFLG	键盘中断标识寄存器	×	R/W	uuuu_uuu0B	9EH
定时器 TIMER					
TCON	定时器控制寄存器	√	R/W	0000_0000B	88H
TMOD	定时器方式寄存器	×	R/W	0000_0000B	89H
TL0	定时器 0 低字节	×	R/W	0000_0000B	8AH
TL1	定时器 1 低字节	×	R/W	0000_0000B	8BH
TH0	定时器 0 高字节	×	R/W	0000_0000B	8CH
TH1	定时器 1 高字节	×	R/W	0000_0000B	8DH
TIMPRS	定时器时钟预分频控制寄存器	×	R/W	u000_u000B	FFCAH
TIMCFG	定时器 0/1 配置寄存器	×	R/W	uuuu_uu00B	FFCDH
T2MOD	定时器 2 模式寄存器	√	R/W	00uu_0000B	C1H
T2CPL1	T2 捕获寄存器 1 低字节	×	R/W	0000_0000B	C2H
T2CPH1	T2 捕获寄存器 1 高字节	×	R/W	0000_0000B	C3H
T2CPL2	T2 捕获寄存器 2 低字节	×	R/W	0000_0000B	C4H
T2CPH2	T2 捕获寄存器 2 高字节	×	R/W	0000_0000B	C5H
T2CAP	T2 捕获设置寄存器	×	R/W	0100_0000B	C6H
T2CAPS	T2 捕获状态寄存器	×	R/W	0000_0000B	C7H
T2CON	T2 控制寄存器	×	R/W	0000_0000B	C9H
TL2	T2 计数器低字节	×	R/W	0000_0000B	CAH
TH2	T2 计数高字节	×	R/W	0000_0000B	CBH
T2EXS	T2 外部触发源选择寄存器	×	R/W	00u0_u0u0B	CCH
PPG1CON	T2 第二路 PPG 控制寄存器	×	R/W	0000_0000	CFH
T2CPL3	T2 捕获寄存器 3 低字节	×	R/W	0000_0000	CDH
T2CPH3	T2 捕获寄存器 3 高字节	×	R/W	0000_0000	CEH
硬件发码模块 WT					
WTCON	WT 控制寄存器	√	R/W	0000_0001B	BFH
T8(T8RL)	8 位下行定时器 (T8 初值) 寄存器	×	R/W	0000_0000B	FF9BH
串口 UART					
SCON0	UART0 控制寄存器	√	R/W	0000_0000B	98H
SBUF0	UART0 接收发送缓冲寄存器	×	R/W	0000_0000B	99H
BRCON0	UART0 波特率控制寄存器	×	R/W	1000_0uuuB	8EH
BRTIM0	UART0 波特率计数器	×	R/W	0000_0000B	8FH
串口 SPI					
SPICON0	SPI 控制寄存器 0	√	R/W	0000_0000B	F8H
SPICON1	SPI 控制寄存器 1	×	R/W	00uu_u000B	F9H
SPIFLG	SPI 标志寄存器	×	R/W	uu01_0000B	FAH

名称	说明	可位寻址	读写权限	复位值	字节地址
SPIBUF	SPI 数据寄存器	x	R/W	0000_0000B	FBH
模拟比较器 ACOMP					
CPFRHS	模拟比较器响应时间配置寄存器	x	R/W	uuuu_uu00B	ADH
CPOCON	模拟比较器控制寄存器 ^{提示}	x	R/W	0000_0000B	AEH
CPOVRCON	模拟比较器内部参考电压控制寄存器	x	R/W	0000_0000B	AFH
测试					
TESTCON	测试控制寄存器	x	R/W	uuuu_u000B	FFAFH
模拟模块校正数据					
RCHTRIM	RCH 校准寄存器	x	R/W	uuxx_xxxxB	FFF4H
RCHPT	微调控制信号，控制恒流精度。测试确认后即可固化	x	R/W	uuuu_xxxx	FFF3H
BGPTRIM	带隙基准电压 BGR 校准寄存器	x	R/W	uuxx_xxxxB	FFF2H
ADC 寄存器					
ADCON	ADC 控制寄存器	v	R/W	0000_000uB	D8H
ADRESL	ADC 转换结果(比较数据)低位	x	R/W	xxxx_xxxxB	D9H
ADRESH	ADC 转过结果(比较数据)高位	x	R/W	xxxx_xxxxB	DAH
CMPDATA	ADC 结果比较高 8 位寄存器，与 ADRESH 共用地址	x	R/W	0000_000uB	DAH
ADCFG	ADC 配置寄存器	x	R/W	0000_0000B	FFAEH
ADCMOD	ADC 工作模式选择寄存器	x	R/W	uu00_0000B	FFADH
存储器 FLASH/E2PROM 应用编程寄存器(IAP)					
FlashCtrl	FLASH 控制器	x	R/W	00uu_0000B	D1H
FlashAddrH	存储器单元地址高位	x	R/W	0000_0000B	D2H
FlashAddrL	存储器单元地址低位	x	R/W	0000_0000B	D3H
FlashDataH	存储器数据寄存器高 8 位	x	R/W	0000_0000B	D4H
FlashDataL	存储器数据寄存器低 8 位	x	R/W	0000_0000B	D5H
FlashCLKDiv	FLASH 编程时钟分频寄存器	x	R/W	0000_0110B	D6H
FlashKey	FLASH 编程保护寄存器	x	W	xxxx_xxxxB	D7H
IAPKey0	解锁密钥第 0 字节	x	R/W	1111_1111B	FF62H
IAPKey1	解锁密钥第 2 字节	x	R/W	1111_1111B	FF63H
IAPKey2	解锁密钥第 3 字节	x	R/W	1111_1111B	FF64H
IAPKey3	解锁密钥第 4 字节	x	R/W	1111_1111B	FF65H

注： x 表示不确定； - 表示未实现； u 表示不受复位影响； c 表示该位复位值因复位源而异（下同）

3. 通用输入/输出端口(GPIO)

3.1 基本特征

- ◇ 7组IO口(P0/P1/P2/P3/P4/P5/P9)，最大支持50个IO口。
- ◇ 7组I/O均支持位操作。
- ◇ 每组端口均可配置为4种模式：输入悬空、输入上拉、推挽输出和开漏输出。
- ◇ P0/P1/P2/P4端口都具有键盘中断唤醒功能，中断极性可选择。
- ◇ 7组I/O驱动能力按位可调，斜率(slewrate)按组可调

3.2 工作模式

上电复位后，P9.5为外部reset，默认输入上拉，其余端口默认为输入悬空，进入调试模式和烧录模式的命令在该引脚为低时发送。SLEEP模式和STOP模式下，GPIO端口状态不变。

注：P9.5上电复位为RST功能，若用户程序将P9.5配置为通用GPIO功能，则在程序运行过程中无法连接调试器，采用领芯的调试供电，可以将程序擦除；

3.3 引脚复用

表 3-1 引脚复用

I/O	管脚结构	管脚号		驱动能力 ^{注1} (3.3V)		系统	定时器	键盘中断	通信接口	比较器	LCD 驱动	ADC
		48	64	DS=0	DS=1							
P0.0	T1	5	6	2mA	20mA	INT0	--		--	--	SEG0/ COM4	--
P0.1	T1	6	7	2mA	20mA	INT1	--		--	--	SEG1/ COM5	--
P0.2	T2	7	9	2mA	8mA	[CLKO]	--	KI02	--	--	SEG2	--
P0.3	T2	8	11	2mA	8mA	--	T0/T0O	KI03	--	--	SEG3	--
P0.4	T2	9	12	2mA	8mA	--	T1/T1O	KI04	--	--	SEG4	--
P0.5	T2	10	13	2mA	8mA	--	T2	KI05	--	--	SEG5	--
P0.6	T2	11	14	2mA	8mA	--	T2EX	KI06	--	--	SEG6	--
P0.7	T2	12	15	2mA	8mA	--	--	KI07	--	--	SEG7	--
P1.0	T6	21	29	2mA	8mA	--	--	KI10	--	--	SEG16	AD1
P1.1	T6	22	30	2mA	8mA	--	--	KI11	--	--	SEG17	AD2
P1.2	T6	23	31	2mA	8mA	--	--	KI12	--	--	SEG18	AD3
P1.3	T6	24	33	2mA	8mA	--	--	KI13	--	--	SEG19	AD4
P1.4	T2	25	34	2mA	8mA	--	--	KI14	MOSI	--	SEG20	--
P1.5	T2	26	35	2mA	8mA	--	--	KI15	MISO	--	SEG21	--
P1.6	T2	27	37	2mA	8mA	--	--	KI16	SCK	--	SEG22	--
P1.7	T2	28	38	2mA	8mA	--	--	KI17	NSS	--	SEG23	--
P2.0	T2	29	39	2mA	8mA	--	--	KI20	TXD0	--	SEG24	--
P2.1	T2	30	40	2mA	8mA	--	--	KI21	RXD0	--	SEG25	--
P2.2	T2	31	42	2mA	8mA	[CLKO]	T2EX	KI22	--	--	SEG26	--
P2.3	T2	32	44	2mA	8mA	--	--	KI23	--	--	SEG27	--

P2.4	T6	33	45	2mA	8mA	--	nIRQ	KI24	--	--	SEG28	AD5
P2.5	T6	34	46	2mA	8mA	--	nBUZ	KI25	--	--	SEG29	AD6
P2.6	T2	35	47	2mA	8mA	INT2	BUZ	KI26	--	--	SEG30/VL1	--
P2.7	T2	36	48	2mA	8mA	INT3	--	KI27	--	--	SEG31/VL2	--
P3.0	T5	37	49	2mA	16mA	--	REM/ PWM1	--	--	CPN0	--	AD7
P3.1	T4	-	62	2mA	8mA	ELVI	nIRQ	--	--	CPO	--	AD8
P3.2	T4	47	63	2mA	8mA	--	BUZ	KI00	--	CPP	--	AD9
P3.3	T4	48	64	2mA	8mA	--	nBUZ	KI01	--	CPN1	--	AD10
P3.4	T3	1	2	2mA	20mA	--	--	--	--	--	COM0	--
P3.5	T3	2	3	2mA	20mA	--	--	--	--	--	COM1	--
P3.6	T3	3	4	2mA	20mA	--	--	--	--	--	COM2	--
P3.7	T3	4	5	2mA	20mA	--	--	--	--	--	COM3	--
P4.0	T2	13	18	2mA	8mA	--	--	KI40	--	--	SEG8	--
P4.1	T2	14	19	2mA	8mA	--	--	KI41	TXD0	--	SEG9	--
P4.2	T2	15	20	2mA	8mA	--	--	KI42	RXD0	--	SEG10	--
P4.3	T2	16	21	2mA	8mA	[CLKO]	--	KI43	--	--	SEG11	--
P4.4	T2	17	22	2mA	8mA	--	--	KI44	MOSI	--	SEG12	--
P4.5	T2	18	23	2mA	8mA	--	--	KI45	MISO	--	SEG13	--
P4.6	T2	19	27	2mA	8mA	--	--	KI46	SCK	--	SEG14	--
P4.7	T2	20	28	2mA	8mA	--	--	KI47	nSS	--	SEG15	--
P5.0	T7	-		2mA	8mA	INT0	--	--	--	--	--	AD11/ ADV RH
P5.4	T2	-	35	2mA	8mA	--	--	--	--	--	SEG32	--
P5.5	T2	-	32	2mA	8mA	--	--	--	--	--	SEG33	--
P5.6	T2	-	16	2mA	8mA	--	--	--	--	--	SEG34	--
P9.0	T5	39	51	2mA	16mA	PCLK	--	--	--	--	--	--
P9.1	T4	40	52	2mA	8mA	PDAT	--	--	--	--	--	--
P9.2	T4	45	59	2mA	8mA	XTOUT	PWM0	--	--	--	--	--
P9.3	T4	46	60	2mA	8mA	XTIN	PWM1	--	--	--	--	--
P9.4	T4	41	53	2mA	8mA	VREF/ [SE]	PWM0/ REM	--	--	--	--	--
P9.5	T5	38	50	2mA	16mA	nRST	--	--	--	--	--	--
VDD	/	43	54			--	--	--	--	--	--	--
VSS	/	44	56			--	--	--	--	--	--	--
AVSS	/	44	55			--	--	--	--	--	--	--

- 注：1. 该驱动能力以 3.3V 标准设计，5V 电压下可以达到更高的驱动能力；
2. 所有 I/O 的驱动能力都可以调节，请寄存器 GPIODS0~GPIODS5 / GPIODS9 的描述。
3. 所有 I/O 的跳转 Rate 均可以按组设置，当使能 SlewRate 以后，可以减少 PAD 干扰，请参见 PTxSR 寄存器描述；

3.4 引脚功能

表 3-2 引脚功能描述

I/O	管脚属性	管脚描述
端口		
P0.0-P0.7	I/O	8 位双向 I/O 口, 可位操作
P1.0-P1.7	I/O	8 位双向 I/O 口, 可位操作
P2.0-P2.7	I/O	8 位双向 I/O 口, 可位操作
P3.0-P3.7	I/O	8 位双向 I/O 口, 可位操作
P4.0-P4.7	I/O	8 位双向 I/O 口, 可位操作
P5.0/5.4/5.5/5.6	I/O	4 位双向 I/O 口, 可位操作
P9.0-P9.5	I/O	6 位双向 I/O 口, 可位操作
烧录		
[VPP]	P	高压烧录脚 (电压 9.0V~10V, 使用内部 ChargePump 烧录时候, 悬空即可)
[PCLK]	I	编程时钟输入脚
[PDATA]	I/O	编程数据输入输出脚
系统		
nRST	P	外部复位脚, 低电平有效
CLKO	O	时钟输出
INT0~INT3	I/O	外部中断 0~3
ELVI	I	低压检测外部输入电压
VREF	O	基准电压
定时器		
T0	I	T0 外部计数输入
T1	I	T1 外部计数输入
T0O	O	T0 方波输出
T1O	O	T1 PWM 输出
T2EX	I	T2 捕获输入
PWM0/1	O	T2 PWM 输出
nIRQ	O	WT IRQ 输出
BUZ	O	蜂鸣器正相输出
nBUZ	O	蜂鸣器反相输出
KBI		
KI02~KI07	I	P0 口 6 位键盘中断
KI10~KI17	I	P1 口 8 位键盘中断
KI20~KI27	I	P2 口 8 位键盘中断
KI32、KI33	I	P3 口 2 位键盘中断
KI40~KI47	I	P4 口 8 位键盘中断
通信接口		
NSS	I/O	SPI 使能脚
MISO	I/O	SPI 主入从出脚
MOSI	I/O	SPI 主出从入脚

I/O	管脚属性	管脚描述
SCK	I/O	SPI 时钟脚
TXD0	O	UART0 数据输出脚
RXD0	I	UART0 数据输入脚
模拟比较器		
CPP	I	比较器正端输入脚
CPN0	I	比较器负端输入脚 0
CPN1	I	比较器负端输入脚 1
CPO	O	比较器输出
LCD 驱动		
SEG0~SEG34	O	LCD Segment 输出
COM0~COM5	O	LCD Com 输出
ADC		
AD1~AD10	I	AD 电压采通道
ADVRH	I/O	AD 正参考电压外接管脚功能或者 ADC 正电压输出管脚，受 ADPREF 寄存器控制
Power supply		
VDD	P	电源电压
VSS	P	地
AVSS	P	地

注：管脚属性这一列中，P 表示 电源管脚，I/O 表示通用输入/输出脚，I 表示输入脚，O 表示输出脚。

3.5 管脚结构

LCM08F16 的管脚结构主要有 8 种形式：

3.5.1 T0:与 RST 复用的 GPIO

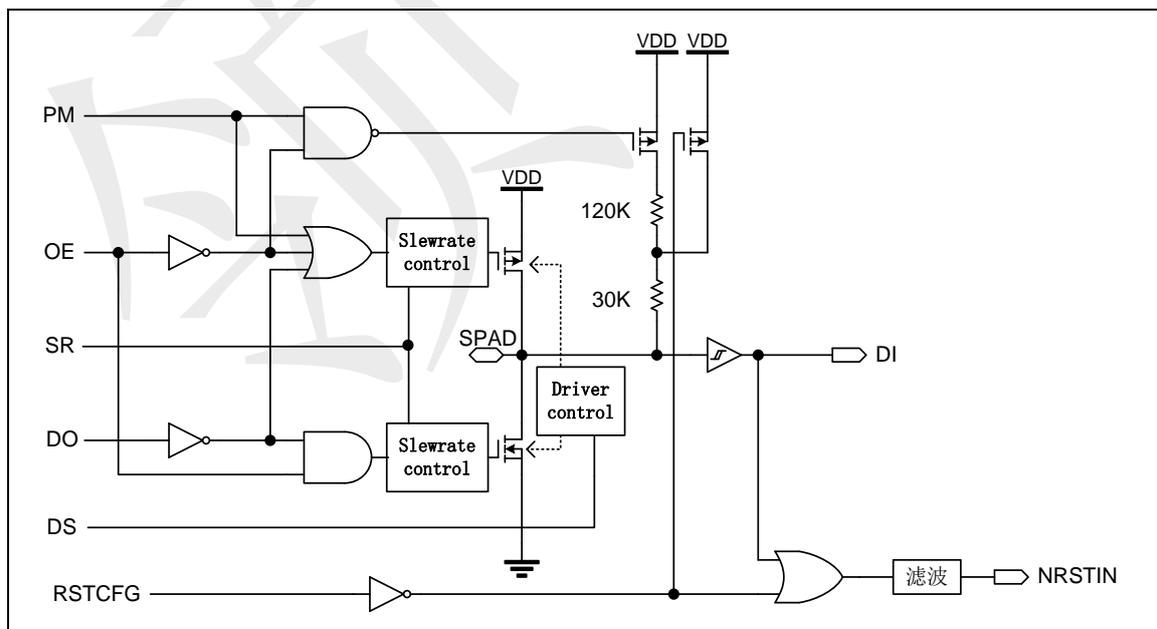


图 3-1 与 RST 复用的 GPIO
该 IO 适用于 P9[5]。

表 3-3 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空; 01: 输入上拉; 10: 推挽输出; 11: 开漏输出。
DO	I	端口数据寄存器位。推挽输出时, DO=1, 端口输出高电平; DO=0, 端口输出低电平。
DI	O	端口到内核的数字输入信号。
RSTCFG	I	外部复位管脚配置位, 默认为 1, 作为外部复位管脚, 强制端口为输入上拉(30K Ω); 清 0 时, 做 GPIO, 由{OE, PM}控制输入输出属性, RSTIN 一直为 1。
NRSTIN	O	复位输入信号。检测到 0 时复位电路。连接到内核。
SR	I	0: 没有 SLEWRATE; 1: 开启 SLEWRATE ;缺省: 0
DS	I	0: 2mA 驱动; 1: 8mA 驱动

3.5.2 T1:与 LCD COM 和 SEG 管脚复用的大驱动 GPIO

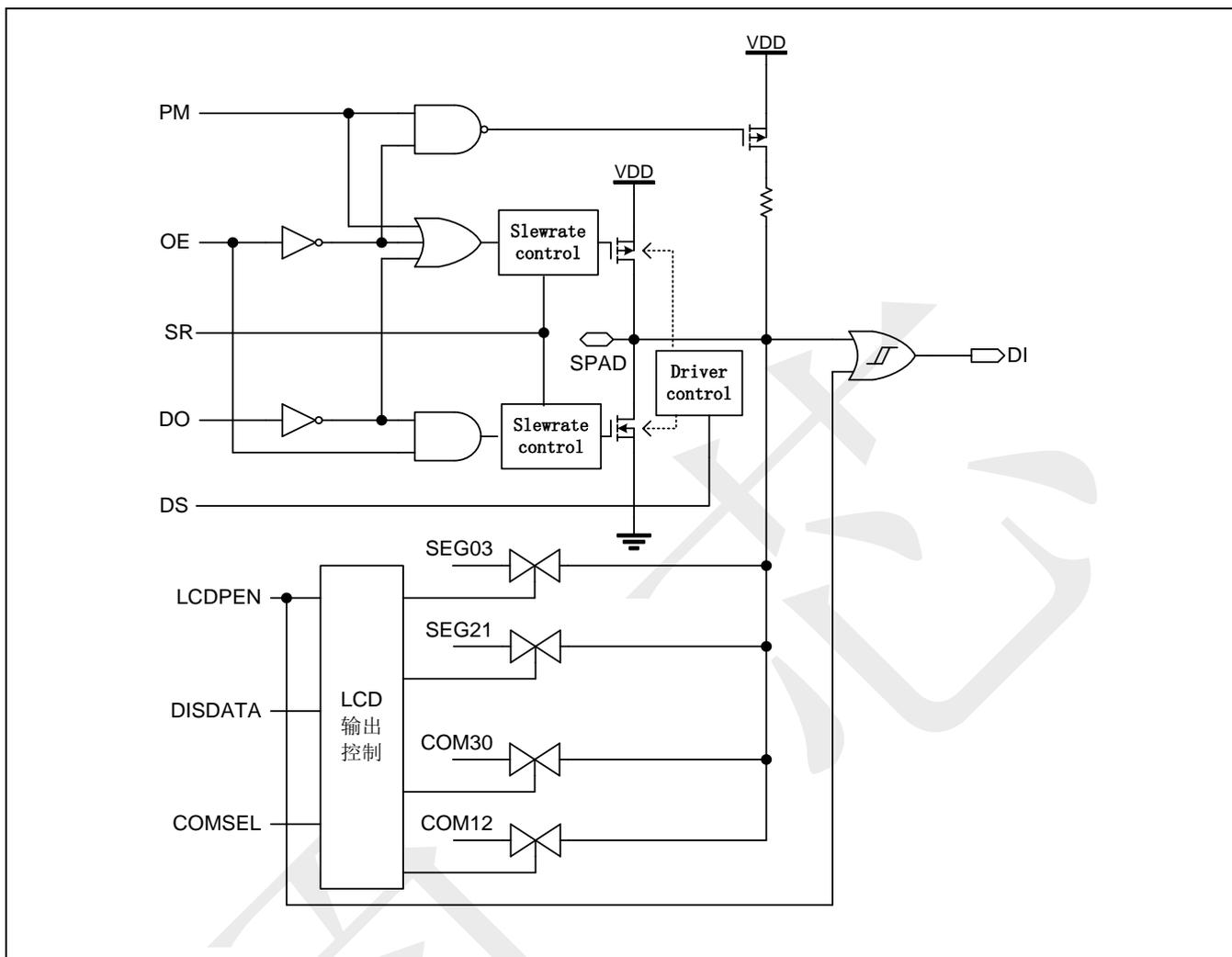


图 3-2 与 LCD 复用的 GPIO (SEG 和 COM 同时复用)

该 IO 适用于 P0[1:0]。

表 3-4 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空 (缺省) ; 01: 输入上拉; 10: 推挽输出; 11: 开漏输出。
DO	I	端口数据寄存器位。推挽输出时, DO=1, 端口输出高电平; DO=0, 端口输出低电平。
DI	O	端口到内核的数字输入信号。
DS	I	0: 2mA 驱动; 1: 20mA 驱动, 缺省: 0
LCDPE	I	LCD 输出使能信号, 高电平有效, 默认为 0, 管脚用做 IO 口。当 LCDPEN 置 1 时, 输出 LCD 电平, 强制 IO 为输入悬空, 同时关闭端口到内核的数字输入, 读 DI 一直为 1。
DISDATA	I	LCD 输出数据。为 0 时 (默认), 输出 VLC21; 为 1 时, 输出 VLC30。

SEG03	I/O	连接 SEG03。
SEG21	I/O	连接 SEG21。
COM30	I/O	连接 COM30。
COM12	I/O	连接 COM12。
COMSEL	I	COM 和 SEG 复用选择位。默认为 0，选择 SEG 端；置 1 时，选择 COM 端。接
SR	I	0：没有 SLEWRATE； 1： 开启 SLEWRATE ;缺省： 0

3.5.3 T2:与 LCD SEG 复用的 GPIO

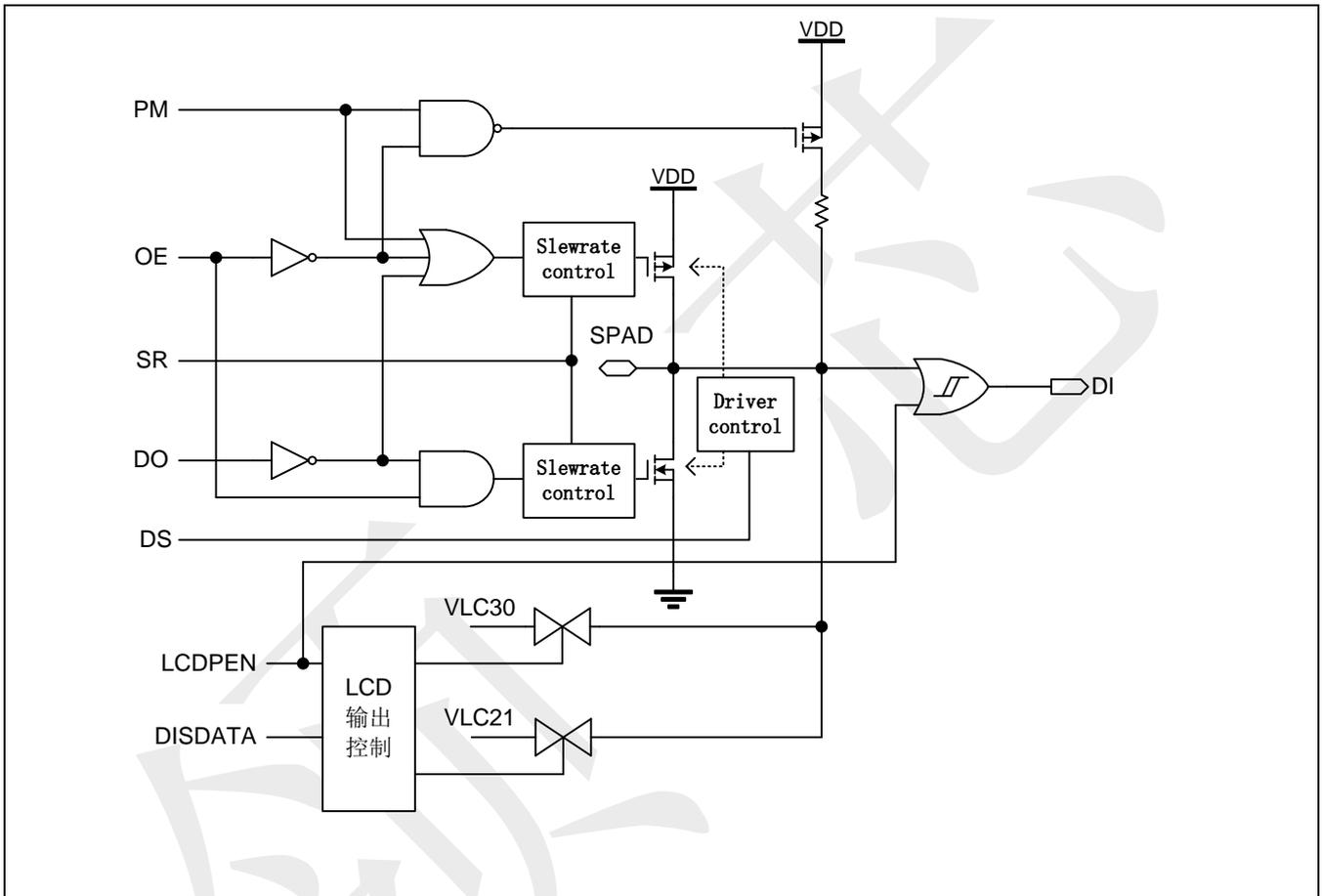


图 3-3 与 LCD SEG 复用的 GPIO

该 IO 使用于 P0[7:2], P1[7:4], P2[3:0], P2.6, P4[7:0], P5[6:4]

表 3-5 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空（缺省）； 01: 输入上拉； 10: 推挽输出； 11: 开漏输出。
DO	I	端口数据寄存器位。推挽输出时，DO=1，端口输出高电平；DO=0，端口输出低电平。

DI	O	端口到内核的数字输入信号。
DS	I	0: 2mA 驱动; 1: 8mA 驱动, 缺省: 0
LCDPE	I	LCD 输出使能信号, 高电平有效, 默认为 0, 管脚用做 IO 口。当 LCDPEN 置 1 时, 输出 LCD 电平, 强制 IO 为输入悬空, 同时关闭端口到内核的数字输入, 读 DI 一直为 1。
DISDATA	I	LCD 输出数据。为 0 时 (默认), 输出 VLC21; 为 1 时, 输出 VLC30。
VLC30	I/O	连接 SEG03。
VLC21	I/O	连接 SEG21。
SR	I	0: 没有 SLEWRATE; 1: 开启 SLEWRATE ;缺省: 0

3.5.4 T3: 与 LCD COM 管脚复用的大驱动 GPIO

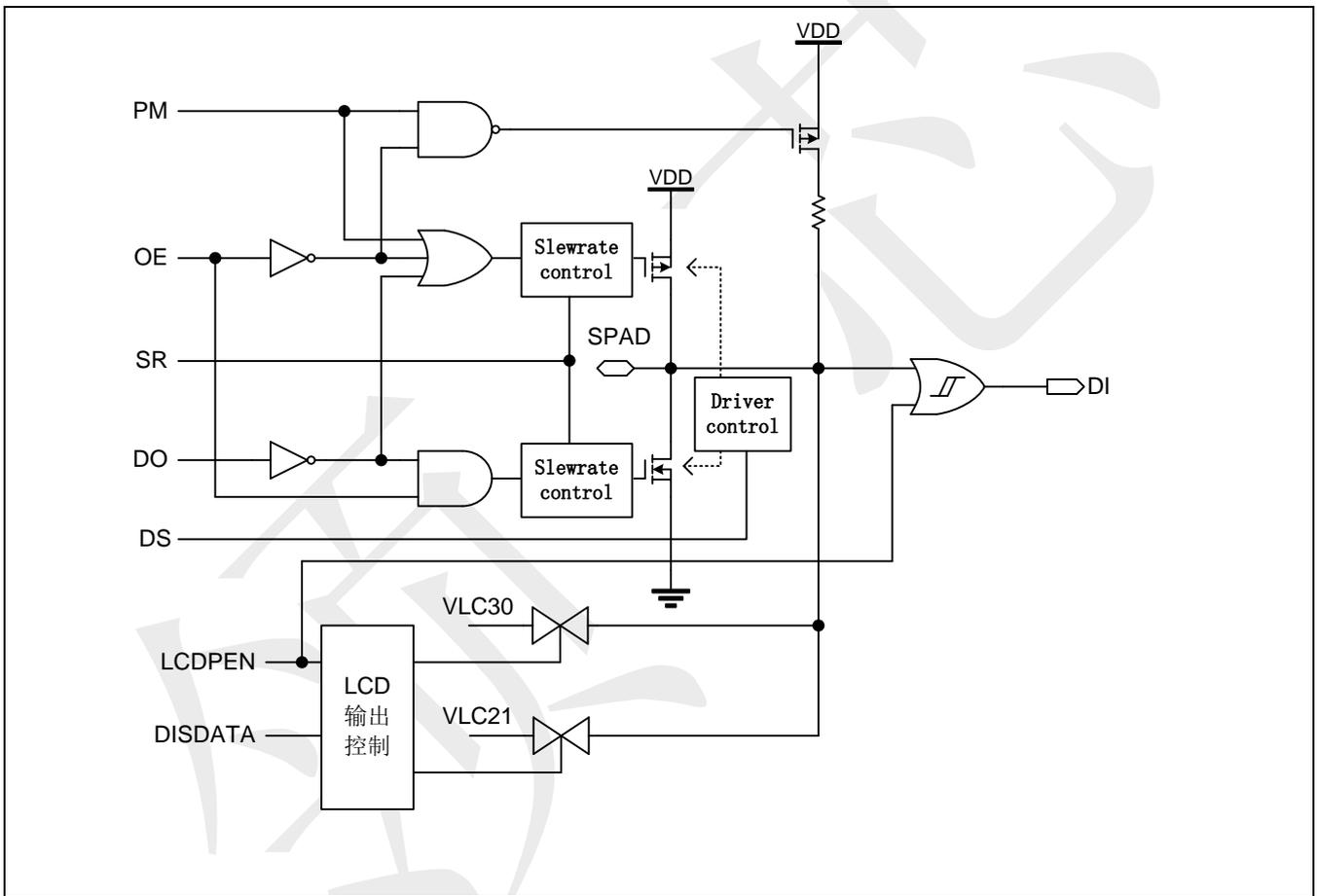


图 3-4 与 LCD COM 管脚复用的 GPIO

该 I/O 适用于 P3[7:4]

表 3-6 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空 (缺省); 01: 输入上拉; 10: 推挽输出;

		11: 开漏输出。
DO	I	端口数据寄存器位。推挽输出时，DO=1，端口输出高电平；DO=0，端口输出低电平。
DI	O	端口到内核的数字输入信号。
DS	I	0: 2mA 驱动； 1: 20mA 驱动，缺省: 0
LCDPE	I	LCD 输出使能信号，高电平有效，默认为 0，管脚用做 IO 口。当 LCDPEN 置 1 时，输出 LCD 电平，强制 IO 为输入悬空，同时关闭端口到内核的数字输入，读 DI 一直为 1。
DISDATA	I	LCD 输出数据。为 0 时（默认），输出 VLC21；为 1 时，输出 VLC30。
VLC30	I/O	连接 COM30。
VLC21	I/O	连接 COM12。
SR	I	0: 没有 SLEWRATE； 1: 开启 SLEWRATE ;缺省: 0

3.5.5 T4:与晶振/AD 复用的 GPIO

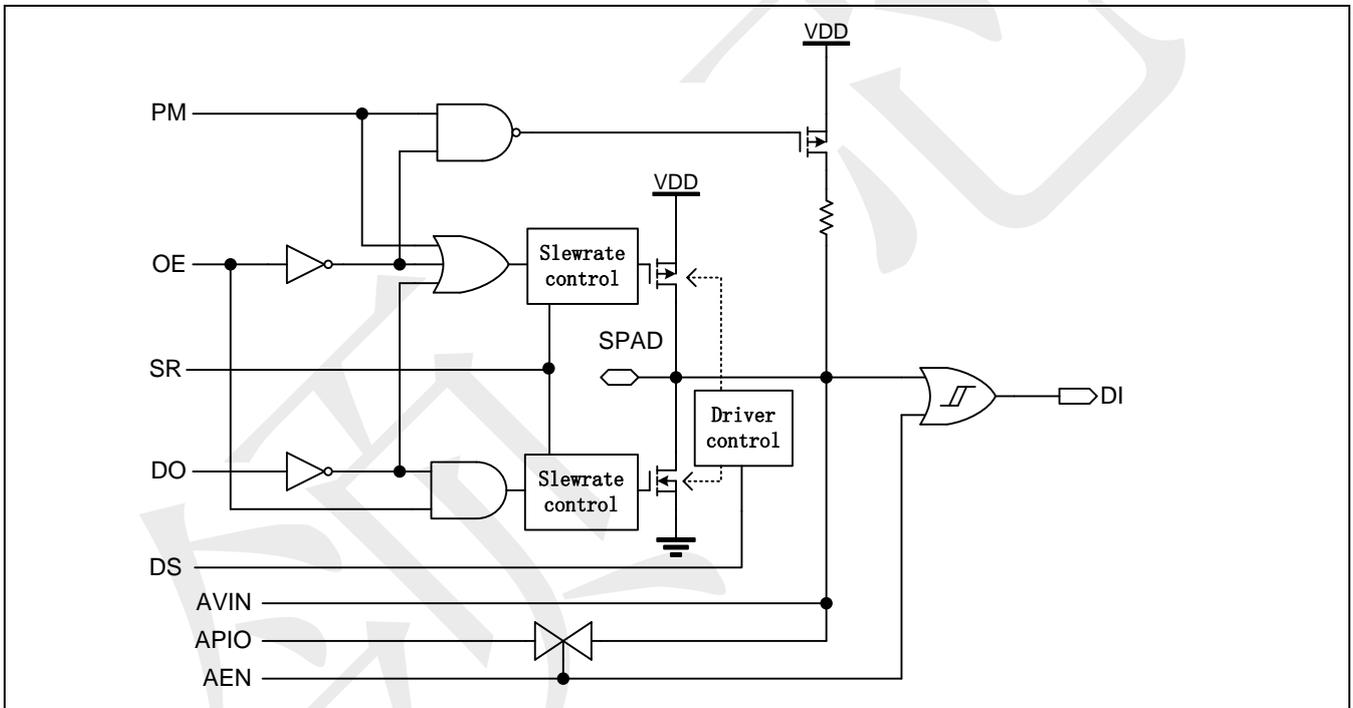


图 3-5 与晶振/AD 复用的 GPIO

该 I/O 适用于 P9[4:0], P3[3:1]

表 3-7 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空（缺省）； 01: 输入上拉； 10: 推挽输出； 11: 开漏输出。
DO	I	端口数据寄存器位。

		推挽输出时，DO=1，端口输出高电平；DO=0，端口输出低电平。
DI	O	端口到内核的数字输入信号。
AEN	I	模拟通道使能信号，高电平有效，默认关闭。当 AEN 置 1 时，开启模拟通道，同时关闭端口到内核的数字输入，读 DI 一直为 1。（模拟优先）
APIO	I/O	模拟信号。用于连接 AD 输入或者比较器输入。
AVIN	I/O	用于连接晶振模块的 XIN 和 XOUT。
DS	I	0: 2mA 驱动； 1: 8mA 驱动，缺省: 0
SR	I	0: 没有 SLEWRATE； 1: 开启 SLEWRATE ;缺省: 0

3.5.6 T5:与 AD 复用的强 GPIO

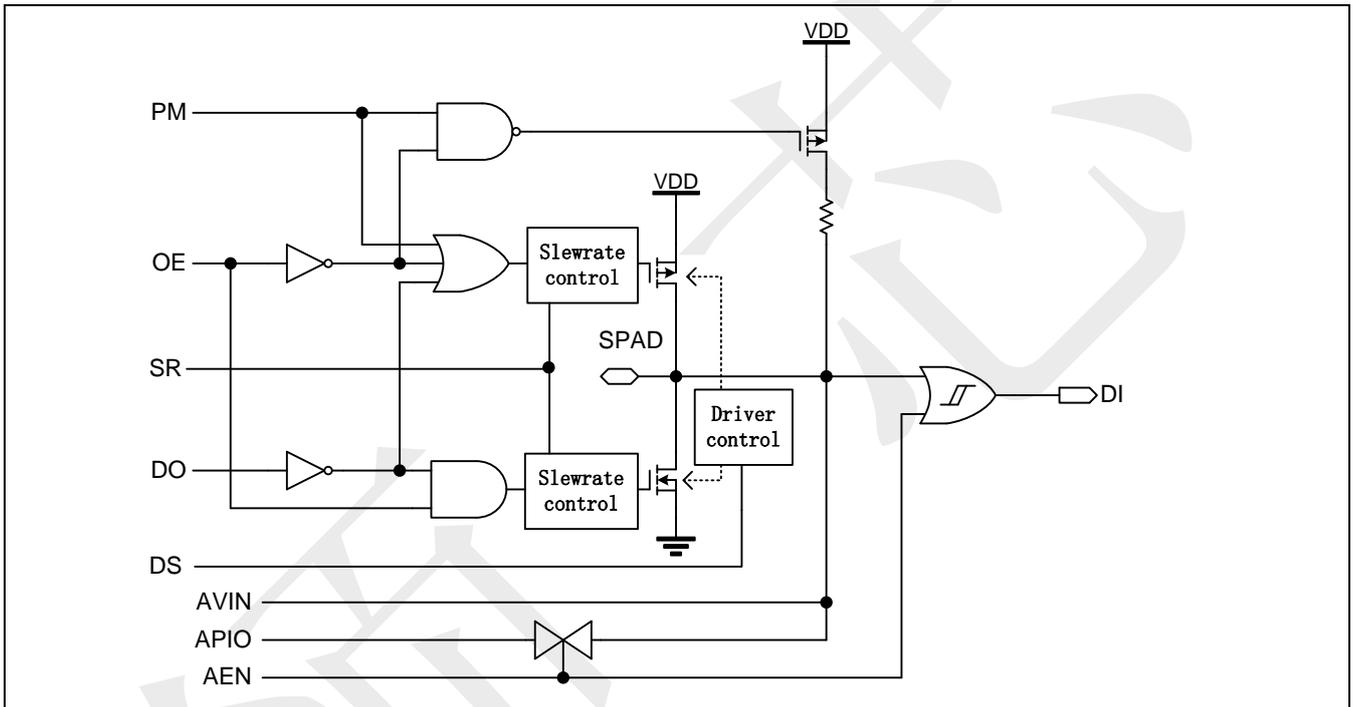


图 3-6 与 AD 复用的 GPIO

该 I/O 适用于 P3.0

表 3-8 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空（缺省）； 01: 输入上拉； 10: 推挽输出； 11: 开漏输出。
DO	I	端口数据寄存器位。 推挽输出时，DO=1，端口输出高电平；DO=0，端口输出低电平。
DI	O	端口到内核的数字输入信号。
AEN	I	模拟通道使能信号，高电平有效，默认关闭。当 AEN 置 1 时，开启模拟通道，同时关闭端口到内核的数字输入，读 DI 一直为 1。（模拟优先）

APIO	I/O	模拟信号。用于连接 AD 输入或者比较器输入。
AVIN	I/O	用于连接晶振模块的 XIN 和 XOUT。提示：不用的管脚，可悬空
DS	I	0： 2mA 驱动； 1： 16mA 驱动，缺省： 0
SR	I	0： 没有 SLEWRATE； 1： 开启 SLEWRATE ;缺省： 0

3.5.7 T6:与 AD/LCD 复用的 GPIO

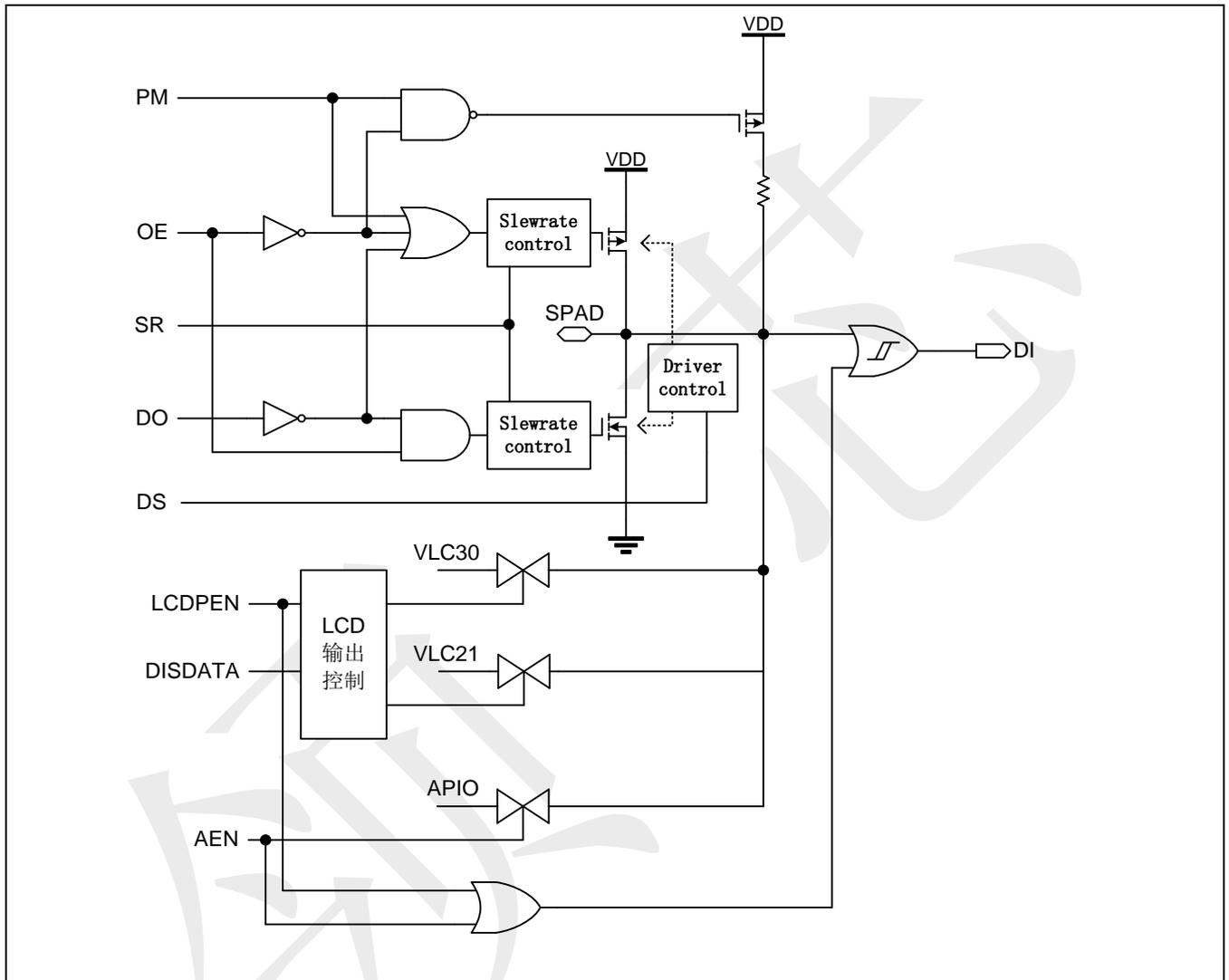


图 3-7 与 AD/LCD 复用的 GPIO

该 I/O 使用于 P1[3:0], P2[5:4]

表 3-9 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE,PM}	I	端口模式控制位。 00: 输入悬空（缺省）； 01: 输入上拉； 10: 推挽输出； 11: 开漏输出。

DO	I	端口数据寄存器位。推挽输出时，DO=1，端口输出高电平；DO=0，端口输出低电平。
DS	I	0: 2mA 驱动； 1: 8mA 驱动，缺省: 0
DI	O	端口到内核的数字输入信号。
LCDPE	I	LCD 输出使能信号，高电平有效，默认为 0，管脚用做 IO 口。当 LCDPEN 置 1 时，输出 LCD 电平，强制 IO 为输入悬空，同时关闭端口到内核的数字输入，读 DI 一直为 1。
DISDATA	I	LCD 输出数据。为 0 时（默认），输出 VLC21；为 1 时，输出 VLC30。
VLC30	I/O	连接 COM30 或者 SEG03。注：参见 LCD BIAS 部分描述
VLC21	I/O	连接 COM12 或者 SEG21。注：参见 LCD BIAS 部分描述
AEN	I	模拟通道使能信号，高电平有效，默认关闭。当 AEN 置 1 时，开启模拟通道，同时关闭端口到内核的数字输入，读 DI 一直为 1。
APIO	I/O	模拟信号。用于连接 AD 输入
SR	I	0: 没有 SLEWRATE； 1: 开启 SLEWRATE ;缺省: 0

3.5.8 T7: 与 AD/晶振复用 GPIO

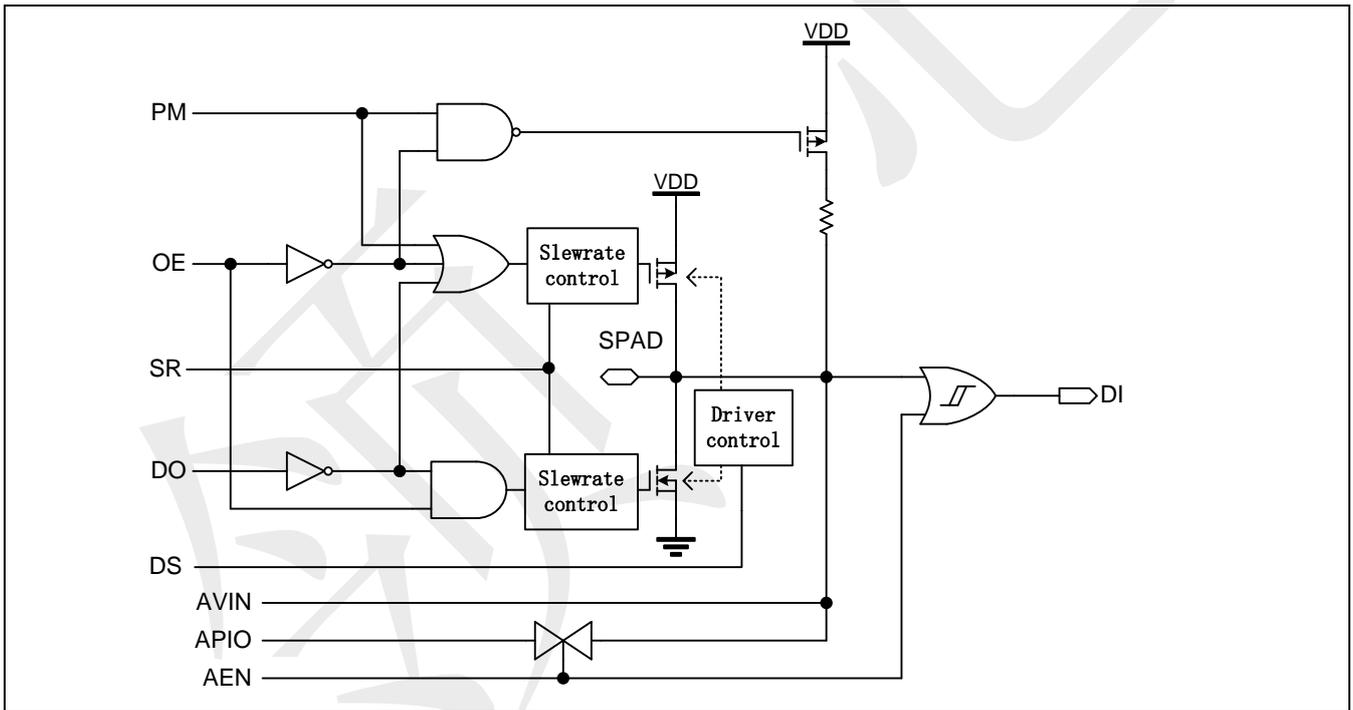


图 3-8 与 AD/晶振复用的 GPIO

该引脚适用于 P5.0

表 3-10 端口信号说明

名称	属性	说明
SPAD	I/O	端口
{OE, PM}	I	端口模式控制位。 00: 输入悬空（缺省）； 01: 输入上拉； 10: 推挽输出；

		11: 开漏输出。
DO	I	端口数据寄存器位。 推挽输出时, DO=1, 端口输出高电平; DO=0, 端口输出低电平。
DI	O	端口到内核的数字输入信号。
AEN	I	模拟通道使能信号, 高电平有效, 默认关闭。当 AEN 置 1 时, 开启模拟通道, 同时关闭端口到内核的数字输入, 读 DI 一直为 1。(模拟优先) 此模拟通道的开关管尺寸较大。
APIO	I/O	模拟信号。用于连接 AD 输入或者比较器输入。
AVIN	I/O	用于连接晶振模块的 XIN 和 XOUT。
DS	I	0: 2mA 驱动; 1: 8mA 驱动, 缺省: 0
SR	I	0: 没有 SLEWRATE; 1: 开启 SLEWRATE ;缺省: 0

3.6 寄存器说明

GPIO 的相关寄存器如表 3-11 所示。

表 3-11 GPIO 寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
P0	P0 数据寄存器	√	R/W	0000-0000B	80H
P1	P1 数据寄存器	√	R/W	0000-0000B	90H
P2	P2 数据寄存器	√	R/W	000u-u000B	A0H
P3	P3 数据寄存器	√	R/W	uuuu-0000B	B0H
P4	P4 数据寄存器	√	R/W	0000-0000B	C0H
P5	P5 数据寄存器	√	R/W	u000-uuu0B	C8H
P9	P9 数据寄存器	√	R/W	Uu00-0000B	E8H
P0MDL	P0 模式控制寄存器 (低字节)	×	R/W	0000-0000B	ECH
P1MDL	P1 模式控制寄存器 (低字节)	×	R/W	0000-0000B	EDH
P2MDL	P2 模式控制寄存器 (低字节)	×	R/W	0000-0000B	EEH
P3MDL	P3 模式控制寄存器 (低字节)	×	R/W	0000-0000B	EFH
P4MDL	P4 模式控制寄存器 (低字节)	×	R/W	0000-0000B	FFA4H
P5MDL	P5 模式控制寄存器 (低字节)	×	R/W	0000-0000B	FFA5H
P9MDL	P9 模式控制寄存器 (低字节)	×	R/W	uuuu-uu00B	FFA9H
P0MDH	P0 模式控制寄存器 (高字节)	×	R/W	0000-0000B	FCH
P1MDH	P1 模式控制寄存器 (高字节)	×	R/W	0000-0000B	FDH
P2MDH	P2 模式控制寄存器 (高字节)	×	R/W	0000-00uuB	FEH
P3MDH	P3 模式控制寄存器 (高字节)	×	R/W	0000-0000B	FFH
P4MDH	P4 模式控制寄存器 (高字节)	×	R/W	0000-00uuB	FFB4H
P5MDH	P5 模式控制寄存器 (高字节)	×	R/W	0000-00uuB	FFB5H
P9MDH	P5 模式控制寄存器 (高字节)	×	R/W	uuuu-0000B	FFB9H
P1AEN	P1 模拟通道允许寄存器	×	R/W	u000-0000B	FFC1H
P3AEN	P3/P5 模拟通道允许寄存器	×	R/W	uuuu-0000B	FFC3H
GPIO_DS0	P0 驱动能力控制	×	R/W	0000_0000B	FFD5H
GPIO_DS1	P1 驱动能力控制	×	R/W	0000_0000B	FFD6H
GPIO_DS2	P2 驱动能力控制	×	R/W	0000_0000B	FFD7H

名称	说明	可位寻址	读写权限	复位值	字节地址
GPIODS3	P3 驱动能力控制	x	R/W	0000_0000B	FFD8H
GPIODS4	P4 驱动能力控制	x	R/W	0000_0000B	FFE5H
GPIODS5	P5 驱动能力控制	x	R/W	0000_0000B	FFE6H
GPIODS9	P9 驱动能力控制	x	R/W	0000_0000B	FFE7H
GPIOSR	I/O 斜率(SlewRate)调节	x	R/W	0000_0010B	FFE8H
IOMUX0	IO 复用控制寄存器 0	x	R/W	u000-0000B	FFE0H
IOMUX1	IO 复用控制寄存器 1	x	R/W	0000-0000B	FFE1H
IOMUX2	IO 复用控制寄存器 2	x	R/W	0000-0000B	FFE2H
LCDP0EN	P0 口 LCD 驱动管脚允许寄存器	x	R/W	uuuu-0000B	FF20H
LCDP1EN	P1 口 LCD 驱动管脚允许寄存器	x	R/W	0000-0000B	FF21H
LCDP2EN	P2 口 LCD 驱动管脚允许寄存器	x	R/W	0000-0000B	FF22H
LCDP3EN	P3 口 LCD 驱动管脚允许寄存器	x	R/W	0000-0000B	FF23H
LCDP4EN	P4 口 LCD 驱动管脚允许寄存器	x	R/W	0000-0000B	FF24H
LCDP5EN	P5 口 LCD 驱动管脚允许寄存器	x	R/W	uuuu-0000B	FF25H
SYSCFG	系统配置寄存器	x	R/W	1000-00u1B	FFA2H
MCKSET	系统时钟设置寄存器	x	R/W	00u0-1000B	91H

GPIO 寄存器的详细说明如下:

P0 模式控制寄存器 (低字节) P0MDL (ECH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P0OE3	P0MD3	P0OE2	P0MD2	P0OE1	P0MD1	P0OE0	P0MD0
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

P0 模式控制寄存器 (高字节) P0MDH (FCH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P0OE7	P0MD7	P0OE6	P0MD6	P0OE5	P0MD5	P0OE4	P0MD4
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

提示: 一: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;

{OE,MD} 端口模式控制位, {P0OE[n],P0MD[n]}控制管脚 P0.n。

00: 输入悬空。

01: 输入上拉。

10: 推挽输出。

11: 开漏输出。

P0 数据寄存器 P0 (80H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

提示: 一: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;

P0.n 设置为输出时: 写寄存器 P0[n]=0, 则 P0.n 管脚输出逻辑低电平; 写寄存器 P0[n]=1, 则 P0.n 管脚输出逻辑高电平。

辑高电平（推挽输出）或高阻（开漏输出）。读寄存器 P0[n]时不受 P0.n 管脚状态的影响，也是对寄存器 P0[n]进行读操作。

P0.n 设置成输入方式时：写寄存器 P0[n]不影响 P0.n 端口状态。读寄存器 P0[n]=0，则表示 P0.n 管脚输入逻辑低电平；读寄存器 P0[n]=1，表示 P0.n 管脚输入逻辑高电平。

寄存器 3-1: P1 模式控制寄存器（低字节）P1MDL（EDH）

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P1OE3	P1MD3	P1OE2	P1MD2	P1OE1	P1MD1	P1OE0	P1MD0
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

寄存器 3-2: P1 模式控制寄存器（低字节）P1MDH（FDH）

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P1OE7	P1MD7	P1OE6	P1MD6	P1OE5	P1MD5	P1OE4	P1MD4
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

{OE,MD} 端口模式控制位，{P1OE[n],P1MD[n]}控制管脚 P1.n。

00: 输入悬空。

01: 输入上拉。

10: 推挽输出。

11: 开漏输出。

P1 数据寄存器 P1（90H）

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

P1.n 设置为输出时：写寄存器 P1[n]=0，则 P1.n 管脚输出逻辑低电平；写寄存器 P1[n]=1，则 P1.n 管脚输出逻辑高电平（推挽输出）或高阻（开漏输出）。读寄存器 P1[n]时不受 P1.n 管脚状态的影响，也是对寄存器 P1[n]进行读操作。

P1.n 设置成输入方式时，写寄存器 P1[n]不影响端口状态。读寄存器 P1[n]=0，则表示 P1.n 管脚输入逻辑低电平；读寄存器 P1[n]=1，表示 P1.n 管脚输入逻辑高电平。

P2 模式控制寄存器（低字节）P2MDL（EEH）

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P2OE3	P2MD3	P2OE2	P2MD2	P2OE1	P2MD1	P2OE0	P2MD0
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

提示：—：未实现位；U：不受复位影响；R-0：只读，读出值为 0；R/W：可读写；

P2 模式控制寄存器（高字节）P2MDH（FEH）

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P2OE7	P2MD7	P2OE6	P2MD6	P2OE5	P2MD5	P2OE4	P2MD4
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

提示：—：未实现位；U：不受复位影响；R-0：只读，读出值为 0；R/W：可读写；

{OE,MD} 端口模式控制位，{P2OE[n],P2MD[n]}控制管脚 P2.n。

- 00: 输入悬空。
- 01: 输入上拉。
- 10: 推挽输出。
- 11: 开漏输出。

P2 数据寄存器 P2 (A0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

P2.n 设置为输出时: 写寄存器 P2[n]=0, 则 P2.n 管脚输出逻辑低电平; 写寄存器 P2[n]=1, 则 P2.n 管脚输出逻辑高电平(推挽输出)或高阻(开漏输出)。读寄存器 P2[n]时不受 P2.n 管脚状态的影响, 也是对寄存器 P2[n]进行读操作。

P2.n 设置成输入方式时: 写寄存器 P2[n]不影响端口状态。读寄存器 P2[n]=0, 则表示 P2.n 管脚输入逻辑低电平; 读寄存器 P2[n]=1, 表示 P2.n 管脚输入逻辑高电平。

P3 模式控制寄存器(低字节) P3MDL (EFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P3OE3	P3MD3	P3OE2	P3MD2	P3OE1	P3MD1	P3OE0	P3MD0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

P3 模式控制寄存器(高字节) P3MDH (FFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P3OE7	P3MD7	P3OE6	P3MD6	P3OE5	P3MD5	P3OE4	P3MD4
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

{OE,MD} 端口模式控制位, {P3OE[n],P3MD[n]}控制管脚 P3.n。

- 00: 输入悬空。
- 01: 输入上拉。
- 10: 推挽输出。
- 11: 开漏输出。

P3 数据寄存器 P3 (B0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

P3.n 设置为输出时: 写寄存器 P3[n]=0, 则 P3.n 管脚输出逻辑低电平; 写寄存器 P3[n]=1, 则 P3.n 管脚输出逻辑高电平(推挽输出)或高阻(开漏输出)。读寄存器 P3[n]时不受 P3.n 管脚状态的影响, 也是对寄存器 P3[n]进行读操作。

P3.n 设置成输入方式时: 写寄存器 P3[n]不影响管脚状态。读寄存器 P3[n]=0, 则表示 P3.n 管脚输入逻辑低电平;

读寄存器 P3[n]=1，表示 P3.n 管脚输入逻辑高电平。

寄存器 3-3: P4 模式控制寄存器 (低字节) P4MDL (FFA4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P4OE3	P4MD3	P4OE2	P4MD2	P4OE1	P4MD1	P4OE0	P4MD0
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

P4 模式控制寄存器 (高字节) P4MDH (FFB4H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P4OE7	P4MD7	P4OE6	P4MD6	P4OE5	P4MD5	P4OE4	P4MD4
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

{OE,MD} 端口模式控制位, {P4OE[n],P4MD[n]}控制管脚 P4.n。

- 00: 输入悬空。
- 01: 输入上拉。
- 10: 推挽输出。
- 11: 开漏输出。

P4 数据寄存器 P4 (C0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	P4.7	P4.6	P4.5	P4.4	P4.3	P4.2	P4.1	P4.0
访 问 权 限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

P4.n 设置为输出时: 写寄存器 P4[n]=0, 则 P4.n 管脚输出逻辑低电平; 写寄存器 P4[n]=1, 则 P4.n 管脚输出逻辑高电平(推挽输出)或高阻(开漏输出)。读寄存器 P3[n]时不受 P4.n 管脚状态的影响, 也是对寄存器 P4[n]进行读操作。

P4.n 设置成输入方式时: 写寄存器 P4[n]不影响管脚状态。读寄存器 P4[n]=0, 则表示 P4.n 管脚输入逻辑低电平; 读寄存器 P4[n]=1, 表示 P4.n 管脚输入逻辑高电平。

P5 模式控制寄存器 (低字节) P5MDL (FFA5H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	-	-	-	-	P5OE0	P5MD0
访 问 权 限:	-	-	-	-	-	-	R/W	R/W
复 位 值:	-	-	-	-	-	-	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

P5 模式控制寄存器 (高字节) P5MDH (FFB5H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	P5OE6	P5MD6	P5OE5	P5MD5	P5OE4	P5MD4
访 问 权 限:	-	-	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	-	-	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

{OE,MD} 端口模式控制位, {P5OE[n],P5MD[n]}控制管脚 P5.n。

- 00: 输入悬空。
- 01: 输入上拉。
- 10: 推挽输出。
- 11: 开漏输出。

P5 数据寄存器 P5 (C8H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	P5.6	P5.5	P5.4	-	-	-	P5.0
访问权限:	-	R/W	R/W	R/W	-	-	-	R/W
复位值:	-	0	0	0	-	-	-	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

P5.n 设置为输出时: 写寄存器 P5[n]=0, 则 P5.n 管脚输出逻辑低电平; 写寄存器 P5[n]=1, 则 P5.n 管脚输出逻辑高电平(推挽输出)或高阻(开漏输出)。读寄存器 P5[n]时不受 P5.n 管脚状态的影响, 也是对寄存器 P5[n]进行读操作。

P5.n 设置成输入方式时: 写寄存器 P5[n]不影响管脚状态。读寄存器 P5[n]=0, 则表示 P5.n 管脚输入逻辑低电平; 读寄存器 P5[n]=1, 表示 P5.n 管脚输入逻辑高电平。

P9 模式控制寄存器(低字节) P9MDL (FFA9H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	P9OE3	P9MD3	P9OE2	P9MD2	P9OE1	P9MD1	P9OE0	P9MD0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

P9 模式控制寄存器(高字节) P9MDH (FFB9H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	P9OE5	P9MD5	P9OE4	P9MD4
访问权限:	R-0	R-0	R-0	R-0	R/W	R/W	R/W	R/W
复位值:	U	U	U	U	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

{OE,MD} 端口模式控制位, {P9OE[n],P9MD[n]}控制管脚 P9.n。

- 00: 输入悬空。
- 01: 输入上拉。
- 10: 推挽输出。
- 11: 开漏输出。

注 1:	对于 P9[5], 当用作外部复位管脚时 (RSTCFG=1), 强制 IO 为输入上拉, {OE, MD}的设置无效。
注 2:	对于 P9[3:2], 当用作外部晶振管脚时 (CRYIOEN=0), 强制 IO 为输入悬空, {OE, MD}的设置无效。

P9 数据寄存器 P9 (E8H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	P9.5	P9.4	P9.3	P9.3	P9.1	P9.0
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	U	U	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

P9.n 设置为输出时: 写寄存器 P9[n]=0, 则 P9.n 管脚输出逻辑低电平; 写寄存器 P9[n]=1, 则 P9.n 管脚输出逻辑高电平(推挽输出)或高阻(开漏输出)。读寄存器 P9[n]时不受 P9.n 管脚状态的影响, 也是对寄存器 P9[n]进行读

操作。

P9.n 设置成输入方式时：写寄存器 P9 [n] 不影响管脚状态。读寄存器 P9[n]=0，则表示 P9.n 管脚输入逻辑低电平；读寄存器 P9[n]=1，表示 P9.n 管脚输入逻辑高电平。

P1 模拟通道允许寄存器 P1AEN^① (FFC1H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	P1AEN[5]	P1AEN[4]	P1AEN[3]	P1AEN[2]	P1AEN[1]	P1AEN[0]
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit6 未实现位。

Bit5~Bit0 P1AEN[n]: P1 [n]端口模拟通道使能位。

0: 关闭模拟通道 (默认)。

1: 开启模拟通道。

P1AEN[5]: AD6 模拟输入

P1AEN[4]: AD5 模拟输入

P1AEN[3]: AD4 模拟输入

P1AEN[2]: AD3 模拟输入

P1AEN[1]: AD2 模拟输入

P1AEN[0]: AD1 模拟输入

注 1:	当模拟通道使能信号置 1 时, 打开模拟通道, 同时关闭端口到内核的数字通道, 读端口一直为 1。
------	---

P3 模拟通道允许寄存器 P3AEN^① (FFC3H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	P3AEN[4]	P3AEN[3]	P3AEN[2]	P3AEN[1]	P3AEN[0]
访问权限:	R-0	R-0	R-0	R-0	R/W	R/W	R/W	R/W
复 位 值:	U	U	U	U	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit5 未实现位。

Bit4~Bit0 P3AEN[n]: P3 [n]端口模拟通道使能位。

0: 关闭模拟通道 (默认)。

1: 开启模拟通道。

P3AEN[4]: AD11/ADVRH 模拟输入(P5.0)

P3AEN[3]: AD10/CPN1 模拟输入(P3.3)

P3AEN[2]: AD9/CPN 模拟输入(P3.2)

P3AEN[1]: AD8/ELVI 模拟输入(P3.1)

P3AEN[0]: AD7/CPN0 模拟输入(P3.0)

注 1:	当模拟通道使能信号置 1 时, 打开模拟通道, 同时关闭端口到内核的数字通道, 读端口一直为 1。PMD/POE 控制均无效
------	--

管脚复用控制寄存器 IOMUX0 (FFE0H) ^{注1}

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UARTEN[1]	UARTEN[0]	SPIEN [1]	SPIEN[0]	nIRQEN[1]	nIRQEN[0]	PWMEN[1]	PWMEN[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							



- Bit7:6 **UARTEN**: UART 复用使能位。
11: P4.1/P4.2 用作 TXD/RXD
10: P2.0/P2.1 用作 TXD/RXD。
01: UART 接口不使能（默认 GPIO）
00: UART 接口不使能（默认 GPIO）
- Bit5:4 **SPIEN**: SPI 接口信号引脚复用控制位。
11: SPI 接口信号复用到 P4.4~P4.7 引脚(MOSI / MISO /SCK/ NSS)。
10: SPI 接口信号复用到 P1.4~P1.7 引脚(MOSI / MISO /SCK/ NSS)。
01: SPI 接口不使能（默认 GPIO）。
00: SPI 接口不使能（默认 GPIO）。
- Bit3:2 **nIRQEN**: WT 的中断 WTlrq 信号输出控制位。
11: WTlrq 从 P3.1 引脚输出。
10: WTlrq 从 P2.4 引脚输出。
01: WTlrq 不输出。
00: WTlrq 不输出。
- Bit1:0 **PWMEN**: Timer 2 的 PWM1/0 输出引脚复用位置控制位。
11: PWM0\PWM1 从引脚 P9.2/P9.3 输出。
10: PWM0\PWM1 从引脚 P9.4/P3.0 输出。
01: PWM0/1 输出不使能。
00: PWM0/1 输出不使能。

注 1: 寄存器位置 1 时，强制将复用管脚设置为功能模块对应的方向，例如 TXD/RXD 引脚分别被设置为输入输出；

管脚复用控制寄存器 IOMUX1 (FFE1H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2EXS[2:0]			—	—	INT1SEL ^①	—	INTORMP ^①
访问权限:	R/W	R/W	R/W	R-0	R-0	R/W	R-0	R/W
复 位 值:	0	0	0	U	U	0	U	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

- Bit7~Bit5 **T2EXS[2:0]**: T2EX 输入选择位。
000: 选择 P0.6（默认）。
001: 选择 P2.2。
010: 选择 CPO。
011: 选择 FLCD。
100: 选择 P0.6 的反相。
101: 选择 P2.2 的反相。
110: 选择 CPO 的反相。
111: 选择 FLCD 的反相。
- Bit4~Bit3 未实现。
- Bit2 **INT1SEL**: INT1 输入选择位。
0: 选择 P0.1（默认）。
1: 选择 RCL/8。
- Bit1 未实现。
- Bit0 **INTORMP**: INTO 输入选择位。

0: 选择 P0.0 (默认)。

1: 选择 P5.0。

管脚复用控制寄存器 IOMUX2 (FFE2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	T1OE	TOOE	BUZEN[1]	BUZEN[0]	nBUZEN [1]	nBUZEN[0]	REMEN[1] ^①	REMEN[0] ^①
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

- Bit7** T1OOE: T1O 复用使能位。
0: P0.4 用作 GPIO (默认)。
1: P0.4 用作 T1O 输出。
- Bit6** T0OOE: T0O 复用使能位。
0: P0.3 用作 GPIO (默认)。
1: P0.3 用作 T0O 输出。
- Bit5:4** BUZEN[1:0]: BUZ 复用使能位。
11: P3.2 用作 BUZ 输出。
10: P2.6 用作 BUZ 输出。
0X: P2.6、P3.2 用作 GPIO (默认)。
- Bit3:2** nBUZEN: nBUZ 复用使能位。
11: P3.3 用作 nBUZ 输出。
10: P2.5 用作 nBUZ 输出。
0x: P3.3 和 P2.5 用作 GPIO (默认)。
- Bit1:0** REMEN[1:0]: REM 复用使能位。
11: P9.4 用作 REM 输出
10: P3.0 用作 REM 输出。
0x: P9.4 和 P3.0 用作 GPIO (默认)。

注 1:	复用使能位置 1 时, 将相应的复用管脚设置为输出。
------	----------------------------

P0 驱动能力控制寄存器 GPIO_DS0 (FFD5H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	PTODS[7]	PTODS[6]	PTODS[5]	PTODS[4]	PTODS[3]	PTODS[2]	PTODS[1]	PTODS[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7-0 PTODS[n]: P0.n 引脚的驱动能力控制位。

0: 弱驱动能力 (2mA)。

1: 强驱动能力 (>=8mA)。注 1

P1 驱动能力控制寄存器 GPIO_DS1 (FFD6H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	PT1DS[7]	PT1DS[6]	PT1DS[5]	PT1DS[4]	PT1DS[3]	PT1DS[2]	PT1DS[1]	PT1DS[0]
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;
------	--

Bit7-0 PT1DS[n]: P1.n 引脚驱动能力控制位。
 0: 弱驱动能力(2mA)。
 1: 强驱动能力($\geq 8\text{mA}$)^{注1}。

P2 驱动能力控制寄存器 GPIO_DS2 (FFD7H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PT2DS[7]	PT2DS[6]	PT2DS[5]	PT2DS[4]	PT2DS[3]	PT2DS[2]	PT2DS[1]	PT2DS[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7-0 PT2DS[n]: P2.n 驱动能力控制位。
 0: 弱驱动能力(2mA)。
 1: 强驱动能力($\geq 8\text{mA}$)^{注1}。

P3 驱动能力控制寄存器 GPIO_DS3 (FFD8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PT3DS[7]	PT3DS[6]	PT3DS[5]	PT3DS[4]	PT3DS[3]	PT3DS[2]	PT3DS[1]	PT3DS[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7-0 PT3DS[n]: P3.n 驱动能力控制位。
 0: 弱驱动能力(2mA)。
 1: 强驱动能力($\geq 8\text{mA}$)^{注1}。

P4 驱动能力控制寄存器 GPIO_DS4 (FFE5H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	PT4DS[7]	PT4DS[6]	PT4DS[5]	PT4DS[4]	PT4DS[3]	PT4DS[2]	PT4DS[1]	PT4DS[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7-0 PT4DS[n]: P4.n 驱动能力控制位。
 0: 弱驱动能力(2mA)。
 1: 强驱动能力($\geq 8\text{mA}$)^{注1}。

P5 驱动能力控制寄存器 GPIO_DS5 (FFE6H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	PT0DS[6]	PT0DS[5]	PT0DS[4]	—	—	—	PT0DS[0]
访问权限:	R-0	R/W	R/W	R/W	R-0	R-0	R-0	R/W
复 位 值:	U	0	0	0	U	U	U	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit6~Bit4, Bit0 PT5DS[n]: P5.n 驱动能力控制位。
 0: 弱驱动能力(2mA)。
 1: 强驱动能力($\geq 8\text{mA}$)^{注1}。

P9 驱动能力控制寄存器 GPIO_DS9 (FFE7H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	PT9DS[5]	PT9DS[4]	PT9DS[3]	PT9DS[2]	PT9DS[1]	PT9DS[0]
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	U	U	0	0	0	0	1	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit5-0 PT9DS[n]: P9.n 驱动能力控制位。

0: 弱驱动能力(2mA)。

1: 强驱动能力(>=8mA)^{注 1}。

注 1: 不同引脚类型, 强驱动能力引脚有 8/10/16mA 三种不同的强度, 实际驱动能力参加管教结构描述 9.3;

I/O 斜率(SlewRate)调节寄存器 GPIOISR (FFE8H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	PTSR[6]	PTSR[5]	PTSR[4]	PTSR[3]	PTSR[2]	PTSR[1]	PTSR[0]
访问权限:	R-0	R/W						
复位值:	U	0	1	1	1	1	1	1
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit6 P9 I/O 转换速率

0: 没有 SLEWRATE (缺省)

1: 开启 SLEWRATE

Bit5 P5 I/O 转换速率

0: 没有 SLEWRATE

1: 开启 SLEWRATE(缺省)

Bit4 P4 I/O 转换速率

0: 没有 SLEWRATE

1: 开启 SLEWRATE(缺省)

Bit3 P3 I/O 转换速率

0: 没有 SLEWRATE

1: 开启 SLEWRATE(缺省)

Bit2 P2 I/O 转换速率

0: 没有 SLEWRATE

1: 开启 SLEWRATE(缺省)

Bit1 P1 I/O 转换速率调节;

0: 没有 SLEWRATE

1: 开启 SLEWRATE(缺省)

Bit0 P0 I/O 转换速率调节;

0: 没有 SLEWRATE

1: 开启 SLEWRATE(缺省)

系统时钟设置寄存器 MCKSET^① (91H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	OSTS[1:0]		—	CRYEN	CRYIOEN ^②	MCKS	MDIV [1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:	0	0	0	1	1	0	0	0
提示:	— : 未实现; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7: 6 OSTS:OSC 稳定延迟计数周期
 00: 计数 7FFF (CRYCFG=0) 或 1FFF (CRYCFG=1) (默认)。
 01: 计数 3FFF (CRYCFG=0) 或 0FFF (CRYCFG=1)。
 10: 计数 1FFF (CRYCFG=0) 或 07FF (CRYCFG=1)。
 11: 计数 0FFF (CRYCFG=0) 或 03FF (CRYCFG=1)。

Bit5 保留

Bit4 CRYEN: CRY 使能位
 1: CRY 使能
 0: CRY 关闭 (默认)。

Bit3 CRYIOEN: 外部晶振管脚复用使能位。
 0: P9.2/P9.3 用作外部晶振脚。
 1: P9.2/P9.3 用作普通 IO 端口 (默认)。

Bit2 MCKS:主时钟源选择
 0: 主时钟选择 RCH(默认)。
 1: 主时钟选择 OSC。

Bit1:0 MDIV: 主时钟分频选择
 00: 8 分频 (默认)。
 01: 4 分频
 10: 2 分频
 11: 1 分频

注 1:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
注 2:	当 CRYIOEN 清 0 时, P9[3:2]用作外部晶振管脚, 置 1 时作 GPIO 使用。

系统配置寄存器 SYSCFG^① (FFA2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	RSTCFG	—	—	WDTCFG	CRYGAIN[1:0]		RCLLV	RCLCFG
访问权限:	R/W	R-0	R-0	R/W	R/W	R-0	R/W	R/W
复位值:	1	U	U	0	0	0	0	1
提示:	— : 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7 RSTCFG : 外部复位管脚配置位。
 0: P9.5 用作 GPIO 管脚。
 1: P9.5 用作外部复位管脚 (默认)。

Bit4 WDTCFG : 停机模式下 OscWdt 时钟控制位。
 0: STOP 模式下静止 WDT (默认)。
 1: STOP 模式下允许 WDT。

Bit3-Bit2 CRYGAIN[1:0] : 外部晶振增益选择位。
 增益从高到低配置为: 11B > 10B > 01B > 00B, 默认最小增益。增益越大, 晶振越容易起振, 电流也越大。可根据需要选择不同的晶振增益。

Bit1 RCLLV: 增加 OSC 频率。
 0: 正常模式
 1: 低压模式, 加快振荡频率。

Bit0 RCLCFG: 停机、睡眠模式下 RCL 时钟控制位。

- 0: 停机/睡眠状态下 RCL 时钟开启。
- 1: 停机/睡眠状态下 RCL 时钟关闭（默认）。

注 1:	该寄存器除 bit4~bit1 (CRYGAIN, WDTCFG, RCLLV) 外, 其它位在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。
------	--

系统配置寄存器 LCDP0EN (FF20H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	LCDP0EN[7]	LCDP0EN[6]	LCDP0EN[5]	LCDP0EN[4]	LCDP0EN[3]	LCDP0EN[2]	LCDP0EN[1]	LCDP0EN[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7-0 LCDP0EN[n]: P0.n 引脚 LCD 使能信号
- 0: LCD 输出不使能。
 - 1: 输出 LCD 电平, 强制 IO 为输入悬空, 同时关闭端口到内核的数字输入, 读 DI 一直为 1

系统配置寄存器 LCDP1EN (FF21H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	LCDP1EN[7]	LCDP1EN[6]	LCDP1EN[5]	LCDP1EN[4]	LCDP1EN[3]	LCDP1EN[2]	LCDP1EN[1]	LCDP1EN[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7-0 LCDP1EN[n]: P1.n 引脚 LCD 使能信号
- 0: LCD 输出不使能。
 - 1: 输出 LCD 电平, 强制 IO 为输入悬空, 同时关闭端口到内核的数字输入, 读 DI 一直为 1

系统配置寄存器 LCDP2EN (FF22H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	LCDP2EN[7]	LCDP2EN[6]	LCDP2EN[5]	LCDP2EN[4]	LCDP2EN[3]	LCDP2EN[2]	LCDP2EN[1]	LCDP2EN[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7-0 LCDP2EN[n]: P2.n 引脚 LCD 使能信号
- 0: LCD 输出不使能。
 - 1: 输出 LCD 电平, 强制 IO 为输入悬空, 同时关闭端口到内核的数字输入, 读 DI 一直为 1

系统配置寄存器 LCDP3EN (FF23H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	保留				LCDP3EN[3]	LCDP3EN[2]	LCDP3EN[1]	LCDP3EN[0]
访问权限:	R	R	R	R	R/W	R/W	R/W	R/W

复位值:	U	U	U	U	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为0; R/W: 可读写;							

Bit3-0 LCDP3EN[0]~LCDP3EN[3]分别对应 P3.4~P3.7 引脚 LCD 使能信号

0: LCD 输出不使能。

1: 输出 LCD 电平, 强制 IO 为输入悬空, 同时关闭端口到内核的数字输入, 读 DI 一直为 1

系统配置寄存器 LCDP4EN (FF24H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	LCDP4EN[7]	LCDP4EN[6]	LCDP4EN[5]	LCDP4EN[4]	LCDP4EN[3]	LCDP4EN[2]	LCDP4EN[1]	LCDP4EN[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为0; R/W: 可读写;							

Bit7-0 LCDP4EN[n]: P4.n 引脚 LCD 使能信号

0: LCD 输出不使能。

1: 输出 LCD 电平, 强制 IO 为输入悬空, 同时关闭端口到内核的数字输入, 读 DI 一直为 1

系统配置寄存器 LCDP5EN (FF25H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	保留					LCDP5EN[2]	LCDP5EN[1]	LCDP5EN[0]
访问权限:	R	R	R	R	R/W	R/W	R/W	R/W
复位值:	-	-	-	-	U	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为0; R/W: 可读写;							

Bit2-0 LCDP5EN[0]~LCDP5EN[2]分别对应 P5.4~P5.6 引脚 LCD 使能信号

0: LCD 输出不使能。

1: 输出 LCD 电平, 强制 IO 为输入悬空, 同时关闭端口到内核的数字输入, 读 DI 一直为 1

3.7 功能描述

LCM08F16 共有 7 组 IO, 最大支持 50 个 IO。

3.7.1 模式设置

所有的 IO 都可设置为 4 种模式: 输入悬空、输入上拉、推挽输出、开漏输出, 其中 P9.5 作为外部复位输入, 一旦配置成通用 GPIO 功能会导致无法进入 Debug 模式, 需要采用领芯的调试器供电对程序进行擦除。通常情况下, 每个端口都有 2 个寄存器位{OE, MD}来设置其属性(见寄存器说明)。但某些复用功能使能时, 会强制 IO 为输入或输出, 即此时的{OE, MD}设置无效或部分无效, 详见下表:

GPIO	复用功能		强制为			
	功能	配置	输入悬空	输入上拉	输出 ¹	输入 ²
P2.0	TXD	UARTEN[1:0]=10	—	—	√	
P2.1	RXD		—	—	—	√
P4.1	TXD	UARTEN[1:0]=11	—	—	√	
P4.2	RXD		—	—	—	√
P1.4	MOSI	SPIEN[1:0]=10	--	—	√(master)	√(slave)

P1.5	MISO		—	—	√ (slave)	√ (master)
P1.6	SCK		—	—	√ (master)	√ (slave)
P1.7	NSS		—	-	√ (master)	√ (slave)
P4.4	MOSI	SPIEN[1:0]=11	--	—	√ (master)	√ (slave)
P4.5	MISO		—	—	√ (slave)	√ (master)
P4.6	SCK		—	—	√ (master)	√ (slave)
P4.7	NSS		—	-	√ (master)	√ (slave)
P2.4	WTlrq	nIRQEN[1:0]=10	—	—	√	
P3.1	WTlrq	nIRQEN[1:0]=11	—	—	√	
P9.4	PWM0	PWMEN[1:0]=10	—	—	√	
P3.0	PWM1		—	—	√	
P9.2	PWM0	PWMEN[1:0]=11	—	—	√	
P9.3	PWM1		—	—	√	
P0.6	T2EX	T2EXS[2:0]=000	—	—		√
P2.2	T2EX	T2EXS[2:0]=001	—	—		√
CPO	T2EX	T2EXS[2:0]=010	—	—		√
FLCD	T2EX	T2EXS[2:0]=011	—	—		√
P0.6 inv	T2EX	T2EXS[2:0]=100	—	—		√
P2.2 inv	T2EX	T2EXS[2:0]=101	—	—		√
CPO inv	T2EX	T2EXS[2:0]=110	—	—		√
FLCD inv	T2EX	T2EXS[2:0]=111	—	—		√
P2.7	INT3	—	—	—		√
P2.6	INT2	—	—	—		√
P0.1	INT1	INT1SEL=0	—	—		√
RCL/8	INT1	INT1SEL=1	—	—	—	—
P0.0	INT0	INT0RMP=0	—	—		√
P5.0	INT0	INT0RMP=1	—	—		√
P0.4	T1O	T1OE=1	—	—	√	
P0.3	T0O	T0OE=1	—	—	√	
P2.6	Buz	BUZEN=10	—	—	√	
P3.2	Buz	BUZEN=11	—	—	√	
P2.5	nBuz	nBUZEN=10	—	—	√	
P3.3	nBuz	nBUZEN=11	—	—	√	
P3.0	REM	REMEM=10	—	—	√	
P9.4	REM	REMEM=11	—	—	√	
P0.2	TestClkOut	CKTE1,CKTE=01	—	—	√	—
P2.2	TestClkOut	CKTE1,CKTE=10	—	—	√	—
P4.3	TestClkOut	CKTE1,CKTE=11	—	—	√	—
P3.1	CPO	CPOEN	—	—	√	—
P9.2	XTOUT	CRYIOEN=0	—	—	√	—
P9.3	XIN		√	—	—	√
*	COM/SEG	相应的 LCDPEN 位置 1	—	—	√	—
*	ADx	相应的 AEN	—	—	—	√ (模拟)

P3.3	VLCOUT	LCDATEN=1	—	—	√(模拟)	—
P9.4	VREF	VBGBUFEN=1	—	—	√(模拟)	—

注 1: 输出指的是该 IO 的 OE 被强制为 1, 但 MD 却没有被强制设置, 所以此时写{OE, MD}, 仍会影响 MD 的值。I/O 模拟功能使能情况下, 会自动将数字输出功能屏蔽;

注 2: 输入指的是该 IO 的 OE 被强制为 0, 但 MD 却没有被强制设置, 所以此时写{OE, MD}, 仍会影响 MD 的值。

I/O 模拟功能使能情况下, 自动会将数字输入功能屏蔽;

虽然上述复用功能使能时, 会将 IO 强制为某种输入/输出状态, 但为了可靠, 建议客户也对{OE, MD}赋值, 将 IO 设置为想要的状态。

3.7.2 功能复用

LCM08F16 的 IO 除了做通用 IO 外, 还可以灵活复用做其它功能。

✧ 复用作 COM/SEG

LCM08F16xx 的 P0/P1/P2/P3/P4/P5 可以复用作 COM/SEG 输出, 组成 4*35,5*34,6*33 的 LCD 阵列。

LCDPnEN (n=0/1/2/3/4/5) 寄存器用来选择相应 IO 是否作为 COM/SEG 端。一旦寄存器位置 1, 该 IO 就被强制设置为输入悬空。

✧ 复用作 XTIN/XTOUT

LCM08F16xx 的时钟源可以选择外部晶振 (高频和低频复用同一 IO)。通过设置 CRYIOEN=0, 将 P9.2/P9.3 用作 XTOUT/XTIN, 同时强制 P9.2/P9.3 为输入悬空, 并关闭端口到内核的数字通道, 读端口始终为 1。如果 CRYEN=0, 即外接晶振关闭, 则 P9.2/XOUT 强制下拉, P9.3/XTIN 强制上拉。

✧ 复用作 nRST

P9.5 默认用作外部复位脚 nRST, 强制 IO 为输入上拉, 上拉电阻典型值约为 30KΩ。如果检测到有效的低电平 (低电平宽度 > 滤波宽度 (5us)), 则复位电路。作为 GPIO 时, 设置 RSTCFG 为 0, 此时 P9.5 的模式由 {OE, MD} 来设置。

✧ 复用作模拟输入

LCM08F16 内置模拟比较器、低压检测、AD 采用输入等需要外部输入模拟电压的电路。需要先设置相应 IO 的 {OE, MD} 将其设置为输入悬空, 然后设置 PnAEN (n=1/3) 的相应位为 1, 打开模拟通道, 同时关闭端口到内核的数字通道, 读端口始终为 1。

✧ 复用作 KBI

LCM08F16 的 P0/P1/P2/P4 可复用作键盘中断输入, 用于唤醒 STOP/SLEEP。通过设置 KBICON 和 KBIWKP 可以选择相应的 IO 是否作为 KBI 输入和输入极性。

注:	用作 KBI 时, 要先将 IO 设置为输入。上拉可根据需要使能。
----	-----------------------------------

✧ 复用作外部中断

LCM08F16 有 4 路外部中断, 用于唤醒 STOP/SLEEP。通过设置 EINTCS1 和 EINTCS0 可以选择相应的 IO 是否作为 EINT 输入和输入极性。

注:	用作外部中断时, 要先将 IO 设置为输入。上拉可根据需要使能。
----	----------------------------------

3.8 使用提示

通用输入/输出引脚是电路与外界沟通的主要通道, 正确配置使用 GPIO 有助于改善系统的性能。

- 1) 除 P9.5 默认为输入上拉外, 其余管脚复位后默认为输入悬空, 容易引起静态电流, 也很容易受到静电冲击, 因此未使用的管脚必须通过软件设置或添加外部电路使对应管脚进入确定状态。设置成输入时, 建议外部接 1kΩ 电阻上拉到电源或下拉到地; 也可以设置成输出状态。
- 2) 没引出的 IO 管脚最好设置成输出口, 而不是输入上拉, 因为内部上拉电阻较大, 易受干扰。
- 3) 任何 IO 口的输出驱动能力都有限制。拉/灌电流超过额定范围长期工作的电路容易引起 IO 失效。典型应用如直接使用某些 IO 直接驱动多个 LED, 这一点请用户尽力避免。

4. 时钟系统

LCM08F16 共有 3 个时钟源，分别为：

- ◇ RCL：内部 32KHz 低频 RC 时钟。
- ◇ RCH：内部 8MHz 高频 RC 时钟。
- ◇ CRY：外接晶振（高频和低频复用），32.768KHz 或 1~8MHz。

灵活配置这些时钟源，可适应多种供电方案的需求。在稳压系统中，如果需要更快的处理能力，那么可以外接高频晶振。在普通方案中，用内置 8MHZ 时钟作为主时钟，可以降低成本，同时多出两个 IO 脚。

4.1 基本特征

- ◇ 丰富的时钟源选择，极大提高系统开发的灵活性。
- ◇ 复位后默认 RCH 为系统时钟，支持系统快速启动。
- ◇ WDT 时钟源来自 RCL，不依赖当前系统时钟，极大提高了系统的可靠性。
- ◇ 外接高频晶振和低频晶振复用，通过信息区配置
- ◇ 外部晶振管脚与 IO 复用，不接晶振时可用作普通 IO 口。
- ◇ 系统时钟源可来自 RCH 或 CRY，有 4 种分频系数可选：1/2/4/8。
- ◇ 时钟切换保护：与时钟系统相关的寄存器具有写保护功能，以提高系统可靠性。

4.2 工作模式

LCM08F16xx 有 3 种工作模式，每种模式下的时钟工作如下：

- ◇ RUN 模式：所有时钟源经配置后可工作。
- ◇ SLEEP 模式：RCH, CRY（配置为高频），RCL 经配置后可工作；MCLK 停止，SYSCLK 以及 FCLK 继续工作。
- ◇ STOP 模式：高频时钟源（RCH 与 CRY（配置为高频））停止工作；RCL 经配置后可工作。

系统复位后，CRY 默认关闭，对应管脚用作普通 IO 口；RCH 默认开启；RCL 默认开启。选择 RCH 的 8 分频作为系统时钟。

时钟源	RUN	SLEEP	STOP
RCH	MCKS=0 时运行		停止
CRY ^{注1}	CRYH	CRYEN=1, CRYIOEN=0 同时满足时运行，MCKS 根据需求设置 ^{注1} ；	停止
	CRYL		CRYLCFG=0 时，CRYEN=1, CRYIOEN=0 同时满足运行。 CRYLCFG=1 时停止
RCL	运行	RCLCFG=0 时运行。RCLCFG=1 时停止	

注 1：若系统时钟切换到 CRY，则 MCKS = 1。

4.3 功能框图

LCM08F16 的时钟系统模块的内部结构如下图：

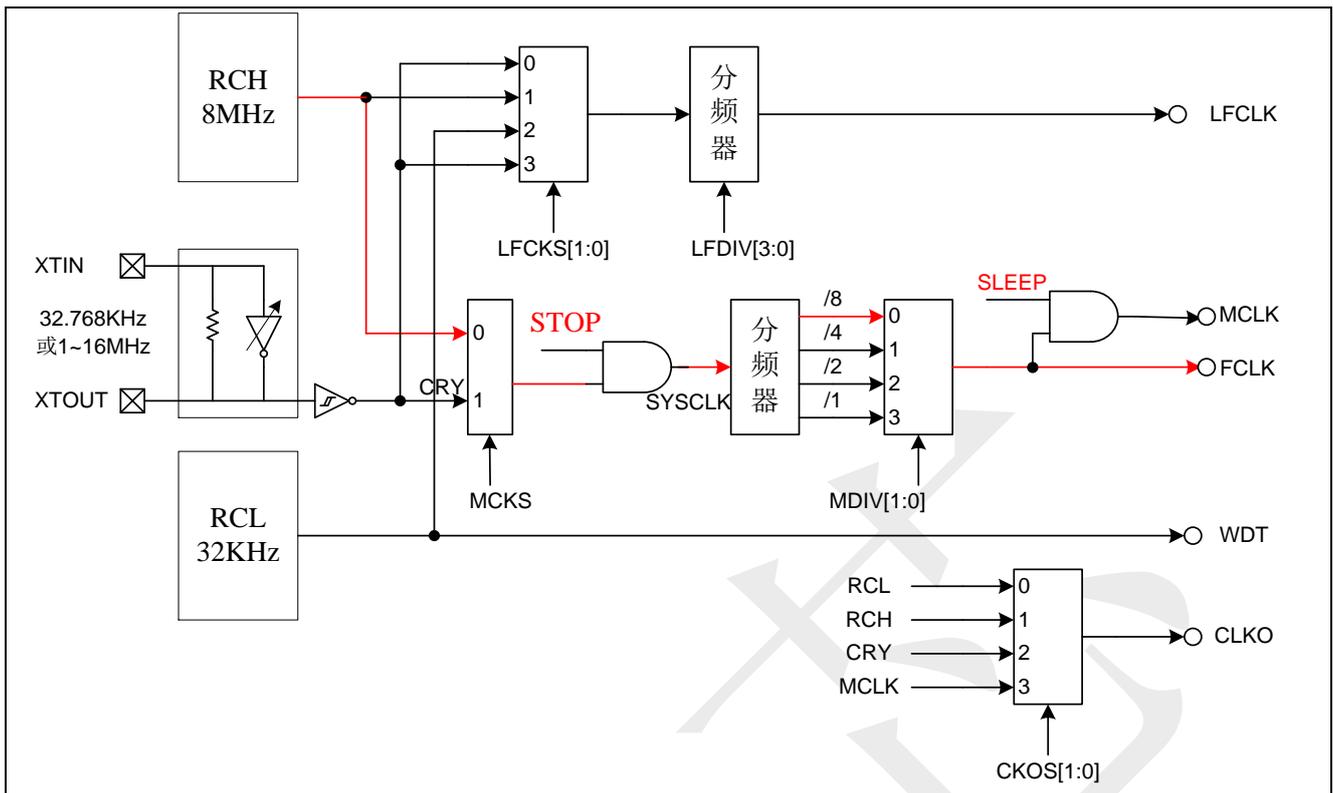


图 4-1 时钟系统结构

提示：红线表示默认路径

上图中部分时钟名解释如下：

- SYSCLK** CPU 的时钟源，来自 RCH 或 CRY，分频后供给 MCLK/FCLK。
- MCLK** CPU 时钟，SLEEP 模式下该时钟停止，本文中提到的系统时钟也指该时钟。
- FCLK** 与 MCLK 时钟频率相同，但是在 SLEEP 模式下仍继续工作。FCLK 主要供给 SLEEP 模式需要工作的外设模块，如中断控制系统、T0、T1 等各个模块的时钟单独可控制。
- LFCLK** 低频时钟，给 LCD/WT 提供时钟。

4.4 管脚设置

与时钟系统复用的外部管脚有 3 个，其配置如下表：

表 4-1 时钟系统管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
XTIN	I	外部晶振输入脚	P9.3	CRYIOEN (91H.3) 清 0。
XTOUT	O	外部晶振输出脚	P9.2	CRYIOEN (91H.3) 清 0。
CLKO	O	时钟输出管脚	P0.2	CKTE/CKTE1 (FFAF.4 置 0, FFAF.3 置 1) CKOS (FFAF.1, FFAF.0.) 00: RCH; 01: CRY; 10: OscWdt; 11: MCLK
CLKO	O	时钟输出管脚	P2.2	CKTE/CKTE1 (FFAF.4 置 1, FFAF.3 置 0)。 CKOS (FFAF.1, FFAF.0.) 00: RCH 01: CRY 10: OscWdt; 11: MCLK

CLKO	O	时钟输出管教	P4.3	CKTE/CKTE1 (FFAF.4 置 1, FFAF.3 置 1) CKOS (FFAF.1, FFAF.0.) 00: RCH; 01: CRY; 10: OscWdt; 11: MCLK
------	---	--------	------	--

4.5 寄存器说明

时钟管理模块相关寄存器如下：

时钟系统相关寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
MCKSET	系统时钟设置寄存器	×	R/W	00u0_1000B	91H
WPKEY	写保护控制寄存器	×	R/W	uuuu_uuuuB	92H
STOPCFG	停机模式配置寄存器	×	R/W	uuuu_0uuuB	FFA0H
SYSCFG	系统配置寄存器	×	R/W	1000_0011B	FFA2H
LFCSCON	低频时钟源控制寄存器	×	R/W	00uu_0000B	FFEEH
RCHTRIM	频率调节寄存器	×	R/W	uuxx_xxxxB	FFF4H
TESTCON	测试控制寄存器	×	R/W	uuuu_u000B	FFAFH
PCGC	时钟门控寄存器	×	R/W	1u11_1111B	FF60H

时钟管理模块寄存器详细说明如下：

系统时钟设置寄存器 MCKSET^① (91H)

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	OSTS[1:0] ^②		-	CRYEN	CRYIOEN	MCKS ^③	MDIV [1:0]	
访问权限：	R/W	R/W	R-0	R/W	R/W	R/W	R/W	R/W
复位值：	0	0	U	0	1	0	0	0
提示：	—：未实现；U：不受复位影响；R-0：只读，读出值为0；R/W：可读写；							

- Bit7~Bit6** OSTS[1:0]：外部晶振稳定时间选择位。
对于高频晶振（CRYCFG=1）：
00：外部晶振起振稳定时间为 $2^{15} \times T_{CRY}$ ^④（默认）。
01：外部晶振起振稳定时间为 $2^{14} \times T_{CRY}$ 。
10：外部晶振起振稳定时间为 $2^{13} \times T_{CRY}$ 。
11：外部晶振起振稳定时间为 $2^{12} \times T_{CRY}$ 。
对于低频晶振（CRYCFG=0）：
00：外部晶振起振稳定时间为 $2^{13} \times T_{CRY}$ （默认）。
01：外部晶振起振稳定时间为 $2^{12} \times T_{CRY}$ 。
10：外部晶振起振稳定时间为 $2^{11} \times T_{CRY}$ 。
11：外部晶振起振稳定时间为 $2^{10} \times T_{CRY}$ 。
- Bit 5** 保留（写入时候，该位需要为0）
- Bit4** CRYEN：CRY 使能位
1：CRY 使能
0：CRY 关闭（默认）。
- Bit3** CRYIOEN：外部晶振管脚复用使能位。
0：P9.2/P9.3 复用作 XTOUT/XTIN。
1：P9.2/P9.3 用作 GPIO（默认）。

- Bit2 MCKS: 系统时钟源选择位。
0: 系统时钟选择 RCH (默认)。
1: 系统时钟选择 CRYH。
- Bit1~Bit0 MDIV[10]: 系统时钟 MCLK 频率选择位。
00: MCLK 为 SYSCLK 的 8 分频 (默认)。
01: MCLK 为 SYSCLK 的 4 分频。
10: MCLK 为 SYSCLK 的 2 分频。
11: MCLK 为 SYSCLK。

注 1:	写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。
注 2:	外部晶振使能后, 经过 OSTC 设置的延时后释放。以 4MHz 晶振为例, 开启振荡后默认需要计数满 2^{15} 周期, 即 $0.25\mu\text{s} \times 2^{15} \approx 8\text{mS}$ 延时后该时钟才生效。考虑到晶振起振到真正开始有效计数还有一段时间, 实际上从开启晶振到提供有效时钟间隔要大于 8mS。
注 3:	MCKS(bit2)读出来的值反映 RCH 与 CRYH 的实际切换状态。该位置 0 或 1 后一般需要等目标时钟稳定并切换成功后才能真正读出 0 或 1。
注 4:	T_{CRY} 为外接晶振的周期。

写保护控制寄存器 WPKEY^① (92H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	WPKEY[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	U	U	U	U	U	U	U	U

系统关键寄存器的写入操作硬件上采取了写保护控制。要修改系统关键寄存器, 必须先向 WPKEY 寄存器写入 37H, 使写保护解除, 然后要立即向系统关键寄存器写入数据, 否则延迟 3 个指令周期, 写保护就会重新生效, 从而禁止修改系统关键寄存器。

注 1:	有写保护功能的寄存器包括: MCKSET (91H) 和 PCON (87H)。
------	--

系统配置寄存器 SYSCFG^① (FFA2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	RSTCFG	-	-	WDTCFG	CFG[1:0]		RCLLV	RCLCFG
访问权限:	R/W	R	R	R/W	R/W	R-0	R/W	R/W
复位值:	1	0	0	0	0	0	U	1
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit4 WDTCFG: STOP 模式下 WDT 配置位。
0: STOP 模式下, 禁止 WDT (默认)。
1: STOP 模式下, 允许 WDT。
- Bit3~Bit2 CFG[1:0]: 外部晶振增益选择位。
增益从高到低配置为: 11B > 10B > 01B > 00B, 默认最大增益。增益越大, 晶振越容易起振, 电流也越大。可根据需要选择不同的晶振增益。
- Bit1 RCLLV: RCL 低压模式使能位
0: 正常模式
1: 低压模式, 加快振荡频率。
- Bit0 RCLCFG: RCL 配置位。
0: RCL 一直开启。
1: 工作模式下开启 RCL; STOP 和 SLEEP 模式下, 关闭 RCL (默认)。

注 1:	该寄存器除 bit4 (WDTCFG) 外, 其它位在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。
------	---

停机模式配置寄存器 STOPCFG^① (FFA0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	-	-	-	-	PWRCFG	-	CRYLCFG	-
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	U	U	U	U	1	U	0	U
提示:	-: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit3** PWRCFG: 停机模式下电源配置位。
 0: 停机模式下, BGR/LVR/LVD 由软件控制。
 1: 停机模式下, BGR/LVR/LVD 关闭 (默认)。
- Bit1** CRYLCFG: 停机模式下, 低频 CRYRCL 配置位。
 0: 停机模式下, 低频 CRY 由 CRYEN 控制 (默认)。
 1: 停机模式下, 低频 CRY 关闭。

注 1: 该寄存器在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。

低频时钟源控制寄存器 LFCSCON (FFEEH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	LFCKS[1:0]			-	-	LFDIV[3:0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	U	U	0	0	0	0
提示:	-: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7~Bit6** LFCKS[1:0]: 低频时钟源选择位。
 00: CRY。
 01: RCL。
 10: RCH。
 11: CRY。
- Bit5~Bit4** 未实现位。
- Bit3~Bit0** LFDIV[3:0]: 低频时钟分频选择位。
 0000: /1。
 0001: /2。
 0010: /4。
 0011: /8。
 0100: /16。
 0101: /32。
 0110: /64。
 0111: /128。
 1000: /256。
 其它: /1。

RCH 频率调节寄存器 RCHTRIM^① (FFF4H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	RCHTRIM[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	x	x	x	x	x	x	x	x
提示:	-: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

X: 复位值由 Flash 信息区配置字节决定;

Bit7~Bit0 RCHTRIM[7:0]: RCH 输出频率校准值。

RCHTRIM[7:0]	输出频率
1111-1111	输出频率最高
...	
0111-1111	默认频率中间值
...	
0000-0000	输出频率最低 (默认)

注 1: 出厂前会对 RCH 校准, 然后将校准后的值写入 Flash 信息区配置字节中。复位发生时 TRIM 的值自动从 Flash 信息区配置字节中载入, 程序在应用过程中, 可以通过修改该寄存器的值, 动态调整 RCH 的频率

测试控制寄存器 TESTCON (FFAFH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	LVRTE ^①	SYSRST_TE ^①	CKTE1 ^①	CKTE ^①	CPOEN	CKOS[1:0]	
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	U	U	U	U	U	0 ^c	0 ^c	0 ^c
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写; C(上标): 特殊复位源							

Bit7 保留位。

Bit6 CRYCFG:外部晶振高低振的选择, 默认选择有信息区 18H 决定, 该寄存器只有在写以后有效:
0: 选择低振。
1: 选择高振。

Bit5 SYSRST_TE:复位信号输出使能位。
0: 系统复位禁止输出。
1: 系统复位允许输出。

Bit4-Bit3 CKTE1,CKTE:测试时钟输出引脚选择。
00: 无效。
01: P0.2 输出。
10: P2.2 输出。
11: P4.3 输出。

Bit2 CPOEN: 比较器结果输出使能位。
0: 禁止输出。
1: 允许输出。

Bit1~Bit0 CKOS[1:0]: 时钟 CLKO 输出选择位。
00: 输出 RCH。
01: 输出 CRYH。
10: 输出 RCL。
11: 输出系统时钟 MCLK。

注 1: 该寄存器的 bit6,bit5 在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。

时钟门控寄存器 PCGC (FF60H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	ADGC	SPIGC	-	UARTGC	KBIGC	T2GC	ACMPGC	T01GC
访问权限:	R-0	R-0	R-0	R-0	R-0	R/W	R-0	R/W
复位值:	1	U	1	1	1	1	1	1
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7** ADGC: ADC 时钟门控位。
0: ADC 时钟禁止。
1: ADC 时钟使能。
- Bit6** SPIGC: SPI 时钟门控位。
0: SPI 时钟禁止。
1: SPI 时钟使能。
- Bit5** 保留。
- Bit4** UARTGC: UART 时钟门控位。
0: UART 时钟禁止。
1: UART 时钟使能。
- Bit3** KBIGC: KBI 时钟门控位。
0: KBI 时钟禁止。
1: KBI 时钟使能。
- Bit2** T2GC: T2 时钟门控位。
0: T2 时钟禁止。
1: T2 时钟使能。
- Bit1** IAPGC: IAP 模块时钟门控位。
0: IAP 时钟禁止。
1: IAP 时钟使能。
- Bit0** T01GC: T01 时钟门控位。
0: T01 时钟禁止。
1: T01 时钟使能。

4.6 功能描述

4.6.1 时钟源

LCM08F16 系统中, 时钟系统包含 3 个时钟源: 外部晶振 CRY (含高频和低频); 内部高精度 8M RC 振荡 RCH; 内部低频 32K RC 振荡 RCL。

4.6.1.1 内部高频 RCH 振荡

内部 RCH 振荡提供 8MHz 的时钟, 该振荡在出厂时会校准, 但是频率随工作电压/温度/工艺离散性有一定变化, 因此在需要特别高精度的应用中不建议使用该时钟作为 CPU 时钟源。

内部 RCH 振荡没有专门的寄存器使能位, 上电后默认开启, 计数 256 个周期后切换给 MCLK, 默认是 RCH 的 8 分频。当成功切换到外部晶振 (读 MCKS (91H.2) 为 1) 时自动关闭。

SLEEP 模式下, RCH 继续运行。

STOP 模式下, RCH 停止运行。

4.6.1.2 外部晶振

外接晶振包含高频和低频，两者共用两个管脚，由信息区配置：当 CRYCFG 为 0 时选择低频晶振，外接 32.768KHz 晶振，当 CRYCFG 为 1 时选择高频晶振，外接 1~16MHz 晶振。尽管 RCH 能满足多数低成本系统的时钟需求，但是在下面两种应用中需要外接晶振：

- ◇ 应用所需系统时钟非 1M/2M/4M/8MHz。RCH 只能输出相对稳定的 8MHz 时钟，可选择 1/2//4/8 分频。如果系统需要其他时钟频率的话，则必须外接晶振。
- ◇ 如果系统对于时钟的精度要求特别高，RCH 不能满足要求时，须外接高频晶振以满足频率精度需求。

使用外部晶振时，将占用两个 IO 口：P9.2/XTOUT 和 P9.3/XTIN，由 CRYIOEN 来选择是用作 GPIO 还是外部晶振脚。当 CRYIOEN 置 0 时，用作外部晶振脚，此时如果 CRYEN 为 1 则开启外部晶振，如果 CRYEN 为 0 则 XTIN 被下拉，XTOUT 被上拉。

SLEEP 模式下，高频或低频晶振继续运行。

STOP 模式下，高频晶振停止，低频晶振在 CRYLCFG 为 0 时可继续运行，CRYLCFG 为 1 时停止。

考虑到不同工作环境下，电压/温度/晶振频率/类型等的差异，晶振的起振时间也将不同。可靠起见，晶振起振后要经过适当的延时才会释放时钟给系统使用。本电路中为外部振荡添加了晶振稳定延时计数器，延时时间通过 OST[1:0] 设置。高频晶振下，默认计数 2^{15} 个周期后才会释放外部振荡时钟。如频率为 4MHz 的振荡，将增加约 8ms 的延时。

1.1.1.1. 内部低频 RCL 振荡

RCL 振荡没有专门的寄存器使能位，上电后默认开启，可以给 WDT、WT 和 LCD 提供时钟，典型频率为 32KHz。

RCL 由 RCLCFG 控制，为 0 时，RCL 始终开启；为 1 时，RCL 由工作模式决定：运行模式下始终开启；SLEEP/STOP 模式下自动关闭。

上面这三个时钟源（RCH/CRY/RCL）连同系统主时钟 MCLK 可通过 TESTCON 寄存器设置输出到管脚。这样，既方便测试，又能为外围电路提供时钟源。

4.6.2 系统时钟配置

外部晶振 CRY 和内部高频 RCH 都可以作为系统时钟源。LCM08F16 的系统时钟经过两级选择产生（图 4-1），前级通过 MCKS 位选择 RCH 或 CRY，输出时钟 SYSCLK 再经过 MDIV[1:0] 选择合适的分频系数然后供给 CPU 核。分频比有 4 种可选：1/2/4/8，复位后默认系统主时钟 RCH/8。

4.6.3 系统时钟切换时序

根据不同的应用，主系统时钟会在 RCH 与 CRY 之间切换。

4.6.3.1 RCH 切换到 CRYH

电路上电后，RCH 默认打开，SYSCLK 来自 RCH。如果需要切换到外部振荡，有两种常用的切换流程。

- ◇ 最直接的切换过程：通过写寄存器 MCKSET，将外部晶振使能位 CRYEN 和时钟源选择位 MCKS 置 1，切换时序见图 4-2。

由于 CRYEN 和 MCKS 同时置 1，考虑到晶振需要一段时间起振稳定，因此只有 OST 设置的晶振稳定延时结束后才能切换。稳定时间结束前，系统时钟依然来自 RCH。CRY 稳定时间结束后，切换到 CRY 供给系统时钟。

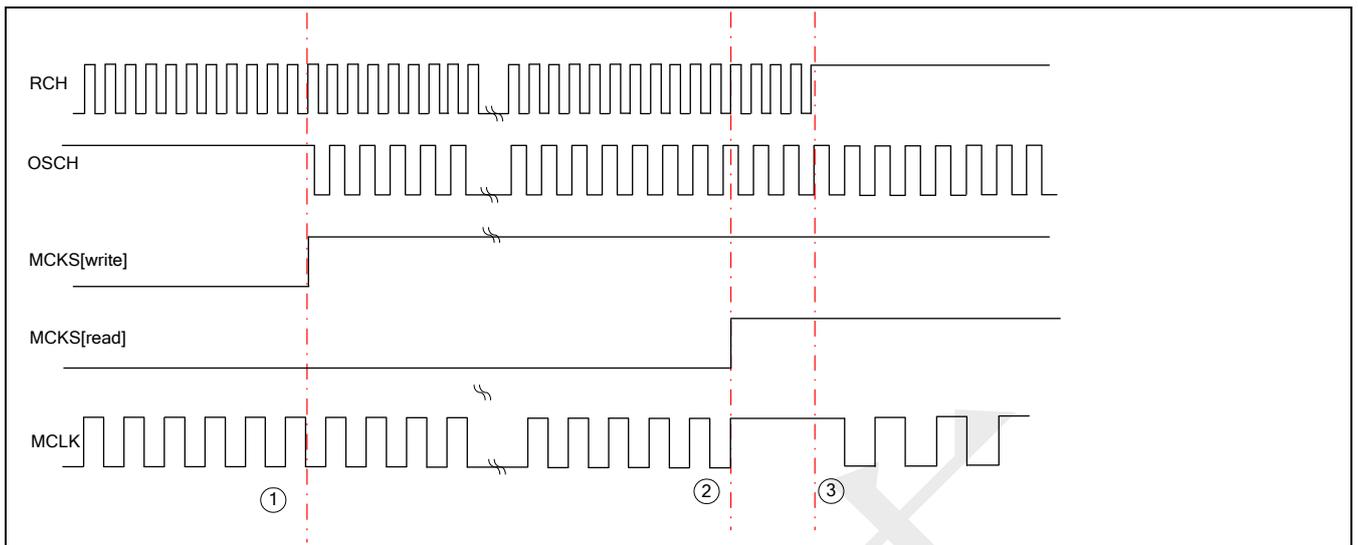


图 4-2 RCH 切换到 CRYH 时序

图 4-2 中①表示写入 MCKS 位，②表示 CRYH 时钟稳定（OSTS 设置的时间结束），下一节拍启动切换。③表示系统时钟切换到 CRYH。①和②之间为等待外部振荡稳定的延时时间，②和③之间为两个时钟交互的区域，该时间最长为 1 个 RCH 周期加上 3 个 CRYH 周期。

注 1: 示意图选择 SYSCLK 的 2 分频作为系统时钟。

✧ 更可靠的切换过程：先开启外部振荡（CRYEN=1），利用软件控制延时时间（至少要大于 OSTS 设定的时间），确认外部振荡稳定后写 MCKS 位为 1 进行切换。

由于晶振稳定时间最大为 2^{15} 个 CRY 周期（对高频晶振来说），在一些特殊情况下可能无法满足晶振稳定时间的要求。该切换方式弥补了硬件延时的不足，进一步提高了系统的可靠性。

4.6.3.2 CRY 切换到 RCH

如果需要将系统时钟源从 CRYH 切换到 RCH，只需将 MCLKSET 寄存器的 MCKS 位置 0。由于主时钟工作在外部振荡时，RCH 强制关闭，因此需要等待 RCH 启动（数十 uS）后再经过 256 个周期的延时，等待过程中电路仍然工作在 CRY。等到 RCH 稳定后，开始切换。如果读 MCKS 位为 0，表示切换已完成。然后才能设置 CRYEN=0，关闭外部振荡。否则说明时钟切换未完成，禁止关闭外部振荡。时序见下图：

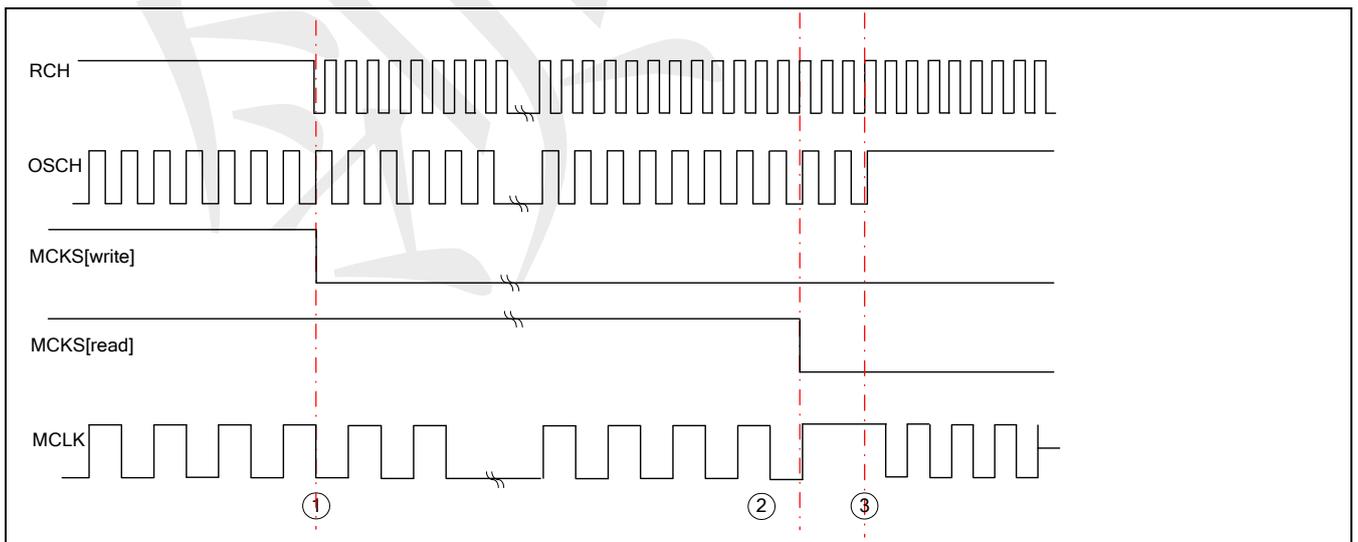


图 4-3 CRYH 切换到 RCH 时序

图 4-3 中①表示写入 MCKS 比特位；②表示 RCH 振荡稳定，下一个时钟开始切换；③表示时钟已经切换到 RCH。①和②之间为等待外部振荡稳定的延时时间，②和③之间为两个时钟交互的区域，该时间最长为 1 个 CRYH

周期加上 3 个 RCH 周期。

注 1: 错误!未找到引用源。和错误!未找到引用源。中 2 个时序切换示例图的 MCLK 为所选时钟源的 2 分频。

4.7 使用提示

LCM08F16 的时钟配置较灵活，不同的应用有不同的时钟方案。本小节从用户程序到板级以及可靠性等多个角度阐述时钟系统设计的提示。

- 1) 写 MCKS 位可进行时钟切换，但是只有时钟切换成功后，读该寄存器位才表示当前时钟的准确状态。例如 RCH 向 CRYH 切换，写 MCKS 为 1，在 CRYH 没有稳定前读 MCKS 结果都是 0。同样从外部振荡向内部 RCH 切换时也是如此。
- 2) MCLK 来自外部时钟源 CRYH 时，则无法通过软件关闭该振荡器，只有进入 STOP 模式才能强制关掉晶振。系统时钟源重新切换到 RCH 后，通过设置 CRYEN=0 可关闭外部振荡。
- 3) 为确保内部 RCH 的精度和稳定性，应用时请在 VDD 与 GND 之间并联一个 100nf 以上容量的电容，且电容两个管脚尽可能分别靠近 VDD 和 VSS 端（电容管脚到 VDD 和 VSS 的走线长度之和以小于 1cm 为佳）；
- 4) 外部晶振的配置说明

典型配置如下：

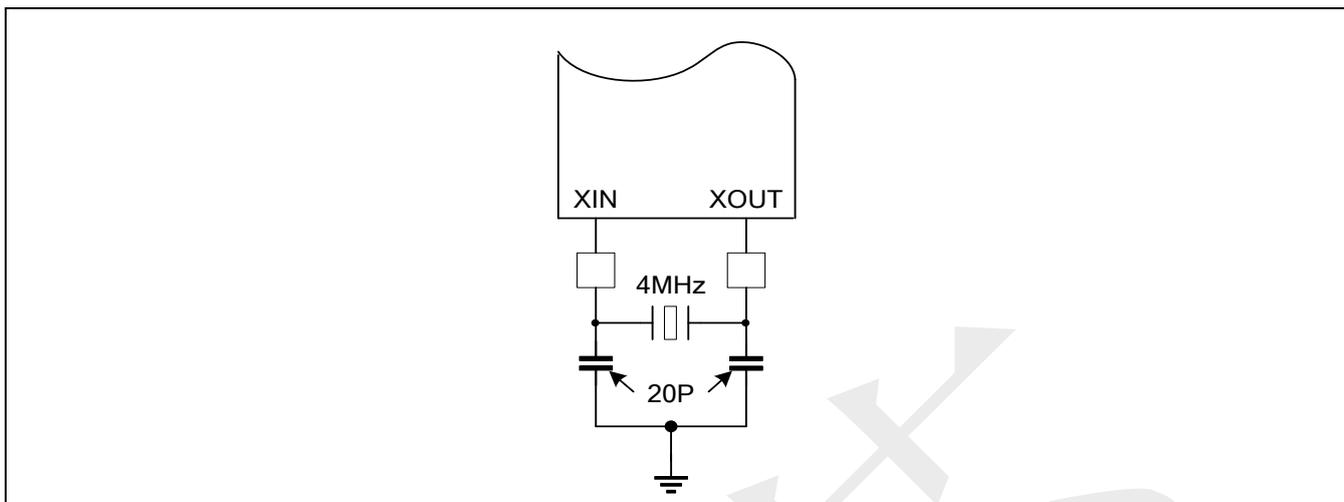


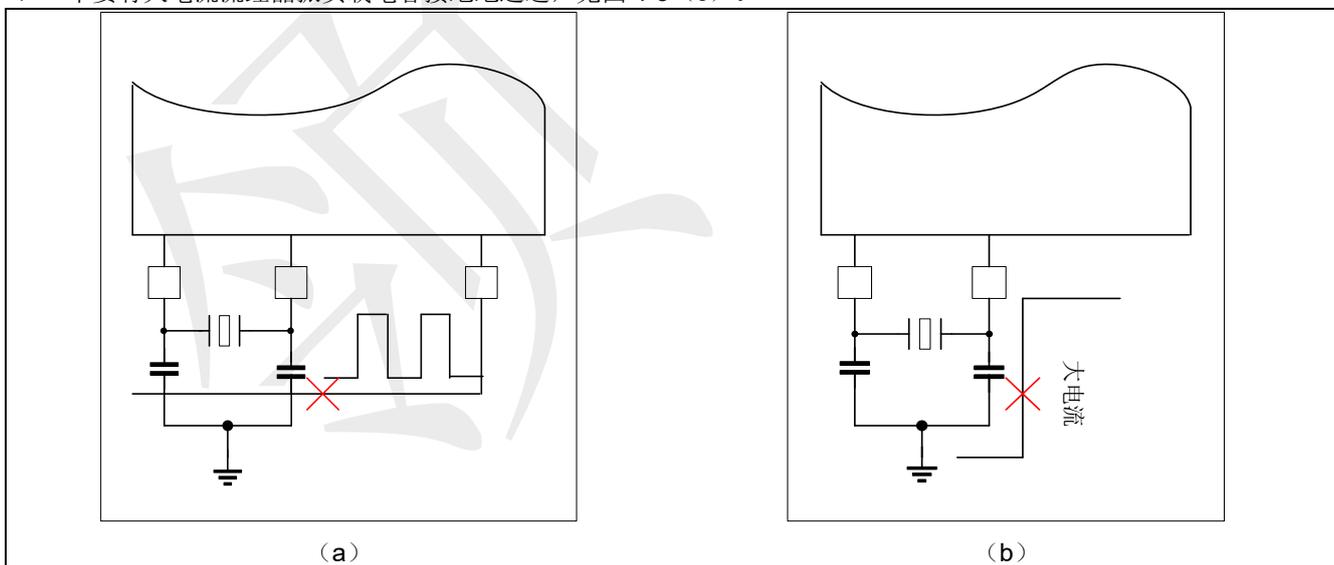
图 4-4 外部晶振典型配置

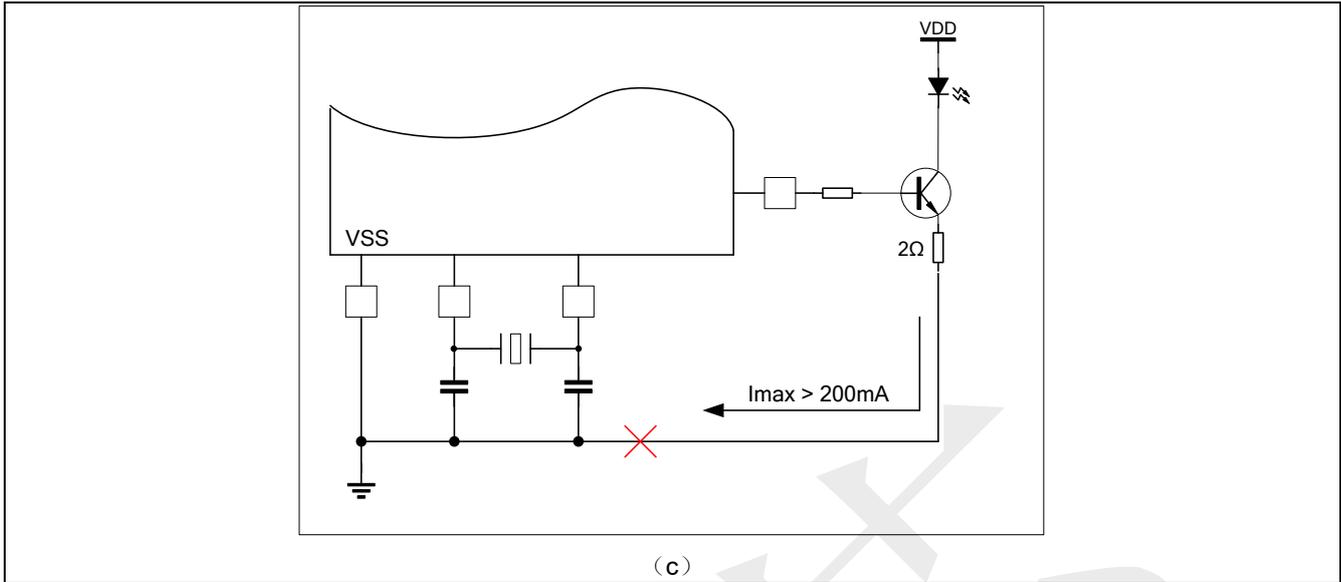
4MHz 晶振外部负载电容可选为 20~50PF 之间。外部晶振频率越高，建议负载电容适当接小些，以缩短起振时间。

无论采用何种外部晶振，用户都需要仔细评估。即使同一供应商提供的晶振也可能存在批次性问题。所以建议选择好的供应商，以获取高品质晶振。

使用外部晶振要注意：

- ✧ PCB 走线尽可能短而粗，晶振相关器件（两个电容一个晶振）尽量用地包围，把外部干扰降到最低。
- ✧ 晶振电路附近尽量不要走高频信号，见图 4-5（a）。
- ✧ 晶振电路附近尽量不要有大电流回路，见图 4-5（b）。
- ✧ 不要有大电流流经晶振负载电容接地地通道，见图 4-5（c）。





(c)
图 4-5 外接晶振不恰当走线

5. 复位系统

LCM08F16 有 5 个复位源，分别是：

- ◇ 外部管脚复位 ERST
- ◇ 上电复位 POR
- ◇ 低压复位 LVR
- ◇ WDT 复位 WDTR
- ◇ 软件指令复位 SOFTR

5.1 基本特征

LCM08F16 中的复位系统具备以下特征：

- ◇ 具有丰富的复位源，共有 5 种复位。
- ◇ 外部复位/LVR/POR 三种复位具有去抖动功能。
- ◇ STOP 模式下 LVR 是否工作可配置。

5.2 工作模式

上电后，POR 默认开启，外部复位和 LVR 默认开启，WDT 默认关闭，软件复位默认关闭。

运行模式下，POR 无效，软件复位有效。P9.5 如果配置成外部复位，则外部复位有效；如果配置成 GPIO，则外部复位无效。LVR 和 WDT 复位是否有效由软件控制。

SLEEP 模式下，POR 有效，WDT 复位和软件复位无效。P9.5 如果配置成外部复位，则外部复位有效；如果配置成 GPIO，则外部复位无效。LVR 是否有效由软件控制。

STOP 模式下，POR 有效，软件复位无效。P9.5 如果配置成外部复位，则外部复位有效；如果配置成 GPIO，则外部复位无效。LVR 和 WDT 复位是否有效由软件控制。

表 5-1 复位情况工作表

模式	POR	LVR	ERST	WDTR	SOFTR
上电后	√	√	√	×	×
RUN	×	LVREN=1:√	RSTCFG=1:√	清 WDT:√	√
		LVREN=0:×	RSTCFG=0:×	否则:×	
SLEEP	√	LVREN=1:√	RSTCFG=1:√	×	×
		LVREN=0:×	RSTCFG=0:×		
STOP	√	LVRCFG=1:×	RSTCFG=1:√	WDTCFG=1:√	×
		LVRCFG=0, 由 LVREN 决定	RSTCFG=0:×	WDTCFG=0:×	

注：“√”表示开启，“×”表示关闭。

5.3 功能框图

复位系统结构如下图：

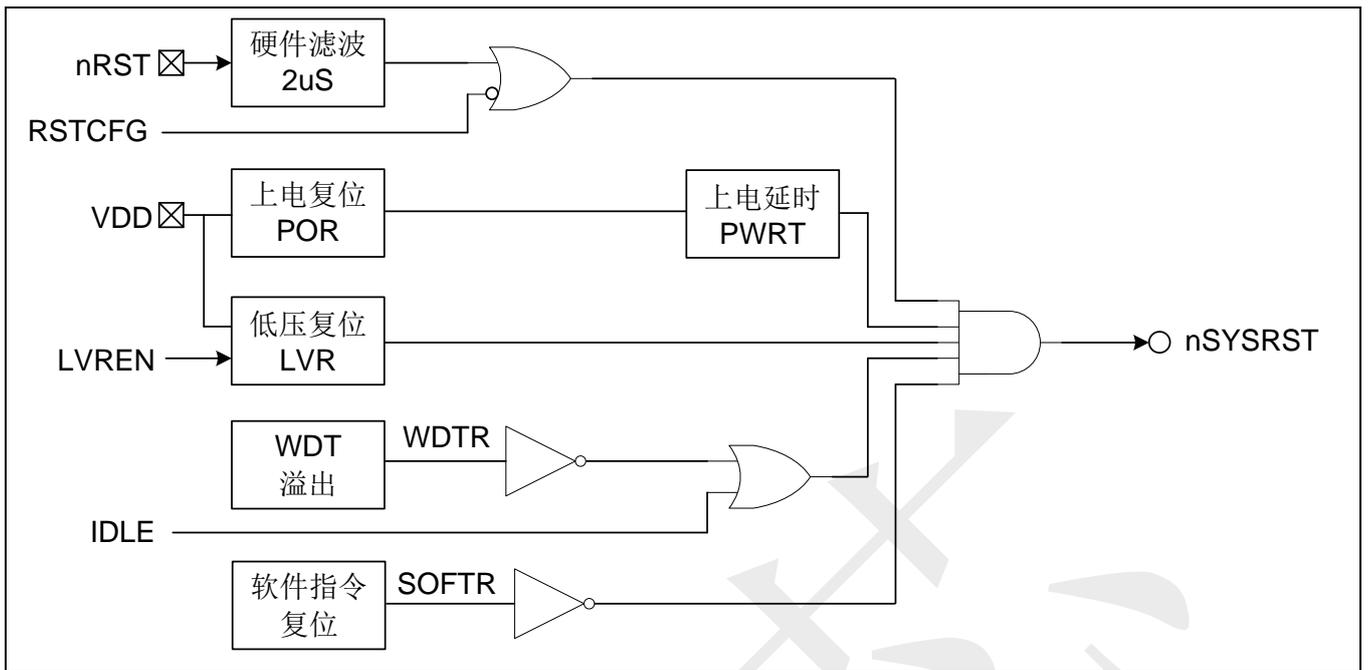


图 5-1 复位简化逻辑

上图最后输出一个全局复位信号 nSYSRST，低电平有效。并非所有的寄存器都受该全局复位信号影响，该电路中有些特殊的寄存器复位源并非来自该信号，而是前级就产生了。

5.3.1 POR 复位时序

不同的复位源，触发条件与释放条件略有不同。对于 POR 复位，为了保证电路开始工作时电源电压已经进入安全工作区，LCM08F16 对 POR 复位增加了一个上电复位延时定时器（PWRT）。如图 5-2 所示，该定时器采用内部低频 RC 振荡时钟作为计数时钟源，POR 复位时，将复位 PWRT。POR 复位释放后，计数器开始计数，计满 518 个周期后溢出。按照典型 RCL 时钟频率为 32KHz 计算，PWRT 为上电复位 POR 提供一个约 25ms^①（标称值）的固定延时。

注 1：由于上电时，RCL 频率较低，所以实际延时值要 >25ms。

复位后 RCL/RCH 都是使能的，低压复位 LVR 模块默认也是开启的。

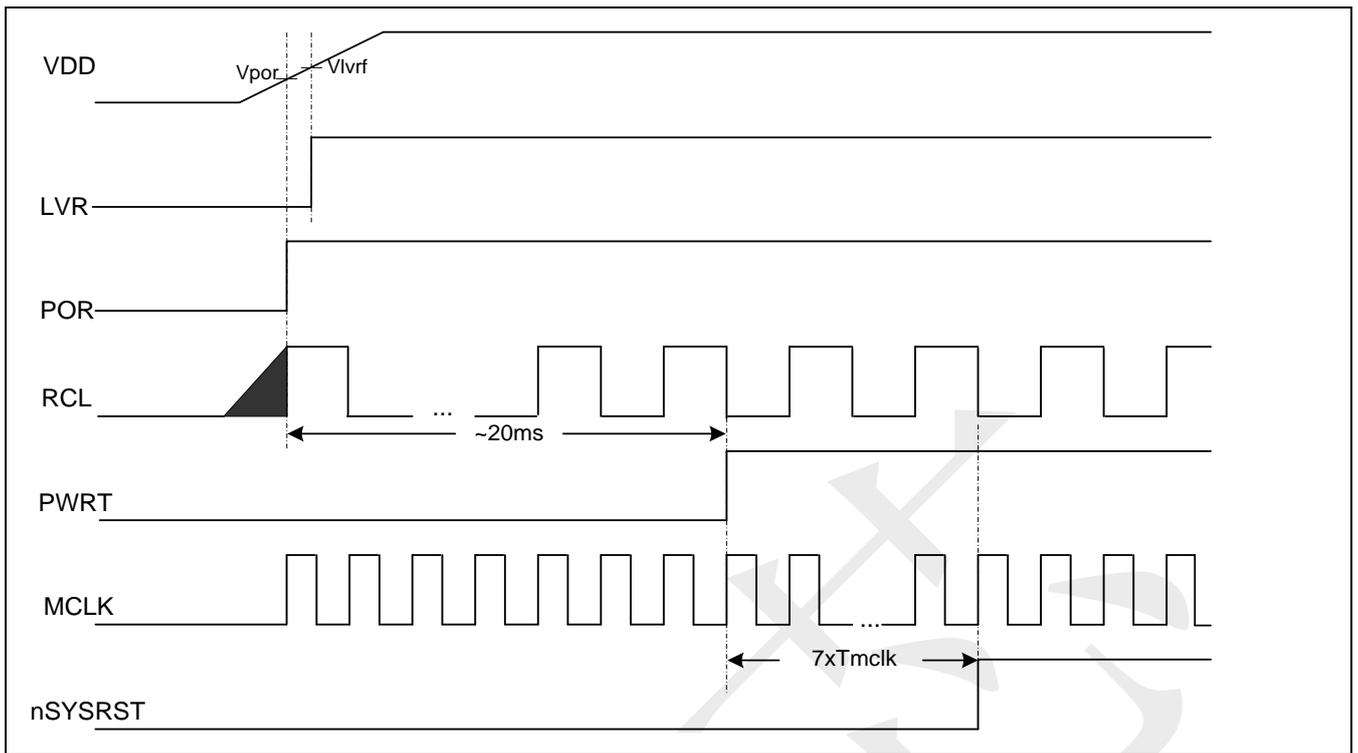


图 5-2 上电复位典型时序

5.3.2 外部复位时序

P9.5/nRST 默认用作外部复位脚，复位输入要经过去抖动电路，典型工作条件下（3V@25°C）能过滤掉宽度约 2 μ s 的脉冲。上述参数会随电压、温度和工艺有很大偏差，外部复位脚输入波形如图 5-3 所示。

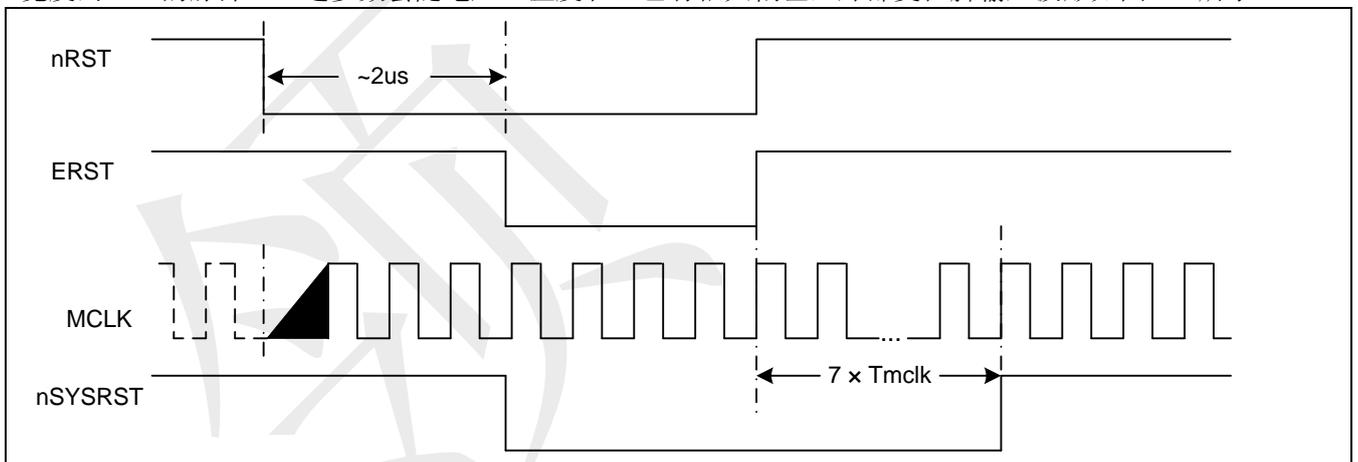


图 5-3 外部复位时序

5.3.3 LVR 复位时序

默认情况下，LVR 使能，如果检测到 VDD 低于低压复位检测点 V_{lvrf} 时，LVR 输出低电平，使电路进入复位状态。当 VDD 上升超过低压复位释放点 V_{lvrf} 时，释放复位状态。

如果第一次低压复位延时未到又产生了第二次低压复位，那么整个复位过程重新开始。必须等待一个完整的延迟过程结束后内部电路才开始工作。

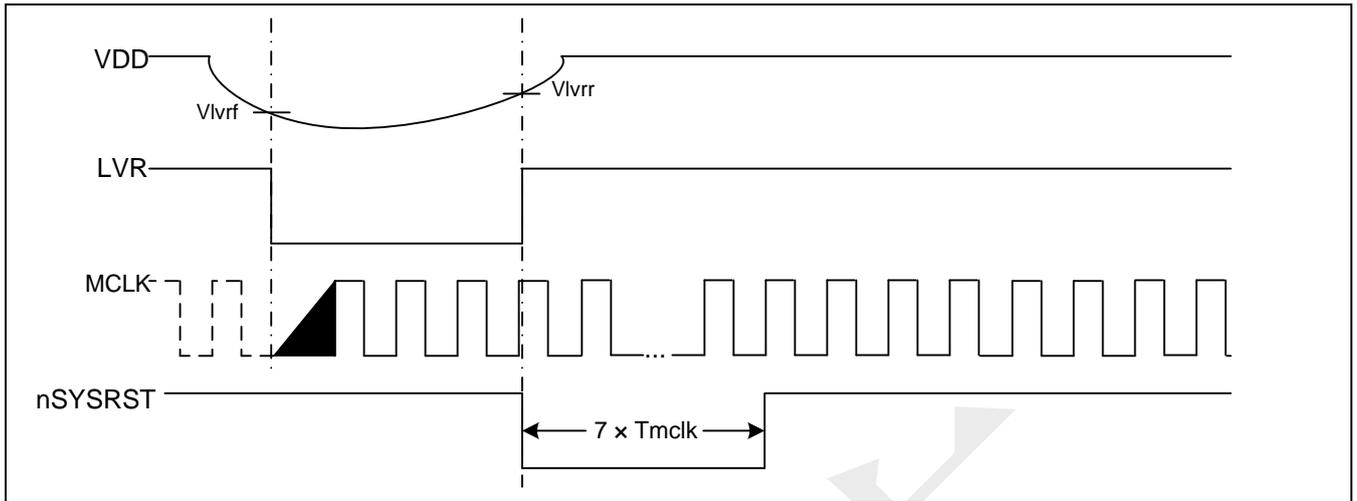


图 5-4 低压复位时序

5.3.4 WDT 复位和软件复位

这两个复位发生后经一段时间延迟并与 MCLK 两级同步后释放，程序指针跳转到 0000H 开始执行。看门狗复位的具体细节见“看门狗定时 WDT”章节。

5.4 寄存器说明

表 5-1 复位系统相关寄存器寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
RSTSRC	复位源标志寄存器	×	R/W	uuu0_0000B	A7H

复位源标志寄存器 RSTSRC

名称/地址:	RSTSRC/A7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	LVRF	PORF	nRSTF
访问权限:	R-0	R-0	R-0	R-0	R-0	R/W	R/W	R/W
复 位 值:	U	U	U	U	U	0 ^c	0 ^c	0 ^c
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写; C (上标): 特殊复位源, 参见表 5-2 特殊复位源寄存器;							

- Bit7~Bit3 未实现位。
- Bit2 LVRF: 低压复位标志。
0: 低压复位未发生。
1: 发生了低压复位, 可软件清零或被 POR 清零。
- Bit1 PORF: 上电复位标志位。
0: 未发生上电复位。
1: 发生上电复位, 需要软件清零。
- Bit0 nRSTF: 外部复位标志位。
0: 没有发生外部复位。
1: 发生了外部复位, 可软件清零或被 POR 清零。

5.5 功能说明

复位源在上电或电源电压波动或其它特定异常条件发生时使电路（重新）初始化，并进入确定状态。任何复位发生后，程序指针指向地址 0000H。

从引发复位的机制看，复位源可分为两类：冷复位与热复位。冷复位主要与电源变化有关，电源第一次从 0V 逐步升高时触发的复位叫上电复位。电路正常工作中如果电压跌落安全工作电压范围边界时可触发低压复位。热复位有很多种类，除外部复位（某个管脚拉低或拉高触发的复位）外，所有内部逻辑只要检测到异常都可以触发复位动作。LCM08F16 中看门狗溢出或软件指令触发的复位都归结到此类中。

绝大多数寄存器在任意复位发生后，都将进入各自的“复位”状态。本文档中描述寄存器时提到的“缺省”或“默认”状态就是指复位后的状态。但是有部分寄存器不受某些复位的影响，具体见表 5-3。

表 5-2 特殊复位源寄存器

复位源 寄存器（位）	POR	LVR	nRST	WDTR	SOFR
LVDCON(A5H)	√	x	√	x	x
LVRCON(A6H)	√	x	√	x	x
LVRF(A7H.2)	√	√	x	x	x
PORF(A7H.1)	√	x	x	x	x
nRSTF(A7H.0)	√	x	x	x	x
WDTCLR0(DEH)	√	√	√	x	√
WDTCLR1(DFH)	√	√	√	x	√
TESTCON(FFAFH)	√	√	√	x	x

注：√ 表示对应复位源可引起该寄存器（位）的复位动作；x 表示不受影响。

6. 电源管理

LCM08F16 的电源管理模块主要有带隙基准 BGR 模块, 用于给其它模块提供偏置电流和基准电压; 低压检测 LVD 和低压复位 LVR 模块, 用于检测电源电压并产生低电压报警中断或复位, 确保电路工作在安全工作电压区间。

6.1 基本特征

- ◇ 基准电压 VBG 出厂校准: 1.25V。
- ◇ 低压复位 8 级可选。
- ◇ 低压检测 8 级可选, 支持外部电压采样输入, 有独立的低压报警中断向量地址。

6.2 工作模式

上电后, VBG 和 LVR 默认开启, LVD 默认关闭。

STOP 模式下, 各个模块的工作情况见下表

表 6-1 STOP 模式下, 电源管理模块的工作情况

模式	LVD	LVR	BGR
LVRCFG=0	LV DEN=1: √	LV REN=1: √	VREN=1: √
	LV DEN=0: ×	LV REN=0: ×	VREN=0: ×
LVRCFG=1	×	×	×

6.3 功能框图

LCM08F16 电源管理模块的功能框图如下所示。

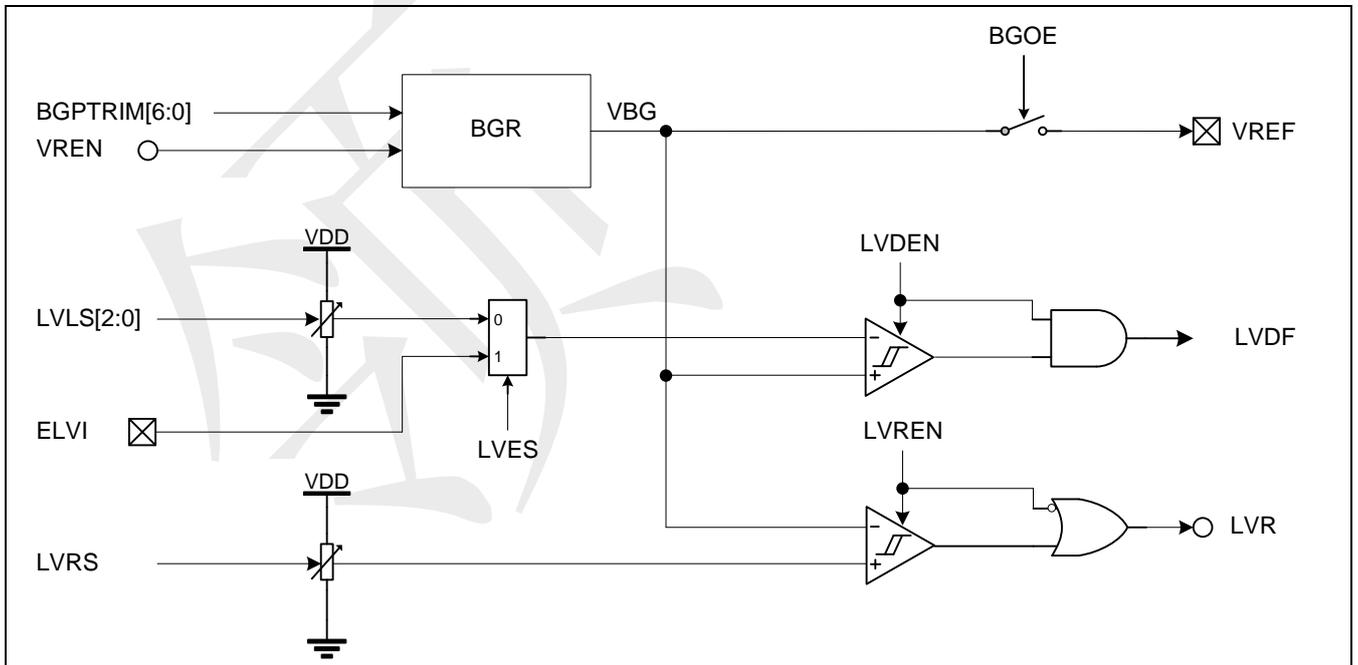


图 6-1 PMU 结构框图

6.4 管脚配置

系统监控模块用到 1 个外部管脚, 是 ELVI, 其配置如下表。

表 6-2 PMU 管脚复用配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
ELVI	A	低压检测外部输入电平	P3.1	LVES (LVDCON.4) 置 1。

6.5 寄存器说明

电源管理模块相关寄存器如下表所示。

表 6-3 电源管理模块寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
LVRCON	低压复位控制寄存器	x	R/W	10u0_uu01B	A6H
LVDCON	低压检测控制寄存器	x	R/W	0u00_0000B	A5H
STOPCFG	停机模式配置寄存器	x	R/W	uuuu_0uuuB	FFA0H
BGPTRIM	待机基准电压 BPG 校准寄存器	x	R/W	0000_0000B	FFF2H

电源管理模块寄存器详细说明如下：

低压检测控制寄存器 LVDCON^① (A5H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	LVDF	LVES	LVLS[2:0] ^②			LVDEN ^③
访问权限:	R-0	R-0	R	R/W	R/W	R/W	R/W	R/W
复 位 值:	U	U	0	0	0 ^c	0 ^c	0 ^c	0 ^c
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit6 未实现位。

Bit5 LVDF: 低压检测标志位。
0: VDD 高于低压检测电平或低压检测不使能。
1: VDD 低于低压检测电平。

Bit4 LVES: 低压检测外部输入电平使能位。
0: 选择内部电阻分压 (默认)。
1: 选择外部输入电压, 由 ELVI 脚输入。

Bit3~Bit1 LVLS[2:0]: 低压检测电平选择位。
000: 电源上升 2.25V 以上 LVFLG 清除, 下降到 2.2V 设置 LVFLG
001: 电源上升 2.45V 以上 LVFLG 清除, 下降到 2.4V 设置 LVFLG
010: 电源上升 2.55V 以上 LVFLG 清除, 下降到 2.5V 设置 LVFLG
011: 电源上升 2.8V 以上 LVFLG 清除, 下降到 2.7V 设置 LVFLG
100: 电源上升 3.0V 以上 LVFLG 清除, 下降到 2.9V 设置 LVFLG
101: 电源上升 3.2V 以上 LVFLG 清除, 下降到 3.1V 设置 LVFLG
110: 电源上升 3.75V 以上 LVFLG 清除, 下降到 3.65V 设置 LVFLG
111: 电源上升 4.6V 以上 LVFLG 清除, 下降到 4.5V 设置 LVFLG

Bit0 LVDEN, 低压检测使能位。
0: 关闭 LVD (默认)。
1: 使能 LVD。

注 1:	该寄存器只受外部复位和上电复位的影响。
注 2:	LVLS[3:0]设置的电压是 LVF 置位电压, 即当 VDD 低于该设置值时, LVF 置 1。LVF 清 0 时有 Δ 的迟滞。Δ=150mV @ VLVD

	$\geq 2.7V$ 。 $\Delta = 100mV @ VLVD < 2.7V$ 。
注 3:	在 STOP 模式下, LVD 受 LVRRCFG 的控制, LVRRCFG 置 1 时强制关闭 LVD, LVRRCFG 置 0 时由 LVDEN 控制 LVD。

低压复位控制寄存器 LVRCON^① (A6H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	VREN	VROE	VBUFSEL	LVR_Rst	LVRS[2]	LVRS[1]	LVRS[0]	LVREN ^②
访问权限:	R/W	R/W	R/W	R-0	R/W	R/W	R/W	R/W
复 位 值:	1 ^c	0 ^c	0	U	0	0	0 ^c	1 ^c
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7 VREN: 内部基准电压 (BGR) 使能位。

0: 关闭 BGR。

1: 开启 BGR (默认)。

Bit6 VROE: VBG 输出到端口使能位。

0: 禁止 VBG 输出到端口。

1: 允许 VBG 输出到端口。

Bit5 VBUF 输出选择

0: 带隙基准参考电压

1: 温度传感器电压 VTS。

Bit4 LVR_Rst, 只读, LVR 的状态。

Bit3-1 LVRS: 复位电压选择位。

000: 电源上升 1.9V 以上复位释放, 下降到 1.8V 触发复位

001: 电源上升 2.1V 以上复位释放, 下降到 2.0V 触发复位

010: 电源上升 2.6V 以上复位释放, 下降到 2.5V 触发复位

011: 电源上升 2.7V 以上复位释放, 下降到 2.6V 触发复位

100: 电源上升 2.95V 以上复位释放, 下降到 2.8V 触发复位

101: 电源上升 3.15V 以上复位释放, 下降到 3.0V 触发复位

110: 电源上升 3.7V 以上复位释放, 下降到 3.5V 触发复位

111: 电源上升 4.2V 以上复位释放, 下降到 4.0V 触发复位

Bit0 LVREN: LVR 使能位。

0: 关闭 LVR。

1: 使能 LVR (默认)。

注 1:	该寄存器只受外部复位和上电复位的影响。
注 2:	在 STOP 模式下, LVR 受 LVRRCFG 的控制, LVRRCFG 置 1 时强制关闭 LVR, LVRRCFG 置 0 时由 LVREN 控制 LVR。

停机模式配置寄存器 STOPCFG^① (FFA0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	RCFG	—	CRYLCFG	—
访问权限:	R-0	R-0	R-0	R-0	R/W	R-0	R/W	R-0
复 位 值:	U	U	U	U	1	U	0	U
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~Bit4 未实现位。

Bit3	LVRCFG: 停机模式下电源配置位。 0: 停机模式下, BGR/LVR/LVD 由软件控制。 1: 停机模式下, BGR/LVR/LVD 关闭 (默认)。
Bit2	未实现位。
Bit1	CRYLCFG: 停机模式下, 低频 CRYRCL 配置位。 0: 停机模式下, 低频 CRY 由 CRYEN 控制 (默认)。 1: 停机模式下, 低频 CRY 关闭。
Bit0	未实现位。

注 1: 该寄存器在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。

待机基准电压 BPG 校准寄存器 BGPTRIM (FFF2H) 注

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	TRIM[5]	TRIM[4]	TRIM[3]	TRIM[2]	TRIM[1]	TRIM[0]
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	x	x	x	x	x	x	x	x
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写; X: 复位值由信息区配置值决定;							

Bit5~Bit0 BGPTRIM[5:0]: 带隙基准(BGP)输出电压校准值。

BGPTRIM[5:0]	输出电压
0-0000	输出电压最低
...	
0-1111	默认电压中间值
...	
1-1111	输出电压最高 (默认)

注: 带隙基准电压出厂前被校准到 1.25V, 校准值固化在存储区信息区, 上电复位后被读取到该寄存器, 用户可以根据需求调整给寄存器的值从而修改带隙基准电压输出。

6.6 功能描述

电源管理模块主要有带隙基准模块 BGR、低压检测模块 LVD 和低压复位模块 LVR 模块, 其功能描述如下:

6.6.1 带隙基准 BGR

上电复位释放后, BGR 默认开启。

基准电压模块 BGR 为 LVD、LVR 和 CMP 等提供基准电压和偏置电流, 任何一个需要 BGR 提供支持的模块使能, BGR 就使能。BGR 本身也有一个使能位。

同时, 为了测试方便, 基准电压还可以输出到端口, 将 VROE 置 1 即可。

6.6.2 低压检测 LVD

LVD 用于检测电源电压 VDD 的波动, 当 VDD 跌落到检测电平以下时, 低压检测标志位 LVDF 置 1。如果中断允许, 则进入中断处理程序。

上电复位释放后，LVD 默认关闭。进入 STOP 模式后，如果 LVRCFG=1，则关闭 LVD；如果 LVRCFG=0，则 LVD 由 LVDEN 控制。

为了适应不同的供电系统，设置了 8 个低压检测电平：2.2V，2.4V，2.5V，2.7V，2.9V，3.1V，3.65V，4.5V。还支持外部输入电压。在 VDD 下降和上升过程中，LVDF 置位和清零存在一定的迟滞。以 2.9V 为例，将 $VDD < 2.9V$ 时，LVDF 置位。直到 $VDD \geq 3.0V$ ，LVDF 才清零。

6.6.3 低压复位 LVR

LVR 用于检测 VDD 的波动，当 VDD 跌落到检测电平以下时，使电路进入复位状态。

上电复位释放后，LVR 默认开启。进入 STOP 模式后，如果 LVRCFG=1，则关闭 LVR；如果 LVRCFG=0，则 LVR 由 LVREN 控制。

为了适应不同的供电系统，设置了 8 个低压复位电平：1.8V，2.0V，2.5V，2.6V，2.8V，3.0V，3.5V，4.0V。复位电压和释放电压存在一定得迟滞，范围在 100mV 左右。以 1.8V 为例， $VDD < 1.8V$ 时，LVR 复位。直到 $VDD \geq 1.9V$ ，LVR 释放复位。

6.7 使用提示

由于基准使能位与 LVR 使能位在同一个寄存器（LVRCON）中，使用 LVR 模块时必须遵循以下原则：软件编程 LVR 时需先开启基准（BGSTR=1），20 μ S 后再开启 LVR（LVREN=1），否则可能导致意外复位。

7. E2PROM/Flash 在线编程控制器(IAP)

LCM08F16 包含三部分存储器，16K FLASH 作为程序存储器，64 字节信息区用于保密和校准数据保存，256 字节 E2PROM 用于应用数据的保存，程序在运行过程中可以通过 IAP(In Applacation Program)控制器对这些区间进行操作，程序区和信息区必须 16 比特对齐操作，E2PROM 区按 8 比特字节操作。信息区各字节用于存储器安全管理和模块校准，关于安全机制和信息区的保护机制请参见《LCM08F16 存储器管理手册》。

7.1 基本特征

通过以下特殊功能寄存器（SFR）来完成对存储器编程。程序设置好地址、数据，再设置使能标志位后，程序暂停运行，等硬件写存储器操作完成后程序继续运行。在程序暂停运行时所有的状态保持不变，若出现中断，中断标志位保持，相当于进入 SLEEP 模式。为了防止由于存储器由于使用寿命/干扰导致无法正常完成写操作，用户可以采用与 T1 联动方式中断中止写操作。

- ◇ Flash 控制寄存器，FlashCtrl
- ◇ 存储器地址高 8 位寄存器，FlashAddrH
- ◇ 存储器地址低 8 位寄存器，FlashAddrL
- ◇ 存储器数据高 8 位寄存器，FlashDataH
- ◇ 存储器数据低 8 位寄存器，FlashDataL
- ◇ 分频寄存器: FlashCLKDiv;
- ◇ Flash 编程安全寄存器: FlashKey;

7.2 寄存器说明

Flash 控制寄存器（FlashCtrl）(D1H)

名称/地址:	FlashrCtrl /0xD1							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SpeedCfg		-	-	SecSel[1]	SecSel[0]	Opr	FLASH En
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
复 位 值:	0	0	U	0	1	1	0	1
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

- Bit7~Bit6 Speed: FLASH 读模式选择,
 00: 省电模式 (Standby) (<500KHz)
 10: 低速模式(Low Speed) (<=4MHz)
 11: 高速模式(High Speed) (>4MHz)
 其它: 禁止;
 在改变 Flash 读模式时, 配置该寄存器时候, 低 5 位的数据要求 WriteData[5:0] == 6'b101100, 以防止误操作;
- Bit5~bit4 保留, 配置 Flash 速度时, 该两位设置为 2'b10;
- Bit3~Bit2 操作区间选择:
 00: 程序区;
 01: 信息区;
 10: E2PROM 区;

- 11: 保留;
配置 Flash 速度模式时, 写入该该两位的值为 2'b11;
- Bit1 操作模式选择:
1: 读
0: 写。
配置 Flash 读模式时, 写入该位的值为 1'b0;
- Bit0 IAP 读写使能
1: 读写/Speed 改变使能;
0: 读写禁止;
配置 Flash 读模式时, 写入该位的值为 1'b0;

注 1: 在配置该寄存器之前, 如果配置为写操作, 必须先配置 FlashKey 寄存器; 其它寄存器不受 FlashKey 寄存器影响, 读操作可以直接对该寄存器进行配置。

存储器读写地址高 8 位寄存器 (FlashAddrH) (D2H) ^{注 1}

名称/地址:	FlashAddrH/D2H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MADR15	MADR14	MADR13	MADR12	MADR11	MADR10	MADR9	MADR8
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 读写操作的高八位地址, 对于 E2PROM 写操作只有 MADR8 有效;

存储器地址低 8 位寄存器 (FlashAddrL) (D3H) ^{注 1}

名称/地址:	FlashAddrL/D3H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MADR7	MADR6	MADR5	MADR4	MADR3	MADR2	MADR1	MADR0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 读写操作的低八位地址;

注 1: 对于 Flash 程序区和信息区的操作, 必须 16 位对齐操作, 因此 MADR0 必须为 1'b0; 对于 E2PROM 区操作, 支持按字节操作, 地址由{MADR8~MADR1} 把个比特组成, MADR0 将被忽略, 因此对 E2PROM 区进行读写操作时候, {FlashAddrH, FlashAddrL} = 目标地址<<1;

存储器数据寄存器高 8 位 (FlashDataH) (D4H)

名称/地址:	FlashDataH /0xD4							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MDAT15	MDAT14	MDAT13	MDAT12	MDAT11	MDAT10	MDAT9	MDAT8

访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 写操作时候, 该 8 位对应写入目标数据的高 8 位; 读操作时, 该 8 位对应读回数据的高 8 位;

编程数据寄存器低 8 位 (FlashDataL) (D5H)

名称/地址:	FlashDataL /0xD5							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	MDAT7	MDAT6	MDAT5	MDAT4	MDAT3	MDAT2	MDAT1	MDAT0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 写操作时候, 该 8 位对应写入目标数据的低 8 位; 读操作时, 该 8 位对应读回数据的低 8 位;

分频寄存器 (FlashCLKDiv) (D6H)

名称/地址:	FlashCLKDiv/0xD6							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	-	-	DIV5	DIV4	DIV3	DIV2	DIV1	DIV0
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	1	1	0
提示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit6 保留

Bit5~Bit0 存储器写过程中, 要求产生一个 ClkIn, 周期为 10us~15us, 该寄存器通过系统时钟 MClk, 分频得到 ClkIn; 计算公式如下:

$$F_{ClkIn} = F_{McIk} / 2 * (FlashClkDiv + 1)$$

Flash 安全寄存器 (FlashKey) (D7H)

该寄存器软件只能写, 读该寄存器无效。该寄存器的作用是防止对 FLASH 编程的误操作, 只有当向该寄存器依次写入 0xA5 和 0xF1 后才能进行对 FlashCtrl 寄存器进行写操作。注意写入 0xA5 和 0xF1 的间隔不能超过 12 个时钟周期, 建议写入 0xA5 后紧接着写入 0xF1。

解锁密钥第 0 字节(IAPKey0) (FF62H)

名称/地址:	IAPKey0/FF62H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY7	KEY6	KEY5	KEY4	KEY3	KEY2	KEY1	KEY0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 当信息区 3FH 地址的数据为 3AH 时,除 E2PROM 以外,整个信息区和程序区禁止 IAP 操作,输入 32 位密钥,可解除操作,该寄存器为密钥低字节;

解锁密钥第 2 字节(IAPKey1) (FF63H)

名称/地址:	IAPKey1/FF63H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY7	KEY6	KEY5	KEY4	KEY3	KEY2	KEY1	KEY0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 当信息区 3FH 地址的数据为 3AH 时,除 E2PROM 以外,整个信息区和程序区禁止 IAP 操作,输入 32 位密钥,可解除操作,该寄存器为密钥第 2 个字节;

解锁密钥第 3 字节(IAPKey2) (FF64H)

名称/地址:	IAPKey2/FF64H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY7	KEY6	KEY5	KEY4	KEY3	KEY2	KEY1	KEY0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 当信息区 3FH 地址的数据为 3AH 时,除 E2PROM 以外,整个信息区和程序区禁止 IAP 操作,输入 32 位密钥,可解除操作,该寄存器为密钥第 3 个字节;

解锁密钥第 4 字节(IAPKey3) (FF65H)

名称/地址:	IAPKey3/FF65H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KEY7	KEY6	KEY5	KEY4	KEY3	KEY2	KEY1	KEY0
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	— : 未实现; U : 不受复位影响; R-0:只读, 读为 0;							

Bit7~Bit0 当信息区 3FH 地址的数据为 3AH 时,除 E2PROM 以外,整个信息区和程序区禁止 IAP 操作,输入 32 位密钥,可解除操作,该寄存器为密钥高字节;

7.3 Flash/E2PROM 写时间参数

表 7-1 存储区信息区读写参数

读电压	VDD:1.8V~5.5V
高速模式	40ns(min) @VDD 4.5~5.5V

读时间		125ns(min) @2.5~ 4.5V; 240ns(min) @1.8V~2.5V
	低速模式	125ns (min) @2.5V ~5.5V 250ns (min) @ 1.8V ~2.5V
	省电模式	2us(min) @ 1.8V~5.5V
写入电压	3.0~5.5V	
写时间(Changed Code) ^{注1}	4.5<VDD<5.5V	0.3ms (typ.)/3ms(wst)
	3.0<VDD<4.5	0.5ms(typ.)/7ms(wst)
写时间 (non-changed code)	4.5<VDD<5.4	40us (min.)
	3.0<VDD<4.5	0.1ms(min)
使用寿命	1,000 Cycles;	

注 1: 用户进行大批量烧录的时候, 推荐采用 5 V 电压烧录

表 7-2 E2PROM 读写参数

读电压	1.8V~5.5V	
读时间	250ns(min) @1.8V~5.5V	
写入电压	2.0~5.5V	
写时间(Changed Code)	2.5<VDD<5.5V	0.7ms (typ.)/3ms(wst)
	2.3<VDD<2.5	10ms (typ.)/100ms(wst)
	2.0<VDD<2.3	100ms(typ.)/500ms(wst)
写时间 (non-changed code)	4.5<VDD<5.4	160us (min)@2.0V<VDD<5.5V
使用寿命	1,0000 Cycles;	

7.4 存储器安全机制简介

7.4.1 信息区字节说明

信息区包含 64 个字节用于保密, 保护字节, 密钥, 芯片 ID, 模块校正数据的保存, 系统会在上电以后自动读取部分信息区数据, 其余数据需要通过 IAP 模式读取, 用户可在应用程序中使用, 本章节对信息区各个字节的意义作一个具体的说明。

根据芯片信息区地址 3F 存储区是否为是否为 3AH, 把信息区工作状态分为**保密**和**非保密**两种状态, 当芯片处于保密状态时候, 可以通过输入 32 位密钥使芯片恢复到非保密状态。

表 7-3 信息区字节意义说明

地址	控制字节	读(R)写(W)擦(E)状态		说明
		保密	非保密	
3FH	保密字节 (ProgEN)	W: N R: N(0xFF) E: Y	W: Y R: Y E: Y	一个字节，决定是否允许修改用户程序。 3AH: 保密，整个程序区间不能读写； 其它: 非保密，程序区间读写状态受读写保护字节 (IRP/IWP 控制) 控制；
3EH	保留	同上	同上	用户自定义
03DH	读保护字节 3(IRP3)	W: N R: N E: Y	W: 只允许写 1; R: Y E: Y	读保护: 8 个 bit 分别保护程序区 0x3000~0x3fff 这 4k 空间的 8 个页 (每页 512 字节)。(对应位为 1 的时候, 除取指令以外, 任何方式均不能读该空间)
03CH	读保护字节 2(IRP2)	同上	同上	读保护: 0x2000~0x2fff (同上)
03BH	读保护字节 1(IRP1)	同上	同上	读保护: 0x1000~0x1fff (同上)
03AH	读保护字节 0(IRP0)	同上	同上	读保护: 0x0000~0x0fff (同上)
039H	写保护字节 3(IWP3)	W: N R: N(0xFF) E: Y	W: 只允许写 1; R: Y E: Y	IAP 写保护: 8 个 bit 分别保护程序区 0x3000~0x3fff 这 4k 空间的 8 个页 (每页 512 字节)。(对应位为 1 的时候, 任何方式均不能对改区间进行写操作)
038H	写保护字节 2(IWP2)	同上	同上	IAP 写保护: 0x2000~0x2fff (同上)
037H	写保护字节 1(IWP1)	同上	同上	IAP 写保护: 0x1000~0x1fff (同上)
036H	写保护字节 0(IWP0)	同上	同上	IAP 写保护: 0x0000~0x0fff (同上)
035H	保留	W: N R: N (0xFF) E: Y	W: Y R: Y E: Y	用户自定义
034H	保留	同上	同上	用户自定义
033H	密钥 3	同上	同上	密钥[31:24]; 在 ProgEn 为 3AH 情况下, 在输入 32 位密钥以后可解锁芯片到非保密状态;
032H	密钥 2	同上	同上	密钥[23:16]; 同上
031H	密钥 1	同上	同上	密钥[15:8]; 同上
030H	密钥 0	同上	同上	密钥[7:0]; 同上
02FH~020H	芯片保留	同上	同上	禁止用户操作
1FH~1EH	芯片保留	同上	同上	禁止用户操作
1DH	VBG Trim	同上	同上	VBG TRIM, 带隙基准电压校正; 值;
1CH	RCH Trim	同上	同上	RCH TRIM, RCH 校正; 值;

1BH	VTEMP[11:8]	同上	同上	用于保存温度参考器参考温度值高位； ^{注1}
1AH	VTEMP[7:0]	同上	同上	用于保存温度传感器参考温度低位； ^{注1}
19H	RCHPT	同上	同上	微调控制信号，控制恒流精度，用于 RCH 校正；
18H	CRYCFG	同上	同上	Bit0: 外部晶振高低振选择， 0: 低振动； 1: 高振动； (默认为低振)； Bit6~Bit1: 保留 7: ADC 使能位； 0: ADC 关闭， 1: ADC 使能；
17H	VREFOFFSET	同上	同上	校正后，VREF 与理论值的偏差 ^{注2}
16H	VBGOFFSET	同上	同上	校正后，VBG 与理论值的偏差 ^{注2}
0~15H	保留	同上	同上	用户自定义区间 ^{注3}

注 1: 只针对部分 MCU ID 型号产品温度参考值，但用户可以对空间进行操作；

注 2: 只针对部分 MCU ID 型的产品提供偏差值，但用户可以对空间进行操作。

注 3: 推荐用户只将该部分区间作为自定义数据区；

7.4.2 程序区读写说明

程序区读写受两个层次的控制，第一受信息区的保密字节控制，当信息区保密字节为 3aH 时，整个程序区的读写都被禁止，读回数据被固定成 FFH，写无效；只有在输入 32 位密钥以后，才可恢复；第二是受读写保护字节(IRP 和 IWP)，IRP0~3 字节的每一位控制 16K 空间的一个 512 个字节页的读权限，IWP0~3 字节的每一位控制 16K 空间的一个 512 字节的写权限，如下表所示。

读保护字节 IRPEn 的保护：对应 bit 数据为 0 时，允许读出对应保护区域数据；否则，读出数据固定为 FF。

表 7-4 读保护字节(IRPEn)说明

IP 保护字节	bit	保护区域
IRP0	0	0x0000~0x01FF
	1	0x0200~0x03FF
	2	0x0400~0x05FF
	3	0x0600~0x07FF
	4	0x0800~0x09FF
	5	0x0A00~0x0BFF
	6	0x0C00~0x0DFF
	7	0x0E00~0x0FFF
IRP1	0	0x1000~0x11FF
	1	0x1200~0x13FF
	2	0x1400~0x15FF
	3	0x1600~0x17FF
	4	0x1800~0x19FF
	5	0x1A00~0x1BFF
	6	0x1C00~0x1DFF
	7	0x1E00~0x1FFF

IRP2	0	0x2000~0x21FF
	1	0x2200~0x23FF
	2	0x2400~0x25FF
	3	0x2600~0x27FF
	4	0x2800~0x29FF
	5	0x2A00~0x2BFF
	6	0x2C00~0x2DFF
	7	0x2E00~0x2FFF
IRP3	0	0x3000~0x31FF
	1	0x3200~0x33FF
	2	0x3400~0x35FF
	3	0x3600~0x37FF
	4	0x3800~0x39FF
	5	0x3A00~0x3BFF
	6	0x3C00~0x3DFF
	7	0x3E00~0x3FFF

写保护字节 IWPE_n 的保护：对应 bit 数据为 0 时，允许对应区域进行编程；否则禁止编程。

表 7-5 写保护字节说明

IWP 保护字节	bit	保护区域
IWPE ₀	0	0x0000~0x01FF
	1	0x0200~0x03FF
	2	0x0400~0x05FF
	3	0x0600~0x07FF
	4	0x0800~0x09FF
	5	0x0A00~0x0BFF
	6	0x0C00~0x0DFF
	7	0x0E00~0x0FFF
IWPE ₁	0	0x1000~0x11FF
	1	0x1200~0x13FF
	2	0x1400~0x15FF
	3	0x1600~0x17FF
	4	0x1800~0x19FF
	5	0x1A00~0x1BFF
	6	0x1C00~0x1DFF
	7	0x1E00~0x1FFF
IWPE ₂	0	0x2000~0x21FF
	1	0x2200~0x23FF
	2	0x2400~0x25FF
	3	0x2600~0x27FF
	4	0x2800~0x29FF
	5	0x2A00~0x2BFF
	6	0x2C00~0x2DFF

	7	0x2E00~0x2FFF
IWPEN3	0	0x3000~0x31FF
	1	0x3200~0x33FF
	2	0x3400~0x35FF
	3	0x3600~0x37FF
	4	0x3800~0x39FF
	5	0x3A00~0x3BFF
	6	0x3C00~0x3DFF
	7	0x3E00~0x3FFF

7.5 使用提示

MTP/信息区/E2PROM 在编程过程中，为了防止由于存储器使用寿命/干扰导致无法正常完成写操作，用户可以与 T1 联动，采用 T1 中断终止写操作。

- 1) 将 T1 设置为模式 0 定时器模式，设置计数时间约为 3ms(推荐时间，预留冗余时间);
- 2) 使能 T1 中断;
- 3) 进行 MTP/信息区/E2PROM 写操作;

8. 工作模式

为满足电子系统日益苛刻的低功耗要求，LCM08F16 提供了两种省电模式：

- ◇ Sleep 模式，也称待机模式。系统时钟源运行，但是 CPU 时钟 MCIk 停止，各个模块的的时钟单独可控；
- ◇ STOP 模式，也称停机模式。内部 RCH 振荡以及外部晶振两个时钟源停止运行。RCL 和 WDT 可配置开启。在 STOP 模式，可以通过设置 LVRCFG 和 DREN，切换到低功耗 LPVR 给内核供电，进一步减少功耗。

8.1 基本特征

- ◇ 两种省电模式。
- ◇ 丰富的唤醒信号源。
- ◇ 灵活的低功耗设计。

8.2 模式转换说明

由于 LCM08F16 的时钟源较多，因此工作状态及互相间的转换就较麻烦。但是假设无论哪个时钟源选作主系统时钟，全速运行时（CPU 时钟 MCLK 不停）都称作正常工作模式，那么电路的工作状态就可简化为 4 种：复位状态/正常工作/待机状态/停机状态。

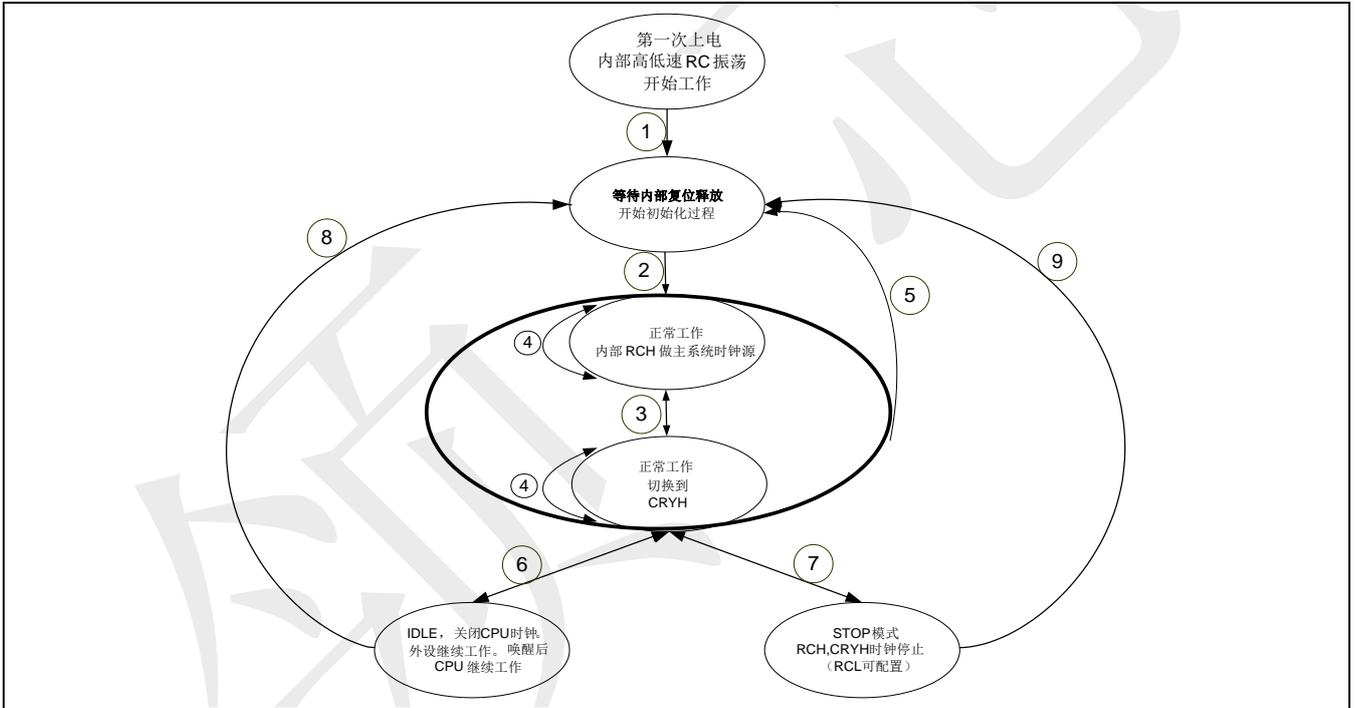


图 8-1 工作模式状态/转换

上图中各个数字序号代表电路在不同时钟或工作状态下的切换过程。其中(1)表示上电复位后电路进入初始化过程。粗线框内 2 个小框分别代表 2 种常见的工作状态，如前所述无论电路工作在何种时钟源下，都认为是正常工作模式。默认的 RCH 时钟单独展示出来。下面以上图的序号为线索阐述各状态转换条件。

表 8-1 工作状态转换条件表

过程编号	过程说明	转换条件		提示
		进入条件	退出条件	
(3)	正常工作：系统时钟源从 RCH 切换到外部 CRYH 时钟	开启 CRYH 并设置 MCKS=1		时钟精度更精确
(4)	正常工作：同一时钟源改变工作频率	设置 MCKSET 寄存器中的 MDIV 位		根据速度与功耗的需求选择

过程编号	过程说明	转换条件		提示
		进入条件	退出条件	
				时钟频率
(5)	正常工作状态时转入复位状态	任意复位源触发		
(6)	正常工作状态时进入待机状态	PCON.0=1	任意中断	降低工作电流但保持快速响应能力
(7)	正常工作状态时进入停机状态	PCON.1=1	KBI、外部中断、WDT 唤醒	深度休眠，超低功耗
(8)	待机模式转入复位状态	任意复位源触发，电路重新初始化		故障恢复
(9)	停机模式转入复位状态	任意复位源触发，电路重新初始化		

8.3 寄存器说明

工作模式相关寄存器如表 8-2 所示。

表 8-2 工作模式寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
PCON	电源控制寄存器	×	R/W	uuuu_uu00B	87H
LVRCON	低压复位控制寄存器	×	R/W	10u0_uu01B	A6H

电源控制寄存器 PCON^① (87H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	STOP SSREG1	SLEEP SSREG0
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R W	R W
复位值:	U	U	U	U	U	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写; R W: 读写物理地址分开;							

Bit7~Bit2 未实现位。

Bit1 STOP: 停止模式控制位。

该位置 1 时, 进入 STOP 模式, RCH 关闭, 系统进入深度休眠。读该位得到 SSREG[1] 的值, 标志电路是否进入 STOP 模式。

Bit0 SLEEP: 待机模式控制位。

该位置 1 时, 进入 SLEEP 模式, CPU 时钟 MCLK 关闭。读该位得到 SSREG[0] 的值, 标志电路是否确实进入 SLEEP 模式。

注 1: 写该寄存器时, 要先操作写保护控制寄存器 WPKEY, 解除写保护后写入。

8.4 待机模式 (SLEEP)

8.4.1 SLEEP 模式下系统工作情况

软件设置 SLEEP 位为 1, 如果没有允许的中断请求事件发生, 则电路进入 SLEEP 工作模式, 否则设置 SLEEP=1 无效, CPU 继续工作。

进入 SLEEP 模式后, CPU 相关寄存器 (PSW, ACC, SP 等)、SFR、RAM 等保持不变, IO 口状态也维持原状。WDT 内计数器计数操作停止。而 CPU 时钟 MCLK 被关断, 但是中断系统、定时器等模块依然有时钟 (FCLK) 驱动。

8.4.2 SLEEP 标志读写

为便于程序判断电路是否进入 SLEEP 模式，增加 SSREG0 为 SLEEP 的缓存寄存器，如果 SLEEP=1，则在下一个时钟沿硬件将 SSREG0 置 1。但是中断事件唤醒 MCU 后，SLEEP=0，而 SSREG0 依然保持 1，读 PCON 寄存器指令可以将 SSREG0 清 0。

8.4.3 SLEEP 唤醒方式

退出 SLEEP 模式有两种方式：内/外部中断或复位。任意复位源触发时，电路进入正常复位过程，重新初始化运行。进入 SLEEP 前允许的中断触发事件发生，电路就会被唤醒，退出 SLEEP 模式，响应中断，进入中断服务程序。然后回到进入 SLEEP 模式时的程序点（SLEEP 操作后一条指令）继续运行。

8.5 停机模式（STOP）

8.5.1 STOP 模式下系统工作情况

软件设置 STOP 位为 1，如果有允许的中断请求事件或者有效的停机模式唤醒信号源，比如 KBI 输入有效电平（如果配置成低电平唤醒，此时管脚为低），则设置的 STOP 无效，电路继续工作。

进入 STOP 模式，所有高频时钟（RCH、CRYH）都会被关闭，低频时钟（RCL）则根据 SYSCFG 寄存器的 RCLCFG 设置决定是否关闭。

类似 SLEEP 模式，该模式下 CPU 相关寄存器（PSW、ACC、SP 等）、SFR、RAM 等保持不变，IO 口状态也维持原状。WDT 内计数器计数根据需要停止或继续工作。停机指示信号 STOP（文中有些模块框图中引用了该信号）变高，表明电路进入停机模式。

8.5.2 STOP 标志读写

为便于程序判断电路是否进入 STOP 模式，增加 SSREG1 为 STOP 的缓存寄存器，如果 STOP=1，则在下一个时钟沿硬件将 SSREG1 置 1。但是退出 STOP 模式后，STOP=0，而 SSREG1 依然保持 1，读 PCON 寄存器指令可以将 SSREG1 清 0。

注：	程序读取 PCON 寄存器，读取的是 SSREG[1]寄存器。程序设置 STOP=1 后，需要等 SSREG[1]也被置 1 才会关闭时钟源，进入 STOP 模式。
----	--

8.5.3 STOP 唤醒方式

退出 STOP 模式有四种方式：外部复位、外部中断、KBI 输入、WDT 定时触发（需要通过设定 SYSCFG 的 WDTCFG 位以及 RCLCFG 位）。外部复位触发时，电路进入正常复位过程，重新初始化运行。外部中断，KBI 输入以及 WDT 定时溢出唤醒电路后，从进入 STOP 模式时的程序继续运行。但是唤醒需要等待时间，首先是开启 RCH，经过一定延时（ $256 \times Trch$ ）然后引入 CPU 作为系统时钟。这样从 STOP 模式唤醒后，由于 RCH 起振快而程序可以得到快速响应，并且经过延时处理 RCH 也进一步改善可靠性。



8.5.4 唤醒时序图

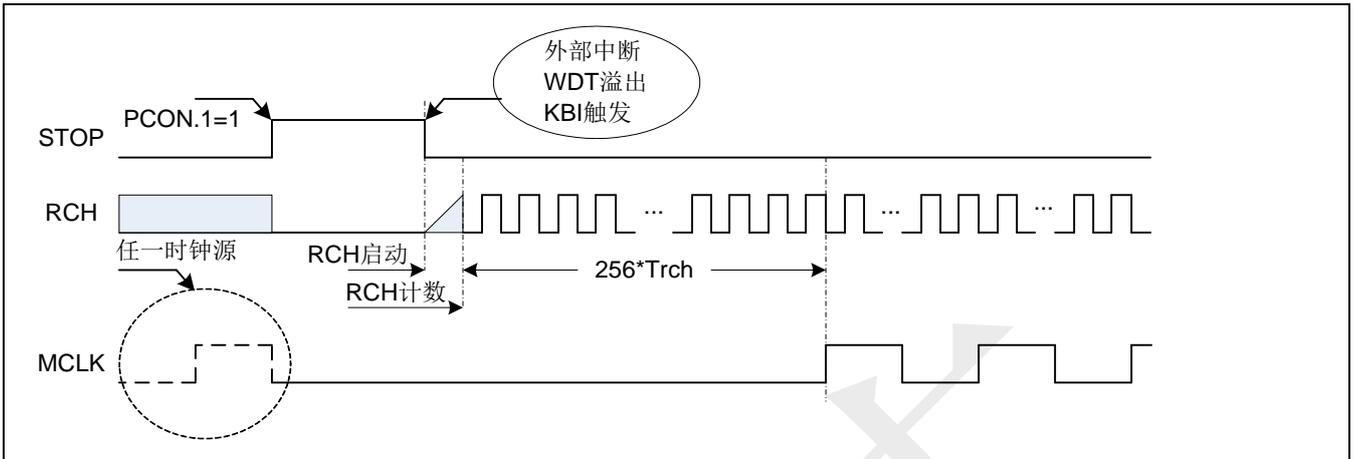


图 8-2 STOP 模式退出时序（非复位）

注：	如果由于外部复位退出 STOP，则时钟默认为 8 分频。如果由外部中断、KBI 输入、WDT 唤醒退出 STOP，则时钟维持进入 STOP 前的分频。
----	---

8.6 低功耗设计

8.6.1 时钟

工作电流通常与时钟的频率有直接的关系，频率越低电流越小。所以在满足运算速度的前提下，尽量降低 CPU 工作主频可以降低功耗。可以通过分频的方法降低主频。

8.6.2 低压复位和低压监测电路

在不使用低压复位时，将低压复位关掉，可以有效的减少功耗。有两种关掉 LVR 的方式：

- ◇ 进入 STOP 前，通过将 LVREN 清 0，关掉 LVR。
- ◇ 进入 STOP 前，将 LVRCFG 置 1（默认值），进入 STOP 后，自动关闭 LVR。

8.6.3 端口

复位之后的缺省状态下，LCM08F16 的端口（除 P9.5 设置为输入上拉外）均被设置为高阻输入状态。即使在进入待机模式和停机模式，系统也会保持输入/输出端口的状态。

在具体应用中，为了降低静态功耗，必须将没有用到的端口设置为输入上拉或者输出状态，然后再进入待机模式和停机模式。对于某些小封装形式，未封出端口也需要设置成输出。

8.6.4 待机模式和停机模式

根据应用，合理的进入待机模式和停机模式可以有效的减少的功耗。详见 8.4 和 8.5 描述。

8.6.5 WDT 电路

在停机模式下，可以设置 WDT 模块，让 WDT 周期性唤醒电路，即让系统周期性工作，这样可以有效的降低系统的平均功耗。

9. 中断系统

现今 8/16/32 位 MCU 都提供这样的机制：允许某些内部或外部事件的优先级高于正常的程序流程，当这些事件发生时，CPU 必须尽快中止当前正在执行的程序，转向相应的处理程序为其服务，待处理完毕，再返回去执行被中止的原程序，这个过程就是中断。引起中断的原因或设备称为中断源。MCU 电路的中断源一般会有多个，用来管理这些中断的逻辑称为中断系统。

中断机制有两种，可屏蔽中断与不可屏蔽中断。可屏蔽中断指某个事件发生时能置起中断标志，但是只有对对应使能位有效时该中断才会被响应；而不可屏蔽中断则不受使能位影响，当事件触发出现后 CPU 必须无条件响应，比如复位。

9.1 基本特征

LCM08F16 集成了 8 位 LC51 核，采用了类似 8051 的中断结构。LC51 核最大支持 23 个中断源，LCM08F16 的中断系统基本特征如下：

- ◇ 16 个可屏蔽中断源，其中包括 4 个外部中断。
- ◇ 一个中断对应一个中断使能位。
- ◇ 一个中断对应一个优先级控制位。
- ◇ 一个中断对应一个独立的中断入口地址（也称为中断向量）。
- ◇ 一个中断可能有一个以上标志，这种中断响应后需要软件识别中断源，如 T2 中断。
- ◇ 两个不同优先级中断同时发生时，先响应高优先级中断。
- ◇ 两个同优先级中断同时发生时，按照默认优先级响应。矢量地址低的中断源具有更高的优先级。
- ◇ 某些中断标志可在进入中断入口后被硬件自动清除，也可以被软件清除。
- ◇ KBI 中断有双缓冲机制。

9.2 中断表

LCM08F16 各中断源以及相关标志位/使能位与入口地址列表如下：

表 9-1 LCM08F16 中断资源

默认 优先级	中断名称	标志位	标志位 硬件清除?	使能位	中断入口地址
	复位	-	-	-	0000H
0	外部中断 0	IE0(TCON.1)	是	EX0	0003H
1	定时器 0 中断	TF0(TCON.5)	是	ET0	000BH
2	外部中断 1	IE1(TCON.3)	是	EX1	0013H
3	定时器 1 中断	TF1(TCON.7)	是	ET1	001BH
4	串行口 0 中断	RI/TI	否	ES	0023H
5	定时器 2 溢出中断	TF2(T2CON1.7) EXF2(T2CON1.6)	否	ET2	002BH
6	SPI 中断	SPRF(SPIFLG.5) SPTEF(SPIFLG.4) RXOV(SPIFLG.3) WCOL(SPIFLG.2) MODF(SPIFLG.1)	是	ESPI	0033H
7	定时器 2 捕获中断	CAPF(T2CON.6)	否	ET2CAP	003BH
8	保留	-	-	-	0043H



默认 优先级	中断名称	标志位	标志位 硬件清除?	使能位	中断入口地址
9	低压报警中断	LVDF(LVDCON.5)	否	ELVD	004BH
10	保留	-	-	-	0053H
11	比较器输出上升沿中断	CP0RIF(CP0CON.1)	否	ECP0R	005BH
12	比较器输出下降沿中断	CP0FIF(CP0CON.0)	否	ECP0F	0063H
13	ADC 中断	ADINTS(ADCON.1)	否	EADC	006BH
14	保留	-	-	-	0073H
15	外部中断 2	EINTF[2](EINTCS1.0)	否	EX2	007BH
16	外部中断 3	EINTF[3](EINTCS1.1)	否	EX3	0083H
17	保留	-	-	-	008BH
18	保留	-	-	-	0093H
19	WT 中断	WTIF(WTCON.6)	否	EWT	009BH
20	KBI 中断	KBIF(KBIFLG.0)	否	EKB	00A3H
21	保留	-	-	-	00ABH

9.3 中断框图

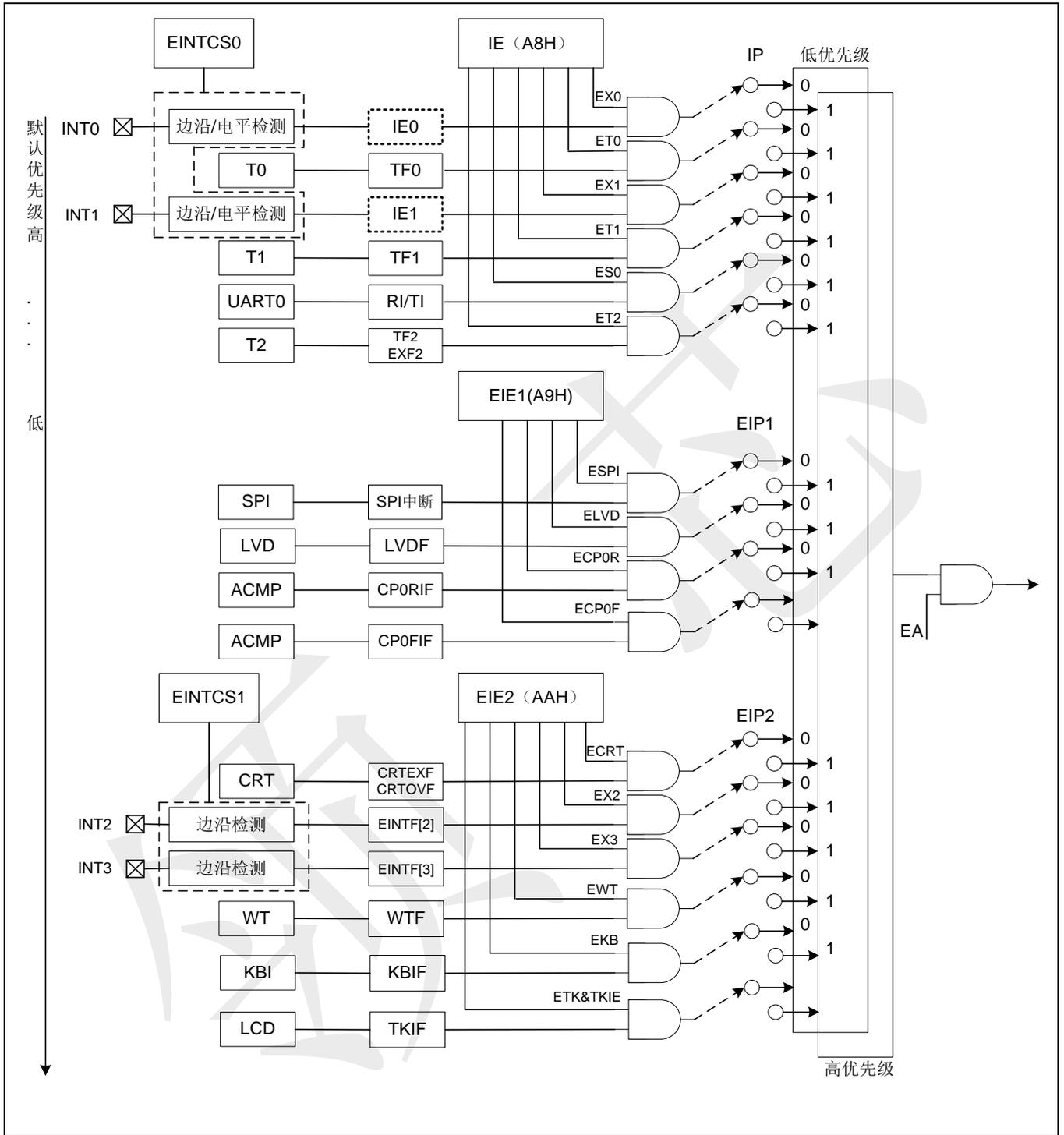


图 9-1 中断结构

上图中 IP/ EIP1/EIP2 对应 3 个优先级设置寄存器，IE/ EIE1/EIE2 对应 3 个中断使能寄存器（个别中断标志位还需要模块本身的中断使能位控制，详见各模块介绍）。而 EINTCS0/1 用于 4 个外部中断的触发方式选择/使能并记录相关状态。寄存器的相关功能详见下节。

9.4 管脚配置

外部中断 INT0~INT3 需要与外部管脚复用，配置如下表：

表 9-2 外部中断复用管脚配置列表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
INT0	I	外部中断 0 输入	P0.0	INTORMP (IOMUX1.0) 置 0 (默认)。
			P5.0	INTORMP (IOMUX1.0) 置 1。
INT1	I	外部中断 1 输入	P0.1	INT1SEL(IOMUX1.2)置 0 (默认)。
			RCL/8	INT1SEL (IOMUX1.2) 置 1。
INT2	I	外部中断 2 输入	P2.6	无
INT3	I	外部中断 3 输入	P2.7	无

9.5 寄存器说明

LCM08F16 的相关中断寄存器如表 9-3 所示。

表 9-3 中断寄存器

名称	说明	可位寻址	读写权限	复位值	字节地址
IE	中断允许寄存器	√	R/W	0u0u_0000B	A8H
IP	中断优先级寄存器	√	R/W	uu0u_0000B	B8H
EIE1	扩展中断允许 1	×	R/W	u00u_0u00B	A9H
EIE2	扩展中断允许 2	×	R/W	000u_u000B	AAH
EIP1	扩展中断优先级 1	×	R/W	u00u_0u00B	B9H
EIP2	扩展中断优先级 2	×	R/W	000u_u000B	BAH
EINTCS0	外部中断控制状态寄存器 0	×	R/W	0000_0000B	ACH
EINTCS1	外部中断控制状态寄存器 1	×	R/W	0000_0000B	BCH
TCON	定时器控制寄存器	√	R/W	0000_0000B	88H
IOMUX2	IO 复用控制寄存器 2	×	R/W	0000_0000B	FFE2H

中断寄存器的详细说明如下：

中断允许寄存器 IE (A8H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	EA	—	ET2	ES	ET1	EX1	ET0	EX0
位地址:	AFH	AEH	ADH	ACH	ABH	AAH	A9H	A8H
访问权限:	R/W	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	U	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

- Bit7 EA: 中断请求总使能位
0: 禁止所有中断请求 (默认)。
1: 中断请求总使能位打开, 中断是否允许取决于各自的中断使能位。
- Bit6 未实现位。
- Bit5 ET2: T2 中断使能位。
0: 禁止 T2 的中断请求 (默认)。
1: 允许 T2 的中断请求。
- Bit4 ES: UART0 中断使能位。
0: 禁止 UART0 的中断请求 (默认)。

- 1: 允许 UART0 的中断请求。
- Bit3 ET1: Timer1 溢出中断使能位。
0: 禁止 Timer1 的中断请求（默认）。
1: 允许 Timer1 的中断请求。
- Bit2 EX1: 外部中断 INT1 中断使能位。
0: 禁止 INT1 的中断请求（默认）。
1: 允许 INT1 的中断请求。
- Bit1 ET0: Timer0 溢出中断使能位。
0: 禁止 Timer0 的中断请求（默认）。
1: 允许 Timer0 的中断请求。
- Bit0 EX0: 外部中断 INTO 中断使能位。
0: 禁止 INTO 的中断请求（默认）。
1: 允许 INTO 的中断请求。

中断优先级寄存器 IP (B8H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	PT2	PUART0	PT1	PX1	PT0	PX0
位地址:	BFH	BEH	BDH	BCH	BBH	BAH	B9H	B8H
访问权限:	R-0	R-0	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	U	U	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

- Bit7~Bit6 未实现位。
- Bit5 PT2: T2 中断优先级选择位。
0: 低优先级（默认）。
1: 高优先级。
- Bit4 PUART0: UART0 中断优先级选择位。
0: 低优先级（默认）。
1: 高优先级。
- Bit3 PT1: Timer1 中断优先级选择位。
0: 低优先级（默认）。
1: 高优先级。
- Bit2 PX1: 外部中断 INT1 中断优先级选择位。
0: 低优先级（默认）。
1: 高优先级。
- Bit1 PT0: Timer0 中断优先级选择位。
0: 低优先级（默认）。
1: 高优先级。
- Bit0 PX0: 外部中断 INTO 中断优先级选择位。
0: 低优先级（默认）。
1: 高优先级。

扩展中断允许寄存器 1 EIE1 (A9H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	EADC	ECP0F	ECP0R	—	ELVD	—	ET2CAP	ESPI
访问权限:	R/W	R/W	R/W	R-0	R/W	R-0	R-0	R/W
复位值:	0	0	0	U	0	U	U	0

提 示:	—: 未实现位; R-0: 只读, 读出值为 0; R/W : 可读写
------	-------------------------------------

- Bit7 EADC: ADC 转换结束中断使能。
0: 禁止 ADC 转换结束中断请求 (默认)。
1: 允许 ADC 转换结束中断请求。
- Bit6 ECP0F: 比较器下降沿中断使能位。
0: 禁止比较器下降沿中断请求 (默认)。
1: 允许比较器下降沿中断请求。
- Bit5 ECP0R: 比较器上升沿中断使能位。
0: 禁止比较器上升沿中断请求 (默认)。
1: 允许比较器上升沿中断请求。
- Bit4 未实现位。
- Bit3 ELVD: 低压检测中断使能位。
0: 禁止低压检测中断请求 (默认)。
1: 允许低压检测中断请求。
- Bit2 未实现位。
- Bit1 ET2CAP: 定时器 2 捕获中断允许位。
0: 禁止 T2 捕获中断请求 (默认)。
1: 允许 T2 捕获中断请求。
- Bit0 ESPI: SPI 中断使能位。
0: 禁止 SPI 中断请求 (默认)。
1: 允许 SPI 中断请求。

扩展中断允许寄存器 2 EIE2 (AAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ETK	EKB	EWT	--	--	EX3	EX2	-
访问权限:	R/W	R/W	R/W	R-0	R-0	R/W	R/W	R/W
复 位 值:	0	0	0	U	U	0	0	0
提 示:	—: 未实现位; R-0: 只读, 读出值为 0; R/W : 可读写							

- Bit7 ETK: LCD 闪烁中断使能位。
0: 禁止 LCD 闪烁中断请求 (默认)。
1: 允许 LCD 闪烁中断请求。
- Bit6 EKBI: 键盘中断使能位。
0: 禁止键盘中断请求 (默认)。
1: 允许键盘中断请求。
- Bit5 EWT: WT 中断使能位。
0: 禁止 WT 中断请求 (默认)。
1: 允许 WT 中断请求。
- Bit4~Bit3 未实现位。
- Bit2 EX3: 外部中断 INT3 中断使能位。
0: 禁止 INT3 的中断请求 (默认)。
1: 允许 INT3 的中断请求。
- Bit1 EX2: 外部中断 INT2 中断使能位。
0: 禁止 INT2 的中断请求 (默认)。
1: 允许 INT2 的中断请求。
- Bit0 保留

扩展中断优先级寄存器 1 EIP1 (B9H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	PADC	PCP0F	PCP0R	—	PLVD	—	PT2CAP	PSPI
访问权限:	R/W	R/W	R/W	R-0	R/W	R-0	R/W	R/W
复位值:	U	0	0	0	0	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

Bit7 PADC: ADC 转换结束中断优先级控制位。

0: 低优先级 (默认)。

1: 高优先级。

Bit6 PCP0F: CP0 下降沿中断优先级选择位。

0: 低优先级 (默认)。

1: 高优先级。

Bit5 PCP0R: CP0 上升沿中断优先级选择位。

0: 低优先级 (默认)。

1: 高优先级。

Bit4 未实现位。

Bit3 PLVD: LVD 中断优先级选择位。

0: 低优先级 (默认)。

1: 高优先级。

Bit2 未实现位。

Bit1 PT2CAP:T2 捕获中断优先级控制位。

0: 低优先级 (默认)。

1: 高优先级。

Bit0 PSPI: SPI 中断优先级选择位。

0: 低优先级 (默认)。

1: 高优先级。

扩展中断优先级寄存器 2 EIP2 (BAH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	PTK	PKB	PWT	—	—	PX3	PX2	-
访问权限:	R/W	R/W	R/W	R-0	R-0	R/W	R/W	R/W
复位值:	0	0	0	U	U	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

Bit7 PTK: LCD 闪烁中断优先级选择位。

0: 低优先级 (默认)。

1: 高优先级。

Bit6 PKB: KBI 中断优先级选择位。

0: 低优先级 (默认)。

1: 高优先级。

Bit5 PWT: WT 中断优先级选择位。

0: 低优先级 (默认)。

1: 高优先级。

Bit4~Bit3 未实现位。

Bit2 PX3: 外部中断 INT3 中断优先级选择位。

0: 低优先级（默认）。

1: 高优先级。

Bit1 PX2: 外部中断 INT2 中断优先级选择位。

0: 低优先级（默认）。

1: 高优先级。

Bit0 保留

外部中断控制与状态寄存器 0 EINTCS0 (ACH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	INT1MS ^①	INTOMS ^①	INT1EN	INTOEN	INT1IPS	INTOIPS	INT1F	INTOF
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

Bit7 INT1MS: INT1 输入模式选择位。

0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期（默认）。

1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INT1F, 允许接收脉冲宽度小于 MCLK 周期的中断请求。

Bit6 INTOMS: INTO 输入模式选择位。

0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期（默认）。

1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INTOF, 允许接收脉冲宽度小于 MCLK 周期的中断请求。

Bit5 INT1EN: INT1 中断请求使能位。

0: 禁止 INT1 产生中断请求（默认）。

1: 允许 INT1 产生中断请求。

Bit4 INTOEN: INTO 中断请求使能位。

0: 禁止 INTO 产生中断请求（默认）。

1: 允许 INTO 产生中断请求。

Bit3 INT1IPS: INT1 输入极性选择位。

0: 反相输入（默认）。

1: 正相输入。

Bit2 INTOIPS: INTO 输入极性选择位。

0: 反相输入（默认）。

1: 正相输入。

Bit1 INT1F: INT1 中断标志位。

0: 无中断请求产生。

1: 有中断请求产生。

读到 1 后软件清 0。

Bit0 INTOF: INTO 中断标志位。

0: 无中断请求产生。

1: 有中断请求产生。

读到 1 后软件清 0。

注 1: INTO (INT1) 配置成锁存模式时, 必须在中断处理程序 (ISR) 中清除 INTOF (INT1F) 标志以便接收后面的中断。

外部中断控制与状态寄存器 1 EINTCS1 (BCH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	INT3MS ^①	INT2MS ^①	INT3EN	INT2EN	INT3IPS	INT2IPS	INT3F	INT2F
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

- Bit7** **INT3MS:** INT3 输入模式选择位。
0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期 (默认)。
1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INT3F, 允许接收脉冲宽度小于 MCLK 周期的中断请求。
- Bit6** **INT2MS:** INT2 输入模式选择位。
0: 直通模式。管脚输入进入到中断检测逻辑, 直接被采样, 要求脉冲宽度不小于 1 个 MCLK 周期 (默认)。
1: 锁存模式。管脚输入进入到中断检测逻辑, 检测到上升沿后, 置位中断标志位 INT2F, 允许接收脉冲宽度小于 MCLK 周期的中断请求。
- Bit5** **INT3EN:** INT3 中断请求使能位。
0: 禁止 INT3 产生中断请求 (默认)。
1: 允许 INT3 产生中断请求。
- Bit4** **INT2EN:** INT2 中断请求使能位。
0: 禁止 INT2 产生中断请求 (默认)。
1: 允许 INT2 产生中断请求。
- Bit3** **INT3IPS:** INT3 输入极性选择位。
0: 反相输入 (默认)。
1: 正相输入。
- Bit2** **INT2IPS:** INT2 输入极性选择位。
0: 反相输入 (默认)。
1: 正相输入。
- Bit1** **INT3F:** INT3 中断标志位。
0: 无中断请求产生。
1: 有中断请求产生。
 读到 1 后软件清 0。
- Bit0** **INT2F:** INT2 中断标志位。
0: 无中断请求产生。
1: 有中断请求产生。
 读到 1 后软件清 0。

注 1: INT2 (INT3) 配置成锁存模式时, 必须在中断处理程序 (ISR) 中清除 INT2F (INT3F) 标志以便接收后面的中断。

定时器控制寄存器 TCON (88H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
位地址:	8FH	8EH	8DH	8CH	8BH	8AH	89H	88H
访问权限:	R/W							
复位值:	0	0	0	0	0	0	0	0

提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写
-----	--

- Bit7 TF1: 定时器 1 溢出标志位。
当定时器计满溢出时, 由硬件使 TF 位置“1”, 并申请中断。进入中断服务程序后, 由硬件自动清“0”, 在查询方式下用软件清“0”。
- Bit6 TR1: 定时器 1 的运行控制位。
0: 关闭定时器。
1: 启动定时器。
- Bit5 TF0: 定时器 0 溢出标志位。
当定时器计满溢出时, 由硬件使 TF 位置“1”, 并申请中断。进入中断服务程序后, 由硬件自动清“0”, 在查询方式下用软件清“0”。
- Bit4 TR0: 定时器 0 的运行控制位。
0: 关闭定时器。
1: 启动定时器。
- Bit3 IE1: INT1 中断请求标志位。
0: 无 INT1 中断请求产生。
1: 有 INT1 中断请求产生。
读到 1 后软件清 0。
- Bit2 IT1: INT1 触发方式选择位。
0: 高电平触发 (默认)。
1: 上升沿触发。
- Bit1 IE0: INTO 中断请求标志位。
0: 无 INTO 中断请求产生。
1: 有 INTO 中断请求产生。
读到 1 后软件清 0。
- Bit0 IT0: INTO 触发方式选择位。
0: 高电平触发 (默认)。
1: 上升沿触发。

管脚复用控制寄存器 IOMUX2 (FFE2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T1OE	T0OE	BUZEN[1]	BUZEN[0]	nBUZEN [1]	nBUZEN[0]	REMEM[1] ^①	REMEM[0] ^①
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

- Bit7 T1OOE: T1O 复用使能位。
0: P0.4 用作 GPIO (默认)。
1: P0.4 用作 T1O 输出。
- Bit6 T0OOE: T0O 复用使能位。
0: P0.3 用作 GPIO (默认)。
1: P0.3 用作 T0O 输出。
- Bit5:4 BUZEN[1:0]: BUZ 复用使能位。
11: P3.2 用作 BUZ 输出。
10: P2.6 用作 BUZ 输出。
0X: P2.6、P3.2 用作 GPIO (默认)。

Bit3:2	nBUZEN: nBUZ 复用使能位。 11: P3.3 用作 nBUZ 输出。 10: P2.5 用作 nBUZ 输出。 0x: P3.3 和 P2.5 用作 GPIO (默认)
Bit1:0	REMEN[1:0]: REM 复用使能位。 11: P9.4 用作 REM 输出 10: P3.0 用作 REM 输出。 0x: P9.4 和 P3.0 用作 GPIO (默认)。

注 1: 复用使能位置 1 时, 将相应的复用管脚设置为输出。

9.6 功能描述

9.6.1 中断执行过程

每个中断源都可以用 IE/EIE1/EIE2 三个寄存器中的一个中断允许位允许或禁止, 并且必须首先置 EA 位为 1(IE.7) 才能使能所有中断。不管每个中断允许位的设置如何, 清 EA 位将禁止所有中断。

进入待机模式前, 必须置 EA 为 1, 并且使能相应中断使能位, 这样待机模式时相应中断请求发生时才能唤醒 CPU 并进入中断服务程序。

某些中断标志在 CPU 进入 ISR 时被中断系统中的硬件逻辑自动清除。但大多数中断标志不是由硬件清除的, 必须在 ISR 返回前用软件清除。如果一个中断标志在 CPU 执行 RETI 指令后仍然保持置位状态, 则会立即产生一个新的中断请求, CPU 将在执行完下一条指令后重新进入 ISR。

软件设置对应的中断标志, 在对应中断使能时也能产生有效的中断请求。

9.6.2 中断时序

在 EA 置 1 且相应中断使能的前提下中断基本时序如下图 (外部中断 INTn 为例) :

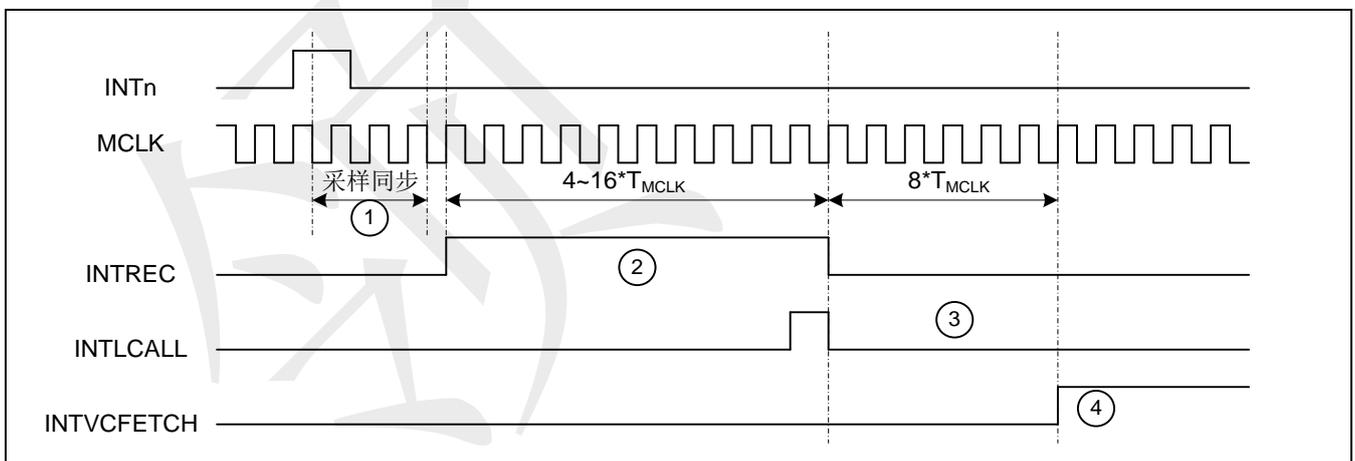


图 9-2 基本中断时序

信号说明:

- ✧ INTREC/INTLCALL/INTVCFETCH 这三个信号是中断处理逻辑内部信号。
- ✧ INTREC 表示 CPU 有效识别中断请求。
- ✧ INTLCALL 表示 CPU 接下来插入一个长跳转指令。
- ✧ INTVCFETCH 表示 CPU 跳转到对应中断矢量地址入口。

当外部中断有效电平/有效沿到达 (INTnMS=0, n=0/1/2/3), LC51 核依靠 FCLK 的下降沿来采集该信号 (同步), 第 4 个下降沿系统采集到同步中断信号。如果在此之前系统处于 SLEEP 模式, 则此后系统将被唤

醒，MCLK 有效（SLEEP 模式 MCLK 停止，所以前面的采集时钟来自 FCLK，该信号与 MCLK 相位相同）。接着 MCLK 的上升沿置起 INTREC 标志。该过程对应图 9-2 的第 1 步。

为了保证中断处理过程不把任意一个正在执行的指令从中间断开引起错误，中断执行流程允许中断请求有效（INTREC 置高）以后接下来的两条指令执行完成。此时中断逻辑清除内部的中断请求（一般非模块中的标志）并准备执行 LCALL 指令。如图 9-2 的第 2 步，中断逻辑执行这些操作至少需要 4 个 MCLK 周期，即使两条指令执行时间小于 4 个 MCLK 周期，那么这一步的时间最少也是 4 个 MCLK 周期。如果两条指令执行时间长于 4 个 MCLK 周期，那么这一步延时由指令执行时间决定。如两条 DIV 指令，则这里延时长达 16 个周期。

第 3 步时间固定为 8 个 MCLK 周期。程序指针压栈，执行 LCALL 操作，获取中断矢量地址。因此中断响应时间（中断请求信号出现到中断服务入口的延时）最短为 15 个 MCLK 周期，最大为 27 个 MCLK 周期。

外部中断信号还有一条异步触发中断的途径。设置 EINTSEL[n]=1,外部信号边沿（上跳或下跳）直接触发生成一个请求标志 EINTF，然后再由 FCLK 采样随后响应过程与前面描述相同。

9.6.3 外部中断

9.6.3.1 外部中断采集

LCM08F16 有 4 个外部中断 INTO~INT3，其中 INTO/INT1 除了兼容传统 51 设计，采用 TCON 寄存器中的 IT0/IT1 控制 INTO/INT1 外，还增加了 1 个寄存器 EINTCS0，允许任意边沿或电平触发中断。INT2/INT3 则只允许边沿触发中断。

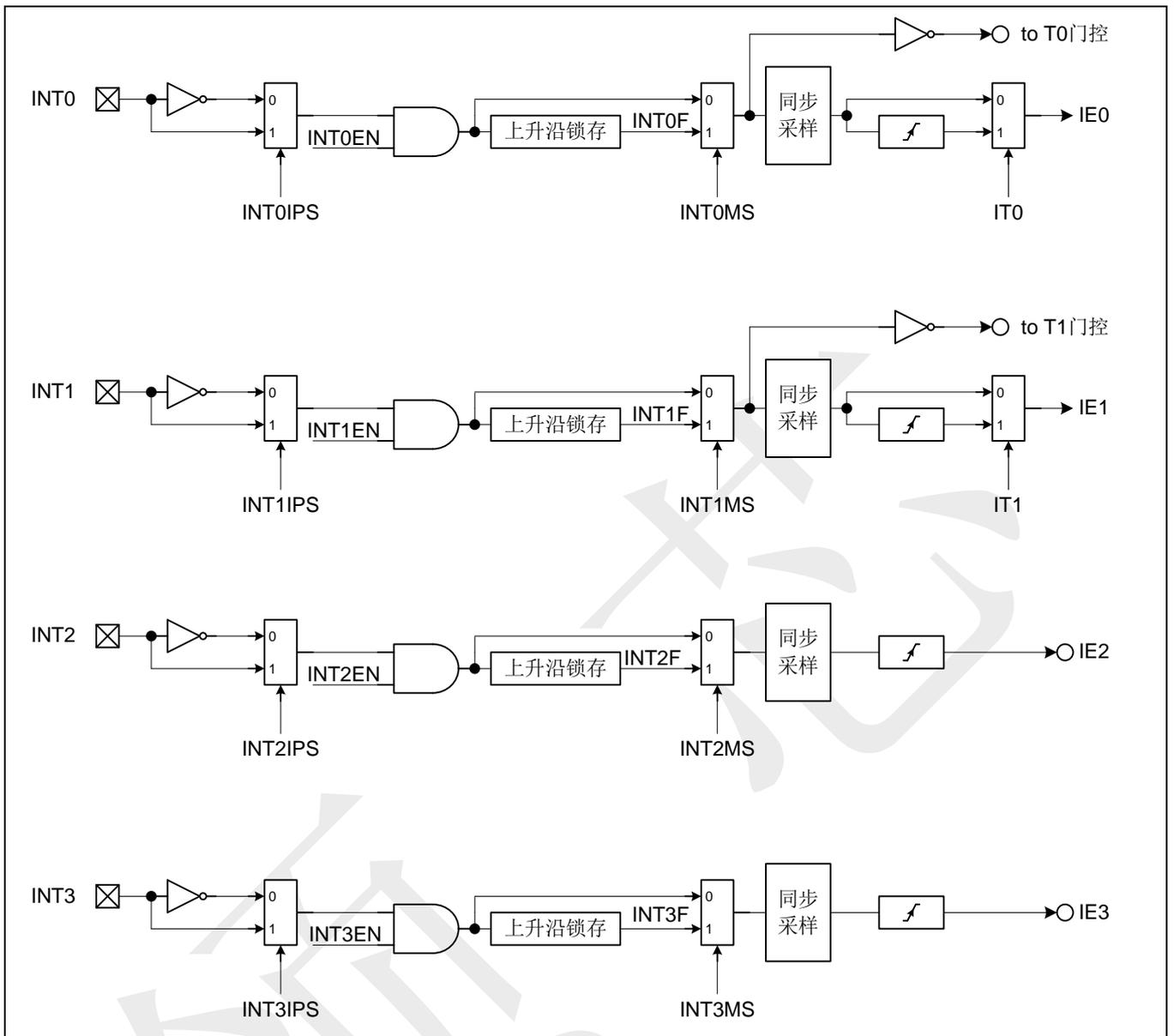


图 9-3 外部中断采集

注 1:	上表中的 INT0~INT3 可选择不同的管脚（或信号），请参考管脚配置章节。相应管脚用作外部中断时，要设置成输入，避免误触发。
注 2:	上升沿锁存单元一旦检测到上升沿，就会将中断标志位置 1，直到复位或者软件清除（读 1 清 0）才变 0
注 3:	外部中断配置成锁存模式时，必须在中断处理程序（ISR）中清除 INTnF（n=0/1/2/3）标志以便接收后面的中断。

上图是对外部中断采集（见图 9-1 中断结构图 9-1 中断结构中的虚框）的细化。经 INTnMS 选择前所有 4 个中断配置相同，有两条路径，这两条路径差别在于对外部输入中断脉冲信号宽度的要求不同。

当 INTnMS=0 时，外部信号直接输入到中断处理逻辑，要求外部中断信号宽度不小于 1 个 FCLK 周期，简称直通中断途径。

当 INTnMS 置 1 时，外部信号的上升沿可直接产生中断标志 INT2F/INT3F，因此也称之为锁存中断路径。该路径下可以接收信号宽度小于 FCLK 周期的中断请求，但由于要经过硬件消抖，所以对中断脉冲仍有最小宽度的要求。配置成该模式时，中断处理结束后必须软件清除 INTnF 标志（读 1 清 0）以便接收后面的中断。

由于这些标志位采用了双缓冲设计，建议用户在每次清 0 前后读一次标志位，以确保有效清除中断标志。

9.6.3.2 外部中断模式

INT0/1 采用与传统 51 类似结构，寄存器 TCON 中控制位 IT0/IT1 进一步控制电平与极性的选择。这两路中断配

置方式如下（以 INT0 为列，INT1 与 INT0 相同）：

表 9-4 INT0 模式配置

INTOMS	ITO	INT0IPS	说明
0	0	0	模式 1：直通模式，低电平触发中断，中断标志 IE0n。
	0	1	模式 2：直通模式，高电平触发中断，中断标志 IE0。
	1	0	模式 3：直通模式，下降沿触发中断，中断标志 IE0。
	1	1	模式 4：直通模式，上升沿触发中断，中断标志 IE0。
1	0	0	模式 5：锁存模式，下降沿触发设置 INT0F 标志，该标志以电平方式产生内部中断请求。因此中断处理结束后如果 INT0F 没有清除，那么将产生连续中断。
	0	1	模式 6：锁存模式，上升沿触发设置 INT0F 标志。后续处理同模式 5。
	1	0	模式 7：锁存模式，下降沿触发设置 INT0F 标志，该标志从低到高跳变产生内部中断请求。因此只产生一次中断。同样中断处理结束后需要清 INT0F 标志，否则无法接收后面的中断。
	1	1	模式 8：锁存模式，上升沿触发设置 INT0F 标志。后续处理同模式 7。

根据上表，模式 1/2/3/4 配置为直通模式。外部中断 INT0（INT1）模式 1/3 与传统 51 兼容。而模式 2/4 分别实现了高电平/上升沿中断。电平中断模式下，中断服务程序结束退出中断后，如果相应电平条件依然满足，那么将再次进入中断。这 4 种模式也要求外部中断信号宽度 ≥ 1 个 MCLK 周期。

模式 5/6/7/8 配置为锁存模式，扩展该方式的根本目的是接收脉冲宽度小于 MCLK 周期的中断信号。无论 ITO/IT1 怎么设置，中断逻辑都能检测到有效的中断请求。只是 ITO（IT1）=0，外部一次触发产生的请求将在内部不停产生中断请求。而置 1 时，则只触发一次有效的中断请求。ISR 退出后必须清 INT0F/INT1F 标志，否则模式 5/6 下将不停产生中断。而模式 7/8 则无法接收后面的中断。用户可根据需要选择这 4 种模式中的一种。

由于 EINTCS0/1 中配置 INTnEN 位，即使相应中断允许位不使能，外部中断请求有效时 IE0/IE1 标志也能置 1。

INT2/3 与 INT0/1 不同，其模式配置如下表（以 INT2 为列，INT3 与 INT2 相同）：

表 9-5 INT2 模式配置

INTnMS	INTnIPS	说明
0	0	直通模式，下降沿触发中断
0	1	直通模式，上升沿触发中断
1	0	锁存模式，下降沿触发设置 INT2F 标志，发出中断请求
1	1	锁存模式，上升沿触发设置 INT2F 标志，发出中断请求

9.7 使用提示

中断的正确使用方法如下：

- 1 开启相关模块或配置好外部中断方式。（注意：对于外部中断选用异步中断方式时，需要将对应中断端口设置为输入模式）。
- 2 清除对应中断标志，防止残留状态触发意外中断。注意某些具有双缓冲机制的中断，需要清除两次。
- 3 对应中断使能位置 1，允许该中断源触发中断。
- 4 EA 置 1，总中断使能开启。

进入中断服务程序后，正确流程如下：

- 1 备份相关寄存器。
- 2 根据中断源进行相关中断处理操作。
- 3 恢复相关寄存器。
- 4 清除中断标志（注意某些标志硬件自动清除），并退出中断服务程序（RETI）。

领芯微



10. 定时器 T0/T1

10.1 基本特征

LCM08F16 的 T0/T1 两个定时器，与传统 51 兼容，但 T0 增加了方波输出，T1 增加了 PWM 输出。基本特征如下：

- ◇ 兼容 MCS-51 的 Timer0/Timer1
- ◇ 独立的预分频时钟选择，每个定时器都有 8 级分频比可选，最大分频比为 256。
- ◇ T0/T1 各自中断源独立。
- ◇ T0 支持方波输出，T1 支持 PWM 输出。

10.2 工作模式

正常工作模式下和待机模式下 T0/T1 均可正常工作，产生中断。

停机模式下，T0/T1 不工作。

10.3 管脚配置

T0/T1 工作在计数模式和 PWM 模式时，需要与管脚复用，具体配置见下表。

表 10-1 T0/T1 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
T0	I	T0 计数脉冲输入	P0.3	C/T0 (TMOD.2) 置 1。
T1	I	T1 计数脉冲输入	P0.4	C/T1 (TMOD.6) 置 1。
T0O	O	T0 输出	P0.3	TOPWMEN (TIMCFG.0) 置 1。 T0OE (IOMUX2.6) 置 1。
T1O	O	T1 输出	P0.4	T1PWMEN (TIMCFG.1) 置 1。 T1OE (IOMUX2.7) 置 1。

10.4 寄存器说明

定时器 T0/T1 相关寄存器列表如下：

表 10-2 T0/T1 相关寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
TCON	定时器控制寄存器	√	R/W	0000_0000B	88H
TMOD	定时器方式寄存器	×	R/W	0000_0000B	89H
TL0	定时器 0 低字节	×	R/W	0000_0000B	8AH
TL1	定时器 1 低字节	×	R/W	0000_0000B	8BH
TH0	定时器 0 高字节	×	R/W	0000_0000B	8CH
TH1	定时器 1 高字节	×	R/W	0000_0000B	8DH
TIMPRS	TIMER 时钟预分频控制寄存器	×	R/W	u000_u000B	FFCAH
TIMCFG	定时器 0/1 配置寄存器	×	R/W	uuuu_uu00B	FFCDH
IOMUX2	IO 复用控制寄存器 0	×	R/W	0000_0000B	FFE2H

相关寄存器详细说明如下：

定时器控制寄存器 TCON (88H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
位地址:	8FH	8EH	8DH	8CH	8BH	8AH	89H	88H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

Bit7 TF1: T1 溢出中断请求标志位。
 0: 无 T1 溢出中断请求产生。
 1: 有 T1 溢出中断请求产生。
 当 T1 计数溢出时, 由内部硬件置位 TF1, 向 51 核请求中断, 当 51 核响应中断并转向执行 ISR 时, 该标志位由内部硬件自动清 0。

Bit6 TR1: T1 使能位。
 0: 关闭 T1 (默认)。
 1: 开启 T1。

Bit5 TF0: T0 溢出中断请求标志位。
 0: 无 T0 溢出中断请求产生。
 1: 有 T0 溢出中断请求产生。
 当 T0 计数溢出时, 由内部硬件置位 TF0, 向 51 核请求中断, 当 51 核响应中断并转向执行 ISR 时, 该标志位由内部硬件自动清 0。

Bit4 TR0: T0 使能位。
 0: 关闭 T0 (默认)。
 1: 开启 T0。

定时器模式寄存器 TMOD (89H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	GATE1	C/T1	T1M[1]	T1M[0]	GATE0	C/T0	T0M[1]	T0M[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

Bit7 GATE1: T1 门控模式使能位。
 0: 禁止门控模式, T1 的开启与关闭由 TR1 决定 (默认)。
 1: 开启门控模式, T1 的开启与关闭由 TR1 和 INT1 决定。

Bit6 C/T1: T1 定时器/计数器模式选择位。
 0: 定时器模式, 由 FCLK 经过预分频器后触发 T1 (默认)。
 1: 计数器模式, 由 T1 管脚输入的脉冲信号触发 T1。

Bit5~Bit4 T1M[1:0]: T1 工作模式选择位。
 00: 模式 0, 13 位计数模式 (默认)。
 01: 模式 1, 16 位计数模式。
 10: 模式 2, 自动装载的 8 位计数模式。
 11: T1 无效, 停止计数。

Bit3 GATE0: T0 门控模式使能位。

0: 禁止门控模式, T0 的开启与关闭由 TR0 决定 (默认)。

1: 开启门控模式, T0 的开启与关闭由 TR0 和 INTO 决定。

Bit2

C/T0: T0 定时器/计数器模式选择位。

0: 定时器模式, 由 FCLK 经过预分频器后触发 T0 (默认)。

1: 计数器模式, 由 T1 管脚输入的脉冲信号触发 T0。

Bit1~Bit0

T0M[1:0]: T0 工作模式选择位。

00: 模式 0, 13 位计数模式 (默认)。

01: 模式 1, 16 位计数模式。

10: 模式 2, 自动装载的 8 位计数模式。

11: 模式 3, 两个独立的 8 位计数器。

T0 寄存器高字节 TH0 (8CH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TH0[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

T0 寄存器低字节 TL0 (8AH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TL0[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

T0 寄存器是 16 位寄存器, 由高字节 TH0 和低字节 TL0 构成, 复位值都是 00H。这两个寄存器都只能按字节寻址, 写 TH0、TL0 之前须先停止 T0 的计数。

T1 寄存器高字节 TH1 (8DH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TH1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

T1 寄存器低字节 TL1 (8BH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	TL1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写							

T1 寄存器是 16 位寄存器, 由高字节 TH1 和低字节 TL1 构成, 复位值都是 00H。这两个寄存器都只能按字节寻址, 写 TH1、TL1 之前须先停止 T1 的计数。

T0/T1 时钟预分频控制寄存器 TIMPRS (FFCAH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	TIMPRS1[2]	TIMPRS1[1]	TIMPRS1[0]	—	TIMPRS0[2]	TIMPRS0[1]	TIMPRS0[0]
访问权限:	R-0	R/W	R/W	R/W	R-0	R/W	R/W	R/W
复位值:	U	0	0	0	U	0	0	0

提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写
-----	--

Bit7 未实现位。

Bit6~Bit4 TIMPRS1[2:0]: T1 时钟预分频选择位。
 000: T1 工作时钟为 FCLK/2 (默认)。
 001: T1 工作时钟为 FCLK/4。
 010: T1 工作时钟为 FCLK/8。
 011: T1 工作时钟为 FCLK/16。
 100: T1 工作时钟为 FCLK/32。
 101: T1 工作时钟为 FCLK/64。
 110: T1 工作时钟为 FCLK/128。
 111: T1 工作时钟为 FCLK/256。

Bit3 未实现位。

Bit2~Bit0 TIMPRS0[2:0]: T0 时钟预分频选择位。
 000: T0 工作时钟为 FCLK/2 (默认)。
 001: T0 工作时钟为 FCLK/4。
 010: T0 工作时钟为 FCLK/8。
 011: T0 工作时钟为 FCLK/16。
 100: T0 工作时钟为 FCLK/32。
 101: T0 工作时钟为 FCLK/64。
 110: T0 工作时钟为 FCLK/128。
 111: T0 工作时钟为 FCLK/256。

T0/T1 扩展 PWM 配置寄存器 TIMCFG (FFCDH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	T1PWMEN	TOPWMEN
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W
复位值:	U	U	U	U	U	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

Bit7~Bit2 未实现位。

Bit1 T1PWMEN: T1 配置为 PWM 输出模式使能位。
 0: 禁止 PWM 输出模式 (默认)。
 1: 使能 PWM 输出模式。

Bit0 TOPWMEN: T0 配置为方波输出模式使能位。
 0: 禁止方波输出模式 (默认)。
 1: 使能方波输出模式。

管脚复用控制寄存器 IOMUX2 (FFE2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	T1OE	TOOE	BUZEN[1]	BUZEN[0]	nBUZEN [1]	nBUZEN[0]	REMEN[1] ^①	REMEN[0] ^①
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7 T10OE: T10 复用使能位。
 0: P0.4 用作 GPIO (默认)。
 1: P0.4 用作 T10 输出。

Bit6 T0OOE: T0O 复用使能位。
 0: P0.3 用作 GPIO (默认)。
 1: P0.3 用作 T0O 输出。

注 1: 复用使能位置 1 时, 将相应的复用管脚设置为输出。

10.5 功能描述

LCM08F16 的 T0/T1 为 16 位定时/计数, 有 8 位预分频器。兼容了传统 51 T0/T1 的功能, 通过设置 TOM[1:0]和 T1M[1:0], T0 支持 4 种工作模式, T1 支持 3 种工作模式。同时 T0 增加了方波输出功能, T1 增加了 PWM 输出功能。

TR1/TR0 用于使能 T0/T1, TF1/TF0 用于指示 T0/T1 的状态。通过将 ET1/ET0 置 1, 可以在 T0/T1 溢出时, 产生中断请求。

下面以 T0 为例介绍定时器的几种工作模式 (除工作模式 3, T1 和 T0 相同)。

10.5.1 工作模式 0

TOM[1:0]设置为 2'b00 时, T0 工作在模式 0。

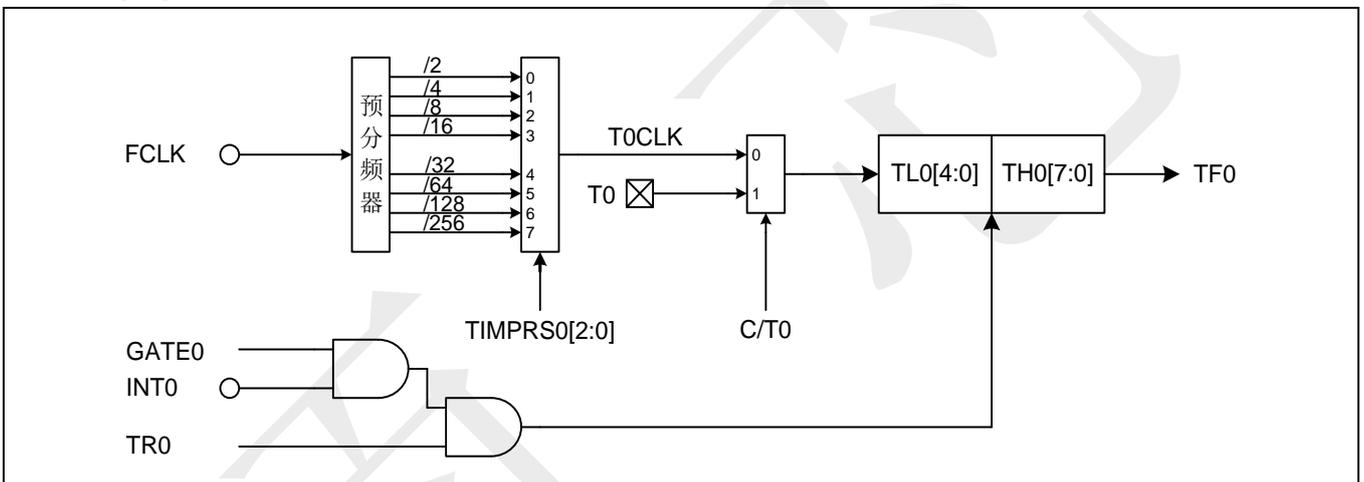


图 10-1 工作模式 0

此模式下, T0 用作 13 位定时器, 由 TH0 的 8 位和 TL0 的低 5 位组成。计到 1FFFH 后, 再计一次将使计数置回到 0000H, 溢出中断标志位 TF0 置 1, 如果该中断被允许 (ET0 置 1), 将产生一个中断。

T0 有两种使能方式: GATE0 为 0 时, TR0 置 1 使能 T0; GATE0 为 1 时, TR0 置 1 并不会立即使能 T0, 而是要等到 INT0 为高电平时才使能 T0, 称之为门控计数方式, 可用于测量外部中断管脚 INT0 有效输入信号的电平宽度。

注: INT0 并不直接来自于外部管脚, 而是经过一些逻辑处理, 详见图 9-3

通过设置 C/T0 选择定时和计数模式。C/T0 为 0 时, 选择定时模式时, 时钟源来自 FCLK; C/T0 为 1 时, 选择计数模式时, 时钟源来自外部管脚 T0/T1 输入, 当检测到 T0/T1 管脚的下降沿时, 计数器加 1。

10.5.2 工作模式 1

TOM[1:0]设置为 2'b01 时, T0 工作在模式 1。

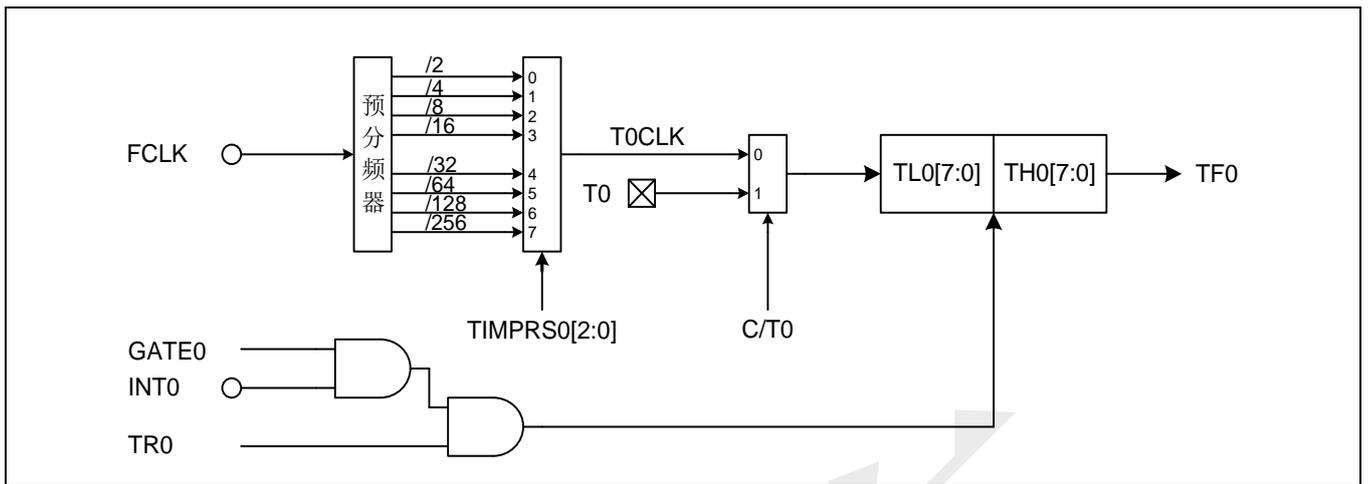


图 10-2 工作模式 1

此模式下，T0 用作 16 位定时器，由 TH0 的 8 位和 TL0 的 8 位组成。计到 FFFFH 后，再计一次将使计数置回到 0000H，溢出中断标志位 TF0 置 1，如果该中断被允许（ET0 置 1），将产生一个中断。

其他控制方式同模式 0。

10.5.3 工作模式 2

T0M[1:0] 设置为 2'b10 时，T0 工作在模式 2。

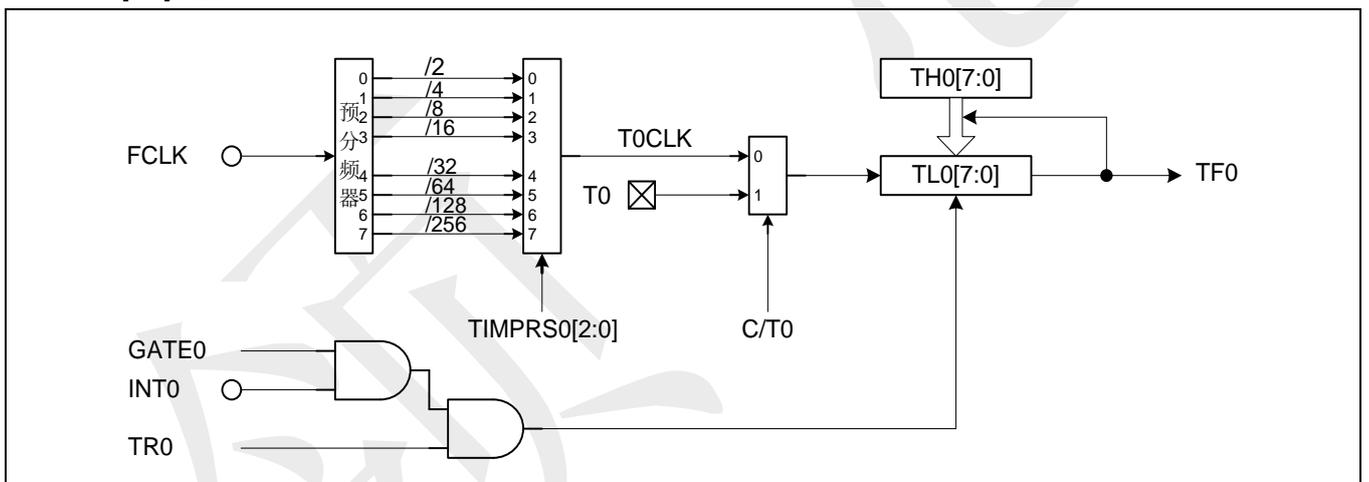


图 10-3 工作模式 2

此模式下，T0 配置为具有自动重新装载计数初值能力的 8 位定时器。TL0 为 8 位定时器，而 TH0 装载初始值。当 TL0 中的计数值发生溢出（从 FFH 到 00H）时，TH0 中的值被重新装入到 TL0，同时定时器溢出标志位 TF0 置 1，如果中断被允许（ET0 置 1），将产生一个中断。TH0 中的重载值保持不变。

为了保证第一次计数正确，必须在允许定时器之前将 TL0 初始化为所希望的计数值。

10.5.4 工作模式 3

T0M[1:0] 设置为 2'b11 时，T0 工作在模式 3。

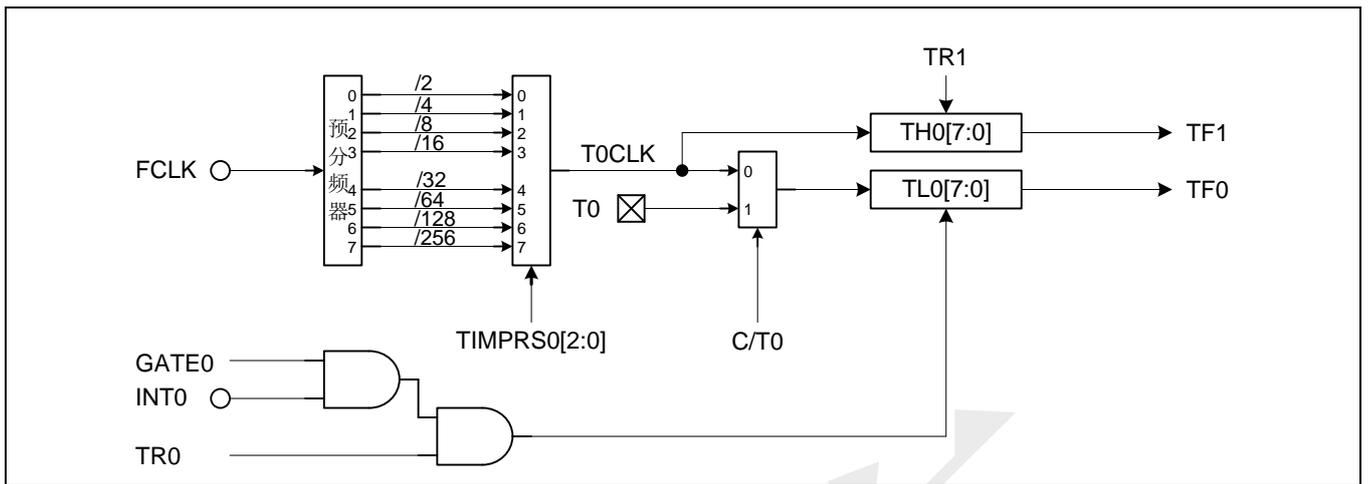


图 10-4 工作模式 3

此模式下，T0 的 TL0 和 TH0 被配置为两个独立的 8 位定时器。TL0 使用 TR0、C/T0、GATE0 和 TF0 等控制和标志位。TH0 只能实现定时器功能，并且使用 TR1 作为使能位，发生溢出时，置位 TF1。

T1 无此工作模式。若将 T1 设置成模式 3，就会使 T1 立即停止计数（等效于 TR1=0）。在 T0 工作在模式 3 时，T1 仍可设置成模式 0/1/2，但不能置位 TF1 和产生中断。

10.5.5 T0 方波输出模式^{注 1}

将 TOPWMEN (TIMCFG.0) 置 1，T0 配置为占空比为 50%、周期可调的方波输出模式。T0OE (IOMUX2.0) 置 1 时，可以将 T0O 输出到管脚。

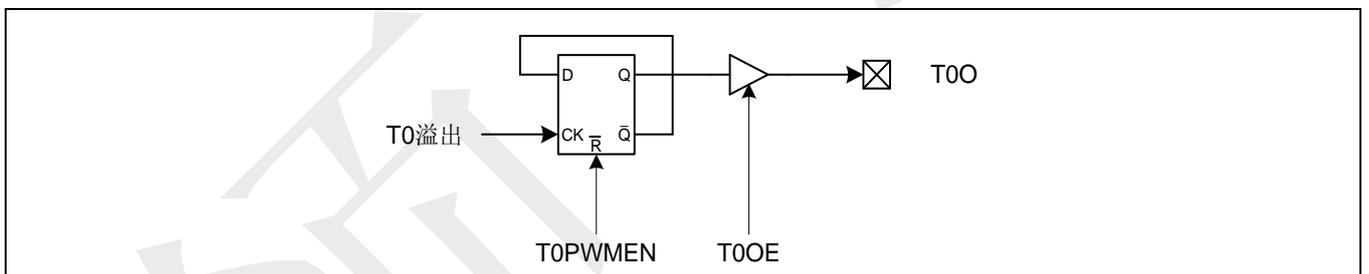


图 10-5 T0 方波输出示意图

T0 工作在方波输出模式时，使能以后，T0 从设置的初值开始计数。T0 计数器溢出时，T0O 翻转，同时 T0 计数器继续从设置的初值向上计数，等到 T0 再溢出时 T0O 再次翻转，依次循环，得到一个占空比为 50%、周期可调的方波。其周期由 T0 溢出频率决定，如下表：

表 10-3 T0 方波周期表

T0 工作方式	T0 方波频率
工作方式 0	$2 * (1FFFH + 1 - \{TH0, TL0[4:0]\}) * T0CLK^{注 2}$
工作方式 1	$2 * (FFFFH + 1 - \{TH0, TL0\}) * T0CLK^{注 2}$
工作方式 2	$2 * (256 - TH0) * T0CLK^{注 2}$
工作方式 3	$2 * (256 - TL0) * T0CLK^{注 2}$

注 1:	当使能 T0 方波输出时，建议 T0 工作在模式 2。工作在其它模式时，由于要响应中断、在 ISR 中对 TH0/TL0 赋值，会造成周期误差。
注 2:	T0CLK 指 FCLK 经过分频后的时钟。详见各工作模式框图。

10.5.6 T1 PWM 输出模式^{注1}

T1 工作在模式 2 时，将 T1PWMEN (TIMCFG.1) 置 1，T1 配置为占空比和周期可调的 8 位 PWM 模式。T1OE (IOMUX2.1) 置 1 时，可以将 T1O 输出到管脚。

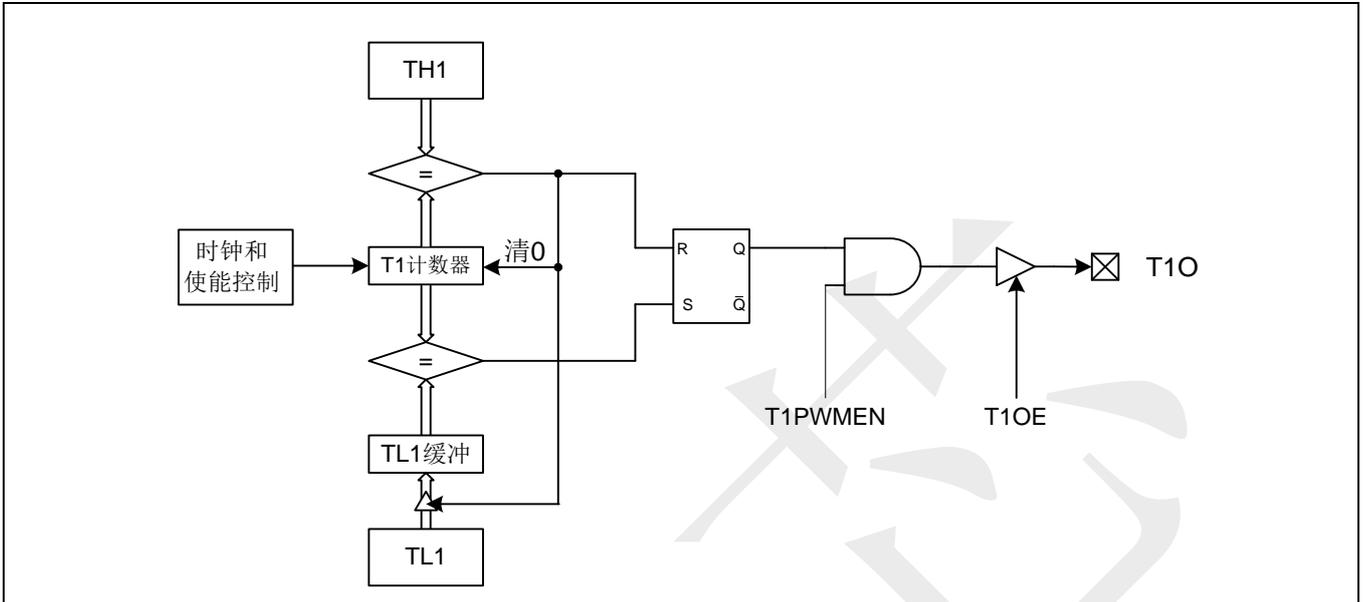


图 10-6 T1 PWM 输出示意图

T1 扩展为 PWM 模式时，TL1 作为占空比寄存器，TH1 作为周期寄存器。占空比寄存器有缓冲，可随时修改占空比。使能 T1 后，T1O 清 0，T1 计数器从 00H 开始向上计数。当 T1 计数值和 TL1 缓存值相等时，T1O 置 1，T1 计数器继续计数。当 T1 计数值和 TH1 寄存器值相等时，T1O 清 0，同时将 T1 计数器清 0，并从 TL1 寄存器读入新的占空比值到 TL1 缓存，T1 计数器重新开始计数。

T1 的 PWM 占空比为 $(TH1 - TL1) / TH1 * 100\%$ 。

注 1: 只有 T1 工作在模式 2，才能扩展成 PWM 模式。

10.6 使用提示

初始化计数器前，需要置 TR0/1 位为 0，否则初始化不能成功。

当需要 T1 工作在 PWM 模式时，要先使能 T1PWMEN，然后再设置 TL1 和 TH1。

进入 SLEEP 模式后，T0/T1 仍可以继续计数，此时系统的功耗很低，适用于需要长时间定时又需要低功耗的场合。

11. 定时器 T2

T2 是一个 16 位的定时器/计数器，由两个 8 位的计数器 TL2（低字节）和 TH2（高字节）组成，支持两路 PWM 波的产生；

11.1 基本特征

LCM08F16 具有一个 16 位的定时器，其具有四种工作状态，分别是：

- ✧ 16 位自动重载模式，支持内部触发重载，外部触发重载和溢出重载三种重载方式；
- ✧ 16 位捕获模式，支持多个可选外部触发源，提供两个 16 位的捕获寄存器
- ✧ 可编程波形生成模式（PPG 模式），支持内部触发和外部触发，支持重复触发
- ✧ 单脉冲模式（one-shot 模式），支持内部触发和外部触发。

11.2 工作模式

正常工作模式下和待机模式下 Timer2 均可正常工作，正常产生中断。

停机模式下，Timer2 被禁止。

11.3 管脚配置

T2 跟两个外部管脚复用，具体配置见下表：

表 11-1 T2 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
T2	I	T2 计数时钟输入	P0.5	C/T2（T2CON1.1）置 1。
T2EX	I	T2 捕获输入	P0.6	T2EXS[1:0]（IOMUX1.6~5）置为 00（默认）。
			P2.2	T2EXS[1:0]（IOMUX1.6~5）置为 01。

11.4 寄存器说明

定时器 2 的相关寄存器如表 11-2 所示。

表 11-2 定时器 2 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
T2MOD	T2模式寄存器	×	R/W	0000_0000B	C1H
T2CPL1	T2捕获寄存器1低字节	×	R/W	0000_0000B	C2H
T2CPH1	T2捕获寄存器1高字节	×	R/W	0000_0000B	C3H
T2CPL2	T2捕获寄存器2低字节	×	R/W	0000_0000B	C4H
T2CPH2	T2捕获寄存器2高字节	×	R/W	0000_0000B	C5H
T2CAP	T2捕获设置寄存器	×	R/W	0100_0000B	C6H
T2CAPS	T2捕获状态寄存器	×	R/W	0000_0000B	C7H
T2CON	T2控制寄存器	×	R/W	0000_0000B	C9H
TL2	T2计数器低字节	×	R/W	0000_0000B	CAH
TH2	T2计数高字节	×	R/W	0000_0000B	CBH
T2EXS	T2外部触发源选择寄存器	×	R/W	00u0_u0u0B	CCH
PPG1CON	T2第二路PPG控制寄存器	x	R/W	0000_0000	CFH
T2CPL3	T2捕获寄存器3低字节	x	R/W	0000_0000	CDH



名称	说明	可位寻址	读写权限	复位值	字节地址
T2CPH3	T2捕获寄存器3高字节	x	R/W	0000_0000	CEH
IOMUX1	IO管脚复用控制寄存器1	x	R/W	0000_uuuuB	FFE1H

定时器 2 的寄存器详细说明如下：

T2 模式寄存器（T2MOD）

名称/地址：	T2MOD, C1H							
位 序 号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义：	CLKDIV[2: 0]			CAPCLR/INT S	RTRGEN	RDSRC[1: 0]		LOAD
访问权限：	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值：	0	0	0	0	0	0	0	0
提 示：	—： 未实现位； U： 不受复位影响； R-0： 只读，读0； R/W： 可读写							

- Bit[7: 5]** CLKDIV: Timer2 内部时钟源分频位
- 000: 系统时钟 2 分频
 - 001: 系统时钟 4 分频
 - 010: 系统时钟 8 分频
 - 011: 系统时钟 16 分频
 - 100: 系统时钟 32 分频
 - 101: 系统时钟 64 分频
 - 110: 系统时钟 128 分频
 - 111: 系统时钟 256 分频
- Bit4** CAPCLR/INTS: 仅在捕获模式，PPG 模式和单脉冲模式下有效
- 在捕获模式下
 - 0: 捕获操作发生时，计数器继续计数
 - 1: 捕获操作发生时，计数器从 0 开始计数
 - 在 PPG 模式和单脉冲模式下，确定 T2CON TF2 标志位的中断类型
 - 0: PPG 模式和单脉冲模式下，溢出中断
 - 1: PPG 模式和单脉冲模式下，匹配中断
- Bit3** RTRGEN: 仅在 PPG 模式下有效
- 0: 禁止多次触发
 - 1: 允许多次触发
- Bit[2:1]** RDSRC，重载值选择，仅在重载模式下有效
- 00: 重载值选择 T2CPL2, T2CPH2
 - 01: 重载值选择 T2CPL1, T2CPH1
 - 1x: 重载值选择 16'h0000
- Bit0** LOAD, Timer2 软件触发使能位，写 1 后自动清零
- 在重载模式下，对该位写 1 启动重载操作
 - 在 PPG 模式和单脉冲模式下，对该位写 1 触发 PPG 输出和单脉冲输出

T2 捕获寄存器 1 低字节 (T2CPL1)

名称/地址:	T2CPL1, C2H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPL1							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7: 0] T2CPL1, Timer2 捕获寄存器 1 低字节
 在重载模式下, 可作为计数器低 8 位的重载值
 在 PPG 模式和单脉冲模式时, 作为计数器起始值的低 8 位

T2 捕获寄存器 1 高字节 (T2CPH1)

名称/地址:	T2CPH1, C3H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPH1							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7: 0] T2CPH1, Timer2 捕获寄存器 1 高字节
 在重载模式下, 可作为计数器高 8 位的重载值
 在 PPG 模式和单脉冲模式时, 作为计数器起始值的高 8 位

T2 捕获寄存器 2 低字节 (T2CPL2)

名称/地址:	T2CPL2, C4H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPL2							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7: 0] Timer2 捕获寄存器 2 低字节
 在重载模式下, 可作为计数器低 8 位的重载值
 在捕获模式下, 发生触发时, 存储计数器的低 8 位
 在 PPG 模式和单脉冲模式时, 作为产生第一路 PPG 的计数器比较值的低 8 位

T2 捕获寄存器 2 高字节 (T2CPH2)

名称/地址:	T2CPH2, C5H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPH2							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7: 0] T2CPH2, Timer2 捕获寄存器 2 高字节
 在重载模式下, 可作为计数器高 8 位的重载值
 在捕获模式下, 发生触发时, 存储计数器的高 8 位
 在 PPG 模式和单脉冲模式时, 作为第一路 PPG 的计数器比较值的高 8 位

T2 捕获寄存器 (T2CAP)

名称/地址:	T2CAP, C6H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CAP		-		-		-	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	1	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7: 6] CAP, Timer2 外部触发源边沿选择
 00: 禁止外部触发源触发
 01: 下降沿触发
 10: 上升沿触发
 11: 上升沿或者下降沿触发

T2 捕获状态寄存器 (T2CAPS)

名称/地址:	T2CAPS, C7H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CAPF	-	-	-	T2EX3IN	-	-	-
访问权限:	R/W	R/W	R/W	R/W	R	R	R	R
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W: 可读写							

Bit7: CAPF, 外部触发源触发标志位, 写 0 清除
 0: 未发生触发
 1: 发生触发

Bit[6:4] 保留

Bit3 T2EX3IN, 外部触发源输入状态, 只读
 0: 输入值为低
 1: 输入值为高

Bit[2:0] 保留

T2 控制寄存器 (T2CON)

名称/地址:	T2CON, C9H							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	TF2	EXF2	INVEN	PPGEN	EXEN2	TR2	C/T2	CP/RL2
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

- Bit7** TF2, Timer2 中断标志, 软件写 0 清中断
在 PPG 模式或者单脉冲模式, INTS 设置为 1 时:
0: 代表未发生匹配中断
1: 代表发生匹配中断
其他情况下:
0: 代表未发生溢出中断
1: 代表发生溢出中断
- Bit6** EXF2, Timer2 外部触发中断标志, 软件写 0 清中断
0: 未发生外部触发中断
1: 发生外部触发中断
- Bit5** INVEN, 仅在 PPG 模式和单脉冲模式下有效 (控制第一路 PPG 相位)
0: 代表正常输出
1: 代表反相输出
- Bit4** PPGEN, 与 CP/RL2 一起确定 Timer2 的工作模式
0: Timer2 工作在捕获模式或者重载模式
1: Timer2 工作在 PPG 模式或者单脉冲模式
- Bit3** EXEN2, 外部捕获使能位
0: 禁止外部捕获功能
1: 使能外部捕获功能
- Bit2** TR2, Timer2 使能控制位
0: Timer2 禁止
1: Timer2 使能
- Bit1** C/T2, 外部时钟使能位
0: Timer2 采用内部时钟
1: Timer2 采用外部时钟
- Bit0** CP/RL2, 与 PPGEN 一起控制 Timer2 的工作模式。
PPGEN=0, CP/RL2=0: 16 位自动重载模式
PPGEN=0, CP/RL2=1: 捕获模式
PPGEN=1, CP/RL2=0: PPG 模式
PPGEN=1, CP/RL2=1: 单脉冲模式

T2 计数器低字节 (TL2)

名称/地址:	T2L, CAH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2L							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7: 0] T2L, Timer2 计数器低字节

T2 计数器高字节 (TH2)

名称/地址:	T2H, CBH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2H							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7: 0] T2H, Timer2 计数器高字节

注: TH2, TL2 只有在 T2 启动之前才可以配置, 在重载时, 由硬件从相应重载源重载数据。在 PPG 模式或者单脉冲模式时, 从 T2CPL1 和 T2CPH1 的缓冲区载入数据。

T2 外部触发源选择寄存器 (T2EXS)

名称/地址:	T2EXS, CCH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2EXS3		-	-	-	-	-	-
访问权限:	R/W	R/W	R-0	R/W	R-0	R/W	R-0	R/W
复位值:	0	0	U	0	U	0	U	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7: 6] T2EXS3, 外部触发源选择

00: 选择外部 IO 输入 (IOMUX 决定 I/O 输入来源)

01: 选择比较器 0 输出作为输入

1x: 选择 RCL 时钟作为输入

注意, 选择 RCL 时钟作为输入时, 必须确保主时钟频率高于 RCL 时钟频率。

Bit[5:0] 保留位

T2 捕获寄存器 3 低字节 (T2CPL3)

名称/地址:	T2CPL3, CDH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPL3							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7: 0] T2CPL3, Timer2 捕获寄存器 3 低字节, 仅在第二路 PPG 使能情况下有效
在 PPG 模式和单脉冲模式时, 作为产生第 2 路 PPG 的计数器比较值的低 8 位

T2 捕获寄存器 3 高字节 (T2CPH3)

名称/地址:	T2CPH3, CEH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2CPH3							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit[7:0] T2CPH2, Timer2 捕获寄存器 3 高字节, 仅在第二路 PPG 使能情况下有效
在 PPG 模式和单脉冲模式时, 作为第二路计数器比较值的高 8 位

T2 控制寄存器 (PPG1CON)

名称/地址:	PPG1CON, CFH							
位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	INT2	-	-	-	-	-	INVEN1	PPGEN1
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读0; R/W : 可读写							

Bit7 INT2, Timer2 中断标志, 软件写 0 清中断

在第二路 PPG 使能模式下

0: 代表未发生匹配中断

1: 代表发生匹配中断

Bit[6:2]

保留

Bit1

仅在第二路 PPG(PPG1)使能模式下有效

0: 第二路 PPG(PPG1)正相输出;

1: 第二路 PPG(PPG1)反相输出;

Bit0

第二路 PPG(PPG1)使能

0: 第二路 PPG(PPG1)使能无效

1: 第二路 PPG(PPG1)使能有效

管脚复用控制寄存器 IOMUX1 (FFE1H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	T2EXS[2:0]			—	—	INT1SEL ^①	—	INTORMP ^①
访问权限:	R/W	R/W	R/W	R-0	R-0	R/W	R-0	R/W
复 位 值:	0	0	0	U	U	0	U	0
提 示:	—: 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7~Bit5 T2EXS[2:0]: T2EX 输入选择位。

000: 选择 P0.6 (默认)。

001: 选择 P2.2。

010: 选择 CPO。

011: 选择 FLCD。

100: 选择 P0.6 的反相。

101: 选择 P2.2 的反相。

110: 选择 CPO 的反相。

111: 选择 FLCD 的反相。

11.5 功能描述

11.5.1 16 位自动重载模式 (PPGEN=0, CP/RL2=0)

在该模式下，内部向上计数器正常计数，捕获寄存器 1 和捕获寄存器 2 用于存储重载的数据。当遇到重载条件发生时，将相应寄存器值重载到计数器中继续计数。LCM08F16 共支持 3 个重载源，一个外部触发，内部软件触发和计数溢出重载。其中：外部触发可以选择上升沿触发，下降沿触发或者同时触发，在采用外部触发时首先需要选择相应触发源的触发极性，然后使能 T2CON 中的 EXEN2 位。当外部重载触发时，可以通过查看 T2CAPS 寄存器查看相应触发标志。当选用内部软件触发时，直接写 T2MOD 中 LOAD 位为 1，该位在写完后将会自动清零。重载寄存器有三种可以选择，可以通过 T2MOD 寄存器中的 RDSRC 位配置，可以配置为重载全 0，重载捕获寄存器 1 和重载捕获寄存器 2。在开启定时器 2 之前，可以往 TL2 和 TH2 中写入计数器初值。在自动重载模式下，有两个中断源，T2 溢出中断和 T2 外部触发中断。在发生溢出操作或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序，中断标志将会自动清零。

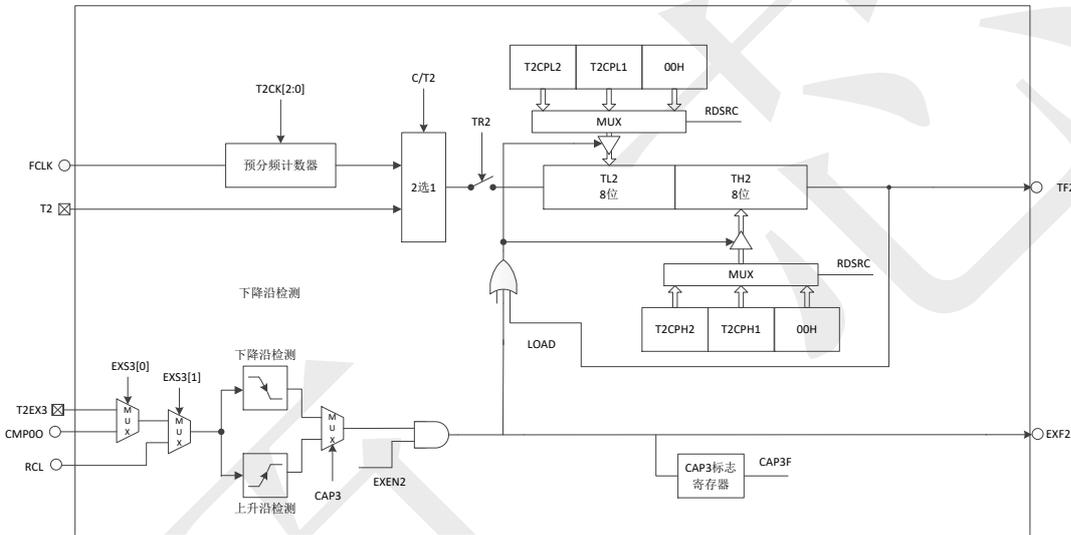


图 11-1 16 位自动重载模式内部框图

11.5.2 16 位捕获模式 (PPGEN=0, CP/RL2=1)

16 位捕获模式可以捕获当前 16 位计数器的值到捕获寄存器。捕获寄存器 2 用于存储捕获数据。当外部触发时，捕获的数据将存储到捕获寄存器 2 中。在捕获操作发生时，可以根据 T2MOD 寄存器中 CAPCLR 位确定计数器是继续计数还是归零重新开始计数。在开启定时器 2 之前，可以往 TL2 和 TH2 中写入计数器初值。在自动重载模式下，有两个中断源，T2 溢出中断和 T2 外部触发中断。在发生溢出操作或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序，中断标志将会自动清零。

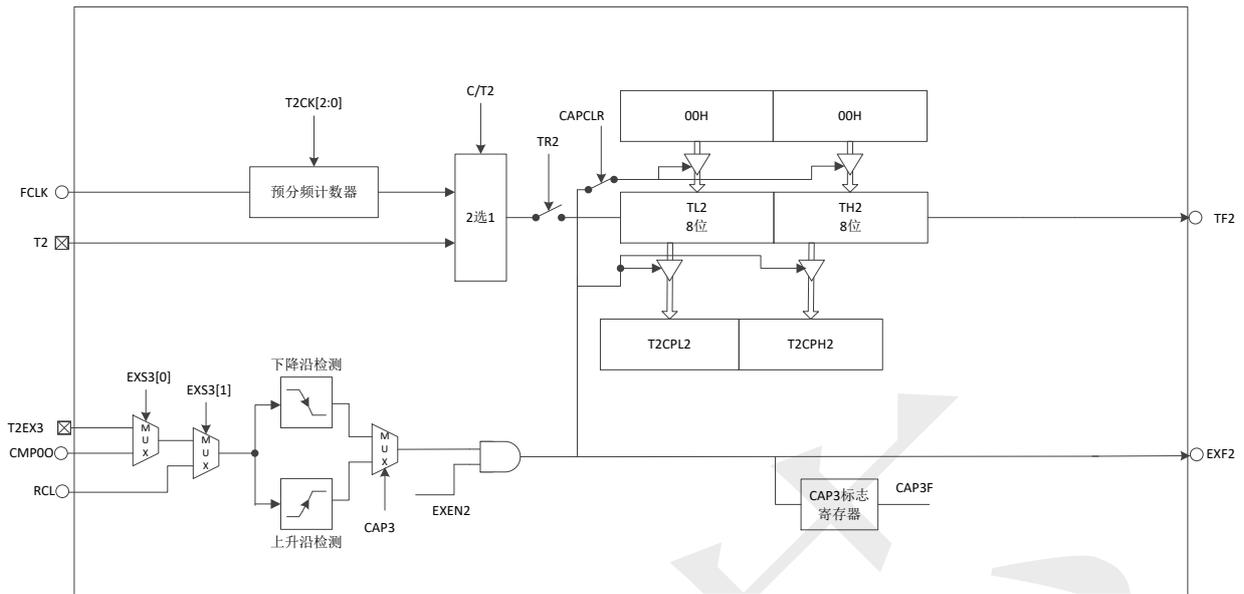


图 11-2 16 位捕获模式内部框图

11.5.3 可编程波形生成器（PPGEN=1/PPGEN1=1， CP/RL2=0）

在该模式下，用户可以生成各种 PWM 波形，Timer2 支持两路 PWM 波的产生，并支持不同的占空比配置。PWM 周期最大可达 65536 个计数周期，DUTY 可以从 0 变化到 65535。其中，捕获寄存器 1 用于存储计数起始值以决定 PWM 周期，捕获寄存器 2 用于存储计数翻转值以确定 PPG0 占空比，捕获寄存器 3 用于存储器计算翻转值以确定 PPG1 占空比。配置时，为了保证能够同步 16 位计数器的载入，避免发生高 8 位和低 8 位两次载入的问题，采用了 2 级缓存的结构。通过写 T2CPL3， T2CPL2， T2CPL1 寄存器更新一级缓存，因此在需要改变 T2CPH3， T2CPH2 和 T2CPH1 的值时，需要先写 T2CPH3， T2CPH2 和 T2CPH1 的值，然后再写 T2CPL3， T2CPL2 和 T2CPL1 的值。二级缓存的更新则在外部触发或者计数溢出时重新载入。

计数器在计数时，首先通过触发或者溢出重载将周期和占空比数值载入到计数器中，PPG0 波形生成器的输出与 T2CON 寄存器中的 INVEN 有关，PPG1 波形生成器的输出与 PPG1CON 寄存器中 INVEN1，当 INVEN/INVEN1 为 0 时，波形发生器在开始触发时输出低电平，计数到与二级缓存中的数据一致时翻转输出高电平，到计数溢出后再次输出低电平。当 INVEN/INVEN1 为 1 时，输出波形与为 0 时的相反。

PPG 模式可以有外部触发，也可以由内部软件触发。当选用外部触发时，与重载模式一样，需要首先配置相应触发源的极性，然后使能 T2CON 中的 EXEN2 位。外部触发的状态可以通过 T2CAPS 查询。当选用内部软件触发时，可以往 T2MOD 寄存器中 LOAD 写 1，开始 PPG 模式。

PPG 模式允许重复触发，可以通过 T2MOD 中 RTRGEN 位配置，允许在 PPG 波形生成过程中重新触发。如果改变捕获寄存器 1 的值，新的值将会在触发发生时或者计数溢出时方可载入到计数器中。

配置时，若捕获寄存器 2/3 的值小于捕获寄存器 1 的值，输出将会是常态。当 INVEN/INVEN1 为 0 时，输出为 0，当 INVEN/INVEN1 为 1 时，输出为 1。当捕获寄存器 2 的值大于等于捕获寄存器 1 的值时，输出正常波形，PPG0 占空比为： $(65535 - \text{捕获寄存器 } 2) / (65536 - \text{捕获寄存器 } 1)$ ，PPG1 占空比为： $(65535 - \text{捕获寄存器 } 3) / (65536 - \text{捕获寄存器 } 1)$ 。特别的，当捕获寄存器 1 和捕获寄存器 2/捕获寄存器 3 的值都为 16'hFFFF 时，若 INVEN/INVEN1 为 0，输出 PPG/PPG1 为 0，若 INVEN/INVEN1 为 1，输出 PPG/PPG1 为 1。

在 PPG 模式下，有三个中断源，T2 溢出中断，T2 匹配中断和 T2 外部触发中断。在发生溢出操作，计数匹配或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序。溢出中断和匹配中断共享一个

中断向量，通过 T2MOD 寄存器中的 INTS 位选择使能的中断。

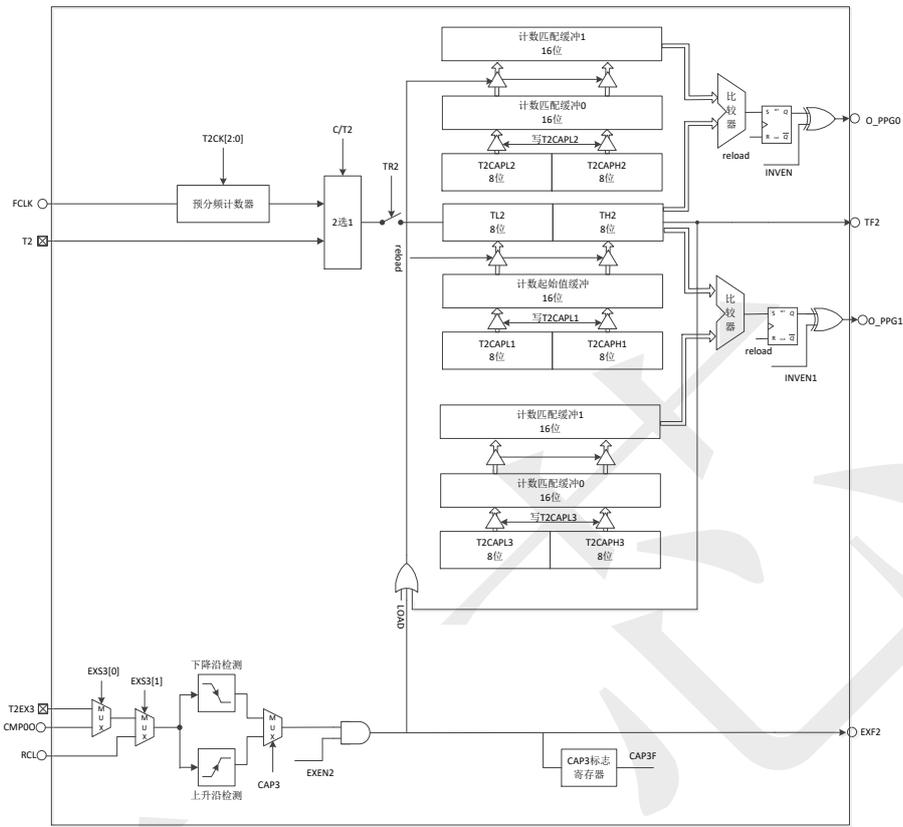


图 11-3 16 位 PPG 模式内部框图

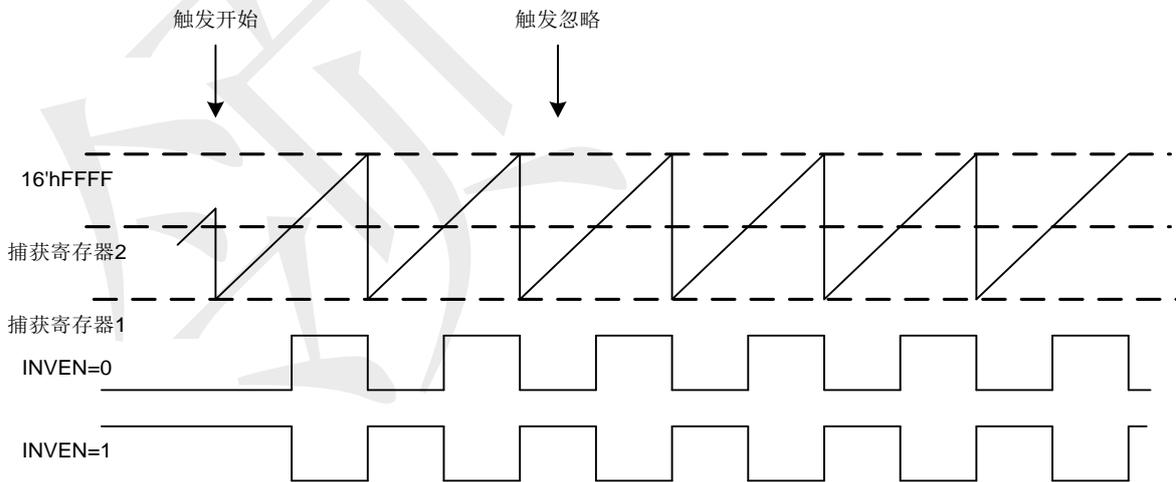


图 11-4 16 位 PPG 模式重复触发禁止波形图

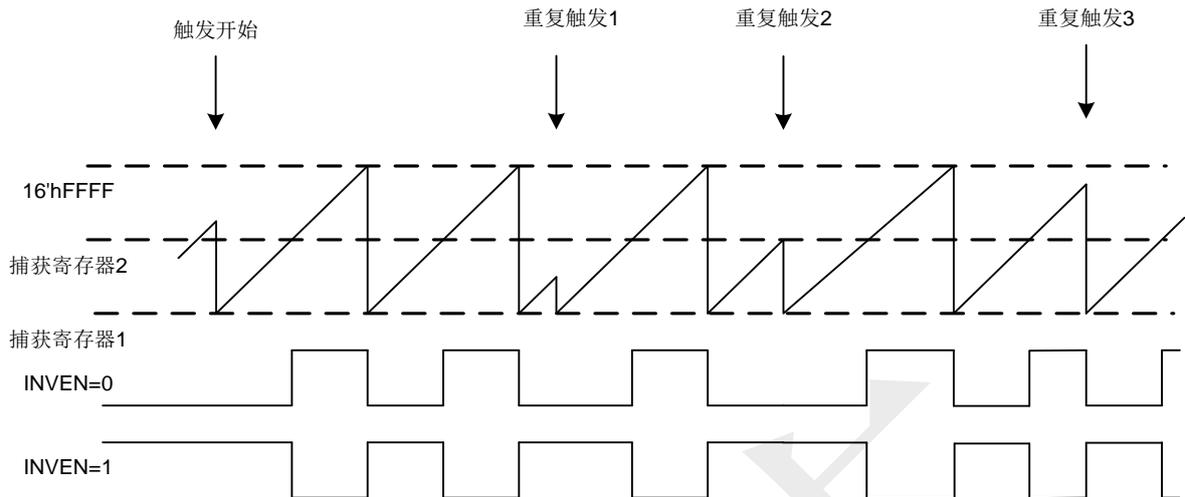


图 11-5 位 PPG 模式重复触发使能波形图

11.5.4 单脉冲发生器

单脉冲发生器工作模式只产生单个脉冲。通过软件触发或者外部触发来启动单脉冲发生器。在外部触发或者内部触发发生后经过一段时间延迟后输出脉冲波形。延迟的时间取决于捕获寄存器 2 和捕获寄存器 1 的差。当捕获寄存器 2 值小于捕获寄存器 1 的值时，将没有脉冲信号输出。特别的，当捕获寄存器 1 和捕获寄存器 2 的值都为 16'hFFFF 时，若 INVEN 为 0，输出 PPG 为 0，若 INVEN 为 1，输出 PPG 为 1。

单脉冲宽度的计算：(65535-捕获寄存器 2) x Tcycle;

延迟时间的计算：(捕获寄存器 2-捕获寄存器 1+1) x Tcycle。

在单脉冲发生器模式下，重复触发将无效，只有首次触发才能启动单脉冲计数。

在单脉冲模式中，有三个中断源，T2 溢出中断，T2 匹配中断和 T2 外部触发中断。在发生溢出操作，计数匹配或者外部触发操作时，这些中断将被置起，当相应中断使能时，将会转至相应服务程序，中断标志将会自动清零。溢出中断和匹配中断共享一个中断向量，通过 T2MOD 寄存器中的 INTS 位选择使能的中断。

12. 钟表定时器 WT

钟表定时器主要用于产生实时中断、给 LCD 提供时钟，同时还作为蜂鸣器输出。

12.1 基本特征

WT 模块具有以下特征：

- ◇ WT 时钟源 3 种可选：CRY, RCH, RCL。
- ◇ 8 位定时器时钟源有 4 个：4096Hz, 64Hz, 1Hz, 1/60Hz。
- ◇ 可产生 8 位定时器溢出中断。
- ◇ 可输出 0.5S 中断。
- ◇ 可输出四种 BUZ 信号频率：8192Hz、4096Hz、2048Hz、1024Hz，并可输出对应的反向 nBUZ 信号。
- ◇ 可输出 1024Hz 信号供 LCD 模块使用。
- ◇ 可输出 2Hz、1Hz、0.5Hz、0.25Hz 4 种时钟频率作为闪烁的时钟源。

12.2 工作模式

正常工作模式下和待机模式下 WT 均可正常工作，产生中断。

待机模式下，由于 WT 时钟源可选择 RCL 或 CRY（配置为低频），仍可以工作并产生中断。

12.3 功能框图

WT 功能框图如下：

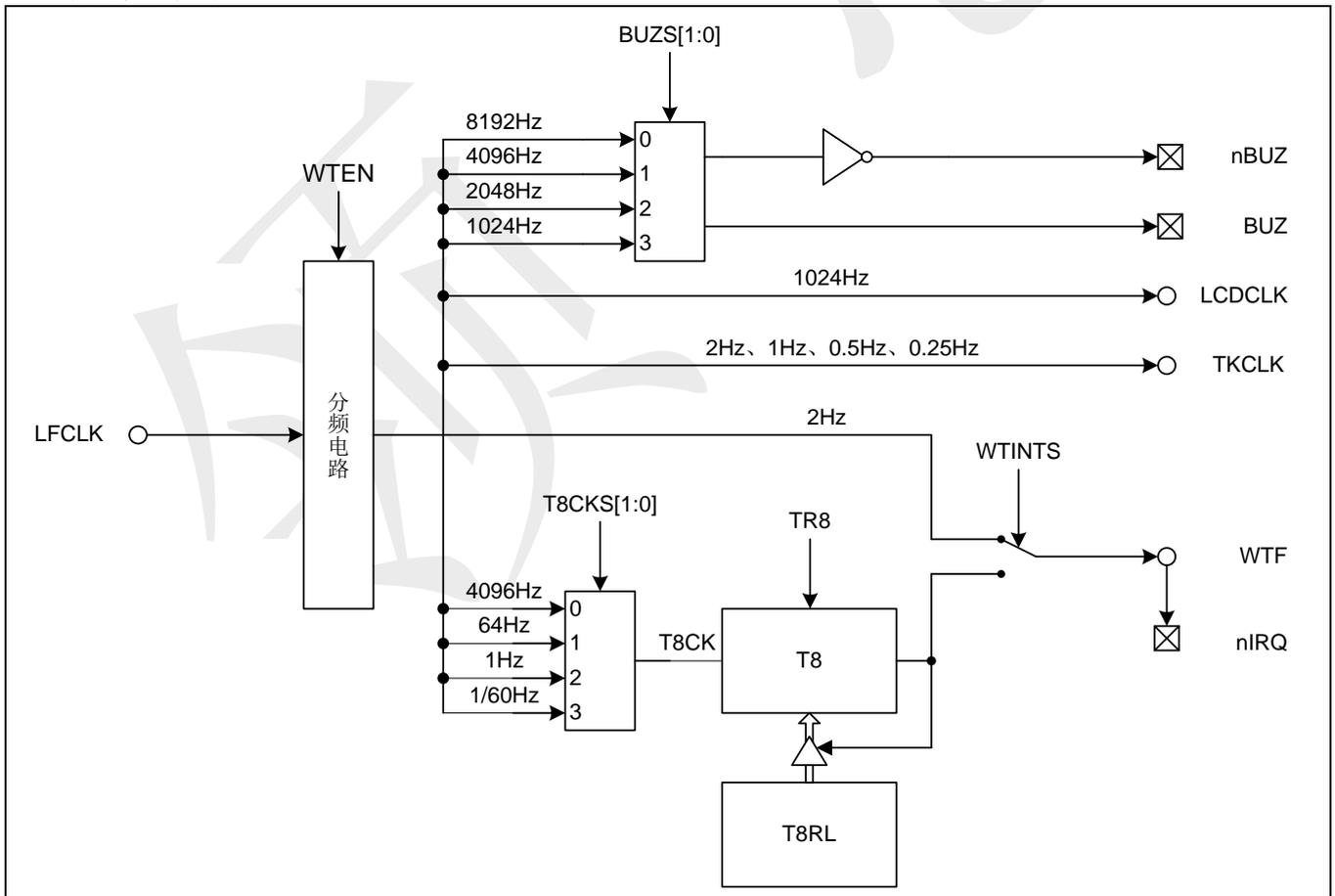


图 12-1 WT 功能框图

信号说明：

◇ LCDCLK: 供给 LCD 驱动模块, 作为 LCD 模块的扫描基准时钟。

◇ TKCLK: 供给 LCD 驱动模块, 作为 LCD 闪烁时钟。

注 1:	上图中的频率值是根据 LFCLK 是 32KHz 得到的。如果 LFCLK 变化, 后续频率值也会相应变化。在使用 WT 时, 建议选择外接低频晶振 (32.768KHz) 或者 RCL 作为时钟源。
------	--

12.4 管脚配置

WT 有 3 个信号与外部管脚复用, 具体配置见下表:

表 12-1 WT 配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
nBUZ	O	BUZ 反相输出	P2.5	nBUZEN1 (IOMUX2.3) 置 1 且 nBUZEN0 (IOMUX2.2) 置 0。
			P3.3	nBUZEN1 (IOMUX2.3) 置 1 且 nBUZEN0 (IOMUX2.2) 置 1。
BUZ	O	BUZ 正相输出	P2.6	BUZEN1 (IOMUX2.5) 置 1 且 BUZEN0 (IOMUX2.4) 置 0。
			P3.2	BUZEN1 (IOMUX2.5) 置 1 且 BUZEN0 (IOMUX2.4) 置 1。
nIRQ	O	中断输出	P2.4	nIRQEN1 (IOMUX0.3) 置 1 且 nIRQEN0 (IOMUX0.2) 置 0。
			P3.1	nIRQEN1 (IOMUX0.3) 置 1 且 nIRQEN0 (IOMUX0.2) 置 1。

12.5 寄存器说明

WT 的相关寄存器如表 12-2 所示。

表 12-2 WT 相关寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
WTCON	WT 控制寄存器	×	R/W	0000_0000B	BFH
T8(T8RL)	8 位下行定时器(T8 初值寄存器)	×	R/W	0000_0000B	FF9BH
IOMUX0	IO 复用控制寄存器 0	×	R/W	u000-0000B	FFE0H
IOMUX1	IO 复用控制寄存器 1	×	R/W	0000-0000B	FFE1H

WT 相关寄存器的详细说明如下:

WT 控制寄存器 WTCON (BFH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	WTEN	WTF	BUZS[1]	BUZS[0]	TR8	T8CKS[1]	T8CKS[0]	WTINTS
访问权限:	R/W	R	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	该寄存器只能被 POR 复位, 其它复位条件下保持不变, 程序启动后, 需要用户重新初始化。							

Bit7 WTEN: WT 使能位。

0: WT 定时器关闭 (默认)。

1: WT 定时器开启。

- Bit6** WTF: WT 中断标志位。
0: 无中断产生 (默认)。
1: 产生中断。
- Bit5~Bit4** BUZS[1:0]: BUZ 输出频率选择位。
00: 1024Hz (默认)。
01: 2048Hz。
10: 4096Hz。
11: 8192Hz。
- Bit3** TR8: T8 使能位。
0: T8 关闭 (默认)。
1: T8 开启。
- Bit2~ Bit1** T8CKS[1:0]: T8 时钟源选择位。
00: 4096Hz。
01: 64Hz。
10: 1Hz。
11: 1/60Hz。
- Bit0** WTINTS: WT 中断源选择位。
0: 2Hz 中断。
1: T8 递减溢出中断。

T8 下行定时器 (T8 初值寄存器) T8 (T8RL) (FF9BH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	T8[7:0] (T8RL[7:0])							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

T8 和 T8RL 两个寄存器地址共用, 写操作时选择 T8RL 寄存器, 读操作时选择 T8 寄存器, T8 为 8 位下行计数器计数值; T8RL 为 T8 初值寄存器。当 T8 计数器从 FFH 递减到 T8RL 的值时产生比较匹配中断, 计数器重新置 FFH 并开始下一计数周期。假设 T8RL 设置为 N, 那么定时时间间隔 = $(256-N)/T8CLK$ (由 T8CKS 选择位决定)。WT 数据寄存器, 存放写入 FIFO 的 16 位数据低 8 位。

管脚复用控制寄存器 IOMUX0 (FFE0H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	UARTEN[1]	UARTEN[0]	SPIEN [1]	SPIEN[0]	nIRQEN[1]	nIRQEN[0]	PWMEN[1]	PWMEN[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit3:2** nIRQEN: WT 的中断 WTIrq 信号输出控制位。
11: WTIrq 从 P3.1 引脚输出。
10: WTIrq 从 P2.4 引脚输出。
01: WTIrq 不输出。
00: WTIrq 不输出。

管脚复用控制寄存器 IOMUX2 (FFE2H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	T1OE	T0OE	BUZEN[1]	BUZEN[0]	nBUZEN [1]	nBUZEN[0]	REMEN[1] ^①	REMEN[0] ^①

访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit5:4 BUZEN[1:0]: BUZ 复用使能位。
 11: P3.2 用作 BUZ 输出。
 10: P2.6 用作 BUZ 输出。
 0X: P2.6、P3.2 用作 GPIO (默认)。

Bit3:2 nBUZEN: nBUZ 复用使能位。
 11: P3.3 用作 nBUZ 输出。
 10: P2.5 用作 nBUZ 输出。
 0x: P3.3 和 P2.5 用作 GPIO (默认)

注 1:	复用使能位置 1 时, 将相应的复用管脚设置为输出。
------	----------------------------

12.6 功能描述

钟表定时器 (WT) 模块主要用于产生实时中断并提供给其他模块时基。该模块主要包括前级分频电路和一个 8 位定时器 T8。前级分频电路产生 8 位定时器的时钟源并可直接产生 0.5 秒中断, 同时提供 LCD 驱动模块和蜂鸣器的时钟。需要使用 LCD 或蜂鸣器功能时必须开启 WT 模块。T8 定时器在上电复位有效的时候载入初值 FFH, 然后由 T8CK 的边沿触发 T8 递减计数, 当计数值与 T8RL 的值匹配时, 产生中断。最大可产生 256 分钟的定时。由于 WT 的时钟源为 LFCLK, 因此待机模式或停机模式都能利用 WT 模块实现定时或唤醒功能。

13. ADC 控制器

12 位 AD 转换器主要用于对外部模拟信号进行采集,以实现系统状态检测并实施反馈控制。ADC 转换输入支持 16 路复用,其中外部 10 个 (P1.0~P1.3,P2.4/P2.5, P3.0~P3.3) 输入通道, 6 路给内部。由程序选择其中的一个通道输入转换信号, 结果保存在两个 8Bit 的寄存器中。转换时钟有 4 个时钟源可选。参考电压可以直接采用内部电源电压 VDD 或固定参考电压 VRH, 亦可由外部管脚 (P5.0) 输入。

13.1 基本特征

- ◇ 线性逐次比较结构实现 12 位转换精度
- ◇ 最大 12 路模拟通道
- ◇ 转换结果 12bit, 左右对齐格式可选
- ◇ 转换结束标志可产生中断
- ◇ 4 种转换时钟源选择
- ◇ 典型转换速率 100Ksps VDD >=2.1V
- ◇ 内部带隙基准电压输入通道, 可实现电池电压检测;
- ◇ 支持三种工作模式: 软件模式, Timer0 触发模式和全速模式;
- ◇ 支持阈值比较功能;

13.2 功能框图

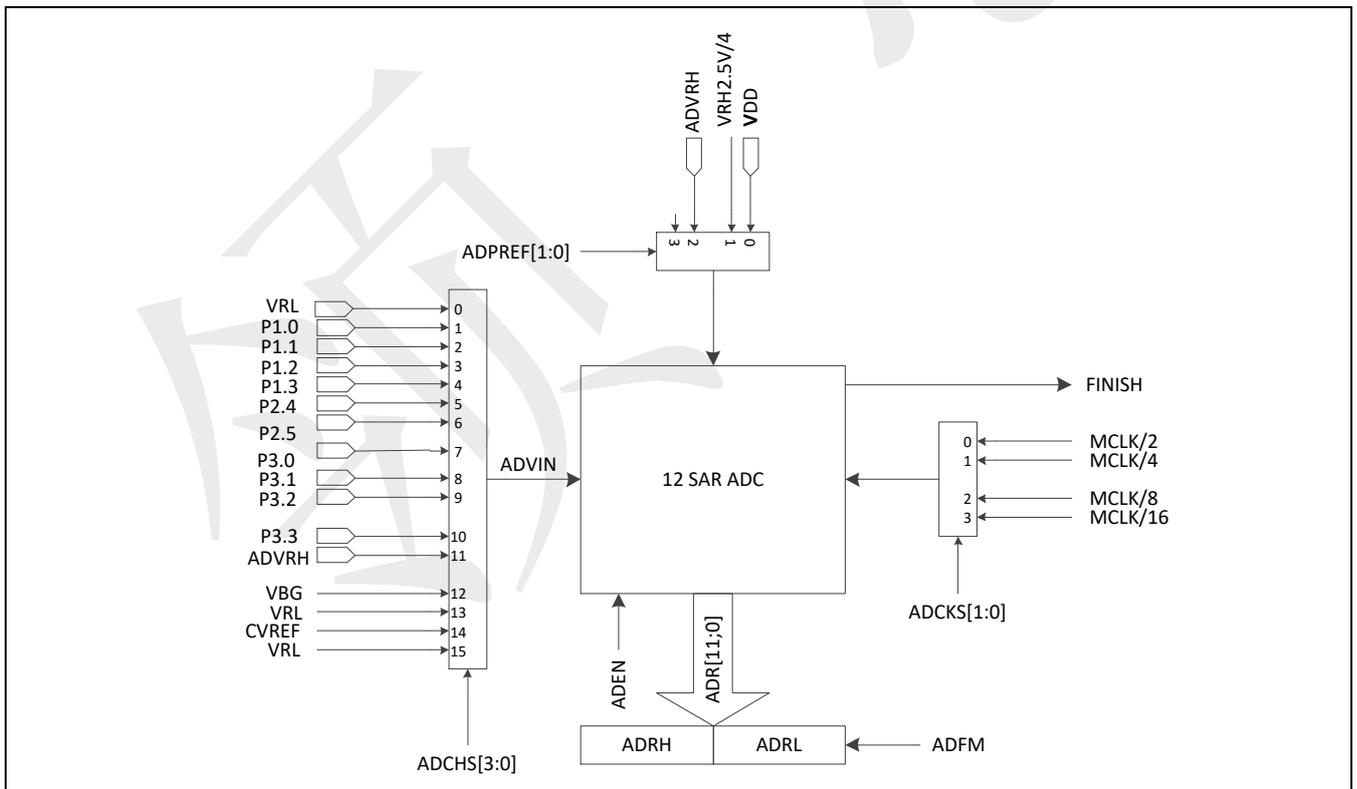


图 13-1 ADC 结构框图

13.3 管脚配置

ADC 模块跟 11 个管脚复用, 具体配置见下表:

表 13-1 ADC 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
AD1~AD10	I	模拟信号输入	P1.0~P1.3 P2.4/P2.5 P3.0~P3.3	由 P1AEN 和 P3AEN 控制
ADVRH	I/O	外部参考电压输入/滤波电容	P5.0	由 P3AEN[4]控制和 ADPREF 控制;

13.4 寄存器说明

ADC 相关寄存器如表 13-2 所示。

表 13-2 ADC 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
ADCON	ADC 控制寄存器	√	R/W	0000_00uuB	D8H
ADRESL	ADC 转换结果寄存器低位	×	R	xxxx_xxxxB	D9H
ADRESH	ADC 转换结果寄存器高位	×	R	xxxx_xxxxB	DAH
CMPDATA	ADC 比较值高 8 位	x	W	xxxx_xxxxB	DAH
ADCMOD	ADC 工作模式控制	x	R/W	uu00_u000	FFADH
ADCFG	ADC 配置寄存器	×	R/W	0000_uu00B	FFAEH

ADC 寄存器详细描述如下：

ADC 控制寄存器 ADCON (D8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CHS				ADEN	ADGO	—	—
访问权限:	W/R	W/R	W/R	W/R	W/R	R/W	R-0	R-0
复 位 值:	1	1	1	1	0	0	U	U
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

Bit7~Bit4 ADCHS[3:0]: AD 输入通道选择位。
 0000: 选择 VRL(模拟参考低电平)
 0001: 选择通道 1 (P1.0)。
 0010: 选择通道 2 (P1.1)。
 0011: 选择通道 3 (P1.2)。
 0100: 选择通道 4 (P1.3)。
 0101: 选择通道 5 (P2.4)。
 0110: 选择通道 6 (P2.5)。
 0111: 选择通道 7 (P3.0)。
 1000: 选择通道 8 (P3.1)。
 1001: 选择通道 9 (P3.2)。
 1010: 选择通道 10 (P3.3)。
 1011: 选择外部参考点与 ADVRH。。

- 1100: 选择基准电压 VBG。
- 1101: 选择 VRL (模拟参考低电平)。
- 1110: 选择内部参考电压 CVREF。
- 1111: 选择 VRL (模拟参考低电平)。
- Bit3 ADEN: AD 使能位, Timer0 中断模式下会自动开启;
 - 0: 关闭。
 - 1: 开启。
- Bit2 ADGO: AD 状态控制/查询位。
 - 写:
 - 0: 无效。
 - 1: 启动 AD 转换。
 - 读:
 - 0: AD 转换结束或当前没有进行数据转换。
 - 1: AD 正在进行转换。
- Bit1 Interrupt Status, 写 1 清除;
 - 0: No Interrupt
 - 1: Interrupt
- Bit0 保留

ADC 配置寄存器 ADCMOD (FFADH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	---		ADMODE[1]	ADMODE[0]	—	STOPWK	ADCLKSL	EC
访问权限:	R/W	R/W	R/W	R/W	R-0	R-0	R/W	R/W
复 位 值:	0	0	0	0	U	U	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

- Bit7~Bit6 保留
- Bit5~Bit4 ADMODE (AD 工作模式)
 - 00: ADGO 置位, 软件模式
 - 01: Timer0 定时中断: ADEN, ADGO 均无效情况下, 来 Timer0 中断, 即开始一次新的转换;
 - 10: 全速模式: 每次转换完成, 只要读走转换结果, 新的转换即开始;
 - 11: 保留
- Bit3 保留
- Bit2 Stop 模式唤醒使能
 - 1: Stop 使能启动: (ADCCLK 源需要选择 RCL)。
 - 0: Stop 使能禁止;
- Bit1 ADCCLK 源选择
 - 0: MClk
 - 1: RCL
- Bit0 EC: 比较使能, 当比较使能时, AD 会连续采样直到采样的值大于预先设置好的值时, 才会产生采样结束中断。若 STOP 中断唤醒使能, AD 会连续采样直到采样的值大于预先设置好的值时,

才会产生唤醒中断。

0: 比较不使能;

1: 比较使能;

ADC 配置寄存器 ADCFG (FFAEH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADPREF		VRHS	ADFM	INTM	VRH_SEL	ADCKS[1]	ADCKS[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	U	U	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

Bit7~Bit6 ADPREF[1:0]: AD 正端参考电压选择位。00: VDD。
 01: VRH (来自内部 PMU 模块中, 可以有 2 个电压 2.5V/4V 可选)。
 10: ADVRH (来自外部管脚 P5.0)。
 11: VRH 和 ADVRH 同时打开, 用于 VRH 给 AD 提供电压源时, 可通过外部管脚外挂电容。

Bit5 VRHS:

0: VDDA

1: 由 ADPREF 决定

Bit4 ADFM: AD 转换结果对齐方式。

1: 右对齐, AD 转换结果低 8bit 存放在 ADRESL 中, 高 4bit 放在 ADRESH[3:0]。

0: 左对齐, AD 转换结果高 8bit 存放在 ADRESH 中, 低 4bit 放在 ADRESL[7:4]。

Bit3 Interrupt Mask:

0: Mask Interrupt;

1: Enable Interrupt; 。

Internal VREF 选择 (VRH_SEL)

Bit2 VRH_SEL: VRH 选择

0: VRH=2.5v;

1: VRH = 4V;

Bit1~Bit0 ADCKS[1:0]: AD 转换时钟选择位。

00: ADCCLK/2。

01: ADCCLK/4。

10: ADCCLK/8。

11: ADCCLK/16。

注: AD 最高转换时钟为 2MHZ, MCLK 频率过高时, 必须通过 ADCKS 配置降低 ADC 工作时钟

AD 转换结果低 8 位寄存器 ADRESL (D9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADRESL[7:0]							
访问权限:	R	R	R	R	R	R	R	R
复 位 值:	×	×	×	×	×	×	×	×
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

AD 转换结果高 8 位寄存器 ADRESH (DAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	ADRESH[7:0]							
访问权限:	R	R	R	R	R	R	R	R
复 位 值:	×	×	×	×	×	×	×	×
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

AD 结果比较高 8 位寄存器 CMPDATA (DAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CMPDATA[7:0]							
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写							

注:只写寄存器, 地址与 ADRESH 相同。

Bit7~Bit0 AD 比较高 8 位数据; 在比较使能情况下, ADC 采样结果高 8 位数据, 将与该寄存器的值进行比较, 根据比较结果决定是否产生中断或者 STOP 唤醒;

13.5 功能概述

13.5.1 工作模式

LCM08F16 的 ADC 支持三种不同的模式:

- 软件模式: 使能 ADC(ADEN=1)情况下, 每次配置 ADGO, 进行一次转换, ADGO 转换结束后清 0;
- Timer0 中断模式: Timer0 每产生一次中断, 即开始一次新的 AD 采样 (ADEN, ADGO 由硬件置 1);
- 全速模式: 每次转换完成, 将转换结果读回 (对 ADRESH 进行读操作), 即开始新的 AD 采样 (ADEN, ADGO 由硬件置 1);

13.5.2 参考电源选择

LCM08F16 的 ADC 支持不同的参考电压选择, 有 ADPREF(ADCFG[7:6])选择控制, 如图 13-2 所示; 当 ADPREF 为 2'b00 时候, 选择 VDD 为参考电压, 但 ADPREF 为 2'b01 时候, 选择 VRH 作为参考电压, 该电压来自内部 PMU 模块中, 可以有 2 个电压 2.5V/4V 可选, 由 VRH_SEL 选择位控制。当 ADPREF=2'b10 时候, ADVRH 直接来自外部管脚 P5.0; 当 ADPREF=2'b11: VRH 和 ADVRH 同时打开, 用于 VRH 给 AD 提供电压源时, 可通过外部管脚外挂电容。

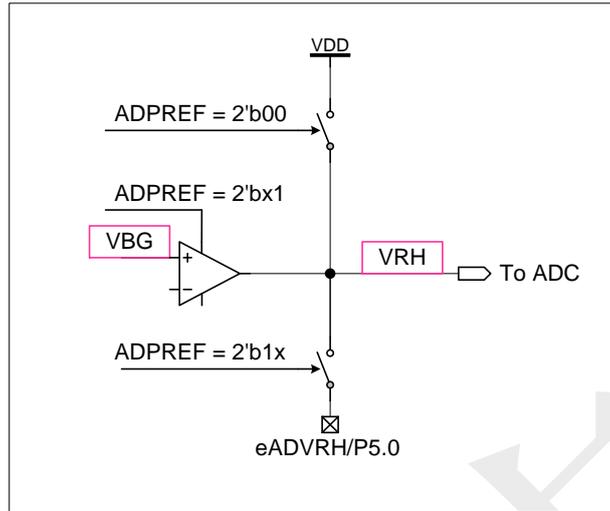


图 13-2 ADC 参考电压框图

14. 液晶显示驱动 LCD

14.1 基本特征

LCM08F16 的 LCD 模块具有如下特征：

- ◇ 最大支持 4*35, 5*34,6*33 的 LCD 驱动。
- ◇ 支持电阻型 LCD。
- ◇ 电阻型驱动显示对比度 8 级可调。
- ◇ 电阻型驱动支持低功耗和高显示模式选择, 并且低功耗模式支持两档电阻可选。
- ◇ 电阻型驱动支持快速充电模式, 并且充电时间可选。
- ◇ 内置基准电容型内置基准可固定输出 1V 的电压, 并可编程选择输出 8 档电压。
- ◇ 偏置电路支持 1/2BIAS 或 1/3BIAS。

14.2 工作模式

上电后, LCD 默认关闭, 使能后工作。

待机和停机模式下, LCD 也可工作。

14.3 功能框图

下图为 LCD 功能框图。

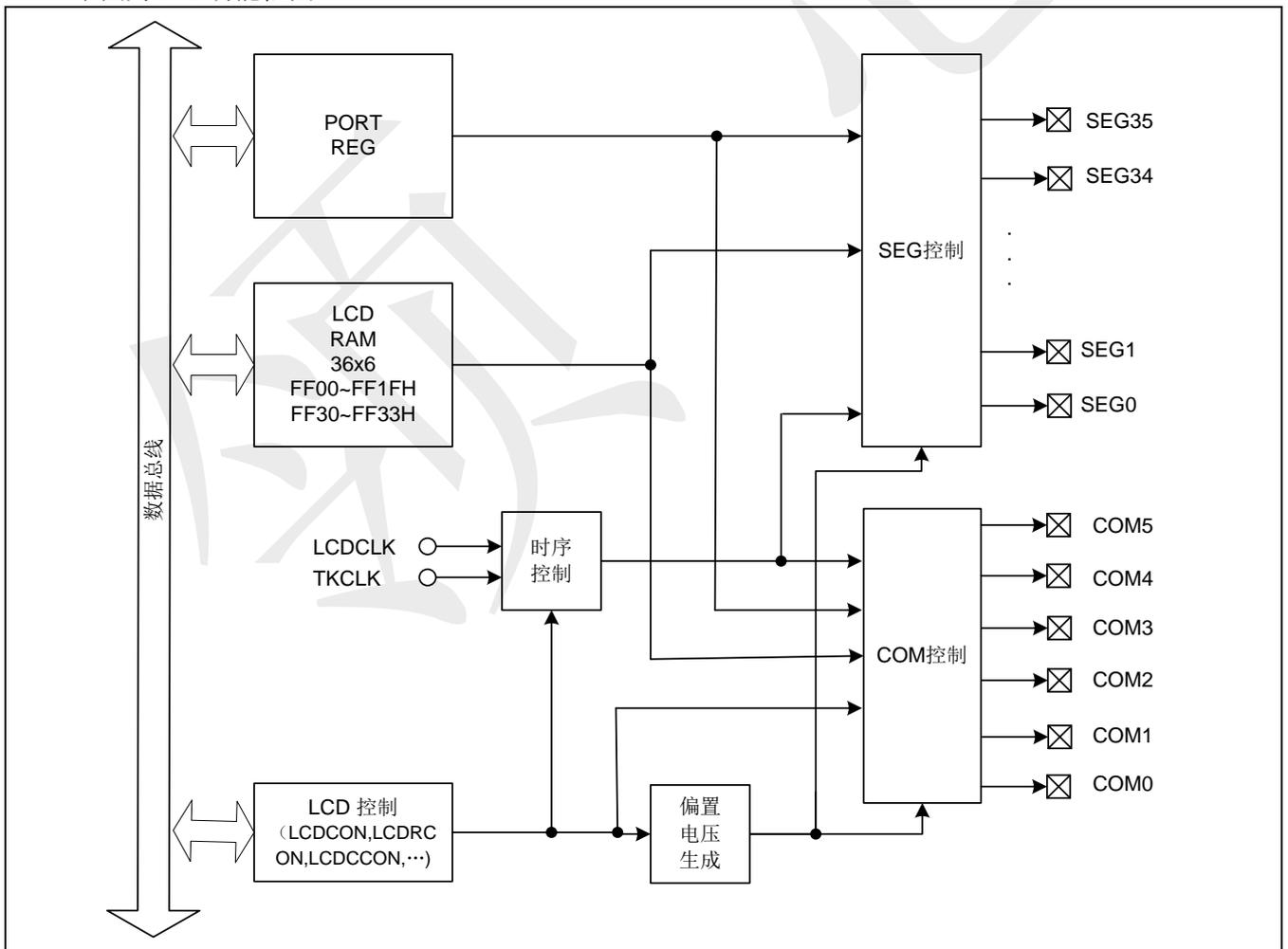


图 14-1 LCD 功能框图

信号说明:

◇ LCDCLK 来自时钟模块的 LFCLK, 频率为 32KHz。

14.4 管脚配置

LCD 模块作为显示功能需要跟外部管脚复用, 详见表 3-1。

14.5 寄存器说明

LCD 相关寄存器如下表所示。

表 14-1 LCD 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
LCDCON	LCD 控制寄存器	×	R/W	0u00_u000B	FF80H
LCDRCON	LCD 电阻驱动控制寄存器	×	R/W	0u00_0000B	FF81H
LCDSCDIV	LCD 扫描时钟分频	×	R/W	u000_0000B	FF86H
LCDDATA0~ LCDDATA35	LCD 数据寄存器 0~35	×	R/W	uuuu_0000B	FF00H~FF1FH FF30H~FF33H

LCD 寄存器详细说明如下:

LCD 控制寄存器 LCDCON (FF80H)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	LCDEN	LCDATEN	—	—	BIAS	DUTY[2:0]		
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	U	U	U	0	0	0	0

- Bit7 LCDEN: LCD 模块使能位。
0: 关闭。
1: 开启。
- Bit6 LCDATAEN 模拟测试输出使能位。
0: 关闭。
1: 开启。
- Bit5~Bit4 未实现位
- Bit3 BIAS: 偏置电平选择位。
0: 1/3。
1: 1/2。
- Bit2~Bit0 DUTY[2:0]: COM 口配置位。
000: 1 COM, COM0。
001: 2 COM, COM0~COM1。
010: 3 COM, COM0~COM2。
011: 4 COM, COM0~COM3。
100: 5 COM, COM0~COM4。
101: 6 COM, COM0~COM5。
其它: 禁用。



LCD 电阻型驱动控制寄存器 LCDRCON (FF81H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CCLKS[1:0]		CRS[2:0]			FCEN	BRDS[[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit7~Bit6 CCLKS[1:0]: 充电时间选择位。

00: 1/4COM 周期 (默认)。

01: 1/8COM 周期。

10: 1/16COM 周期。

11: 1/32COM 周期。

Bit5~Bit3 CRS[2:0]: 对比度选择位。

以 VLC3 与 VDD 之间的电阻值来区分对比度, 电阻越小对比度越高。

000: 0KΩ (默认)。

001: 27.5 KΩ。

010: 55 KΩ。

011: 82.5 KΩ

100: 110KΩ。

101: 137.5 KΩ。

110: 165 KΩ。

111: 192.5 KΩ

Bit2 FCEN:扫描帧使能 3 位

0: 禁止

1: 使能

Bit1~Bit0 BRS: 低功耗模式偏置电阻选择位。

00: 偏置电阻总和为: 1012.5K

01: 偏置电阻总和为: 300K

10: 偏置电阻总和为: 75K

11: 偏置电阻总和为: 75K

LCD 扫描时钟源分频控制位 LCDSCDIV (FF86H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	LCDSCDIV[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit7~Bit0 LCDSCDIV[7:0]: LCD 扫描时钟源分频控制位。

当 LCDSCDIV 的值为 31~255 时, 分频值为 LCDSCDIV+1;

当 LCDSCDIV 的值 < 31 时, 分频值固定为 31, 并且读寄存器也是 31。

LCD 数据寄存器 LCDDAT0~LCDDAT35

LCD 数据寄存器用于保存显示数据, 每个寄存器用到低 6 位, 分别与 6 个 COM 口信号相对应。复位后状态不定, 因此需要软件初始化。

表 14-2 LCD 显示数据与 COM 口的对应关系表

数据寄存器	数据寄存器	数据位	对应段
-------	-------	-----	-----

地址	名称	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	
FF00H	LCDDAT0	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG0
FF01H	LCDDAT1	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG1
FF02H	LCDDAT2	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG2
FF03H	LCDDAT3	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG3
FF04H	LCDDAT4	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG4
FF05H	LCDDAT5	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG5
FF06H	LCDDAT6	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG6
FF07H	LCDDAT7	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG7
FF08H	LCDDAT8	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG8
FF09H	LCDDAT9	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG9
FF0AH	LCDDAT10	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG10
FF0BH	LCDDAT11	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG11
FF0CH	LCDDAT12	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG12
FF0DH	LCDDAT13	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG13
FF0EH	LCDDAT14	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG14
FF0FH	LCDDAT15	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG15
FF10H	LCDDAT16	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG16
FF11H	LCDDAT17	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG17
FF12H	LCDDAT18	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG18
FF13H	LCDDAT19	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG19
FF14H	LCDDAT20	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG20
FF15H	LCDDAT21	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG21
FF16H	LCDDAT22	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG22
FF17H	LCDDAT23	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG23
FF18H	LCDDAT24	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG24
FF19H	LCDDAT25	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG25
FF1AH	LCDDAT26	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG26
FF1BH	LCDDAT27	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG27
FF1CH	LCDDAT28	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG28
FF1DH	LCDDAT29	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG29
FF1EH	LCDDAT30	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG30
FF1FH	LCDDAT31	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG31
FF30H	LCDDAT32	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG32
FF31H	LCDDAT33	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG33
FF32H	LCDDAT34	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG34
FF33H	LCDDAT35	X	X	COM5	COM4	COM3	COM2	COM1	COM0	SEG35

14.5 功能描述

14.5.1 LCD 时钟源

LCD 驱动控制的时钟一般为 32KHz，具体的时钟源由 LFCFG (LFCSCON[7:6]) 选择。可以选择外部振荡，内部 RCL 或者内部高精度 RCH。当选择的时钟为高频时钟的时候，需要进一步分频才能得到 32K 的时钟，具体的分频由 LFDIV (LFCSCON[3:0]) 控制。如果选择外部的低频振荡，此时 LFDIV 为 0，那么 LCD 模块的时钟就是 32768Hz 的时钟，这样可以得到固定的帧频率；如果选择 RCL 作为 LCD 时钟，此时 LFDIV 为 0，LCD 模块的时钟也是 32K，只是这个 32K 时钟受温度和电压有一定的变化，从而帧频率也有变化；当选外部高频振荡和内部高频 RCH 时候，需要进行分频得到 32K 的频率。

14.5.2 LCD 帧频率

LCD 显示是按照一定的频率刷新数据，从而显示数据。帧频率是可以选择的，由寄存器 LCDSCDIV 寄存器设置。帧频率的计算方法：

$F_{LCDCLK}/((1+LCDSCDIV)*COM*2)$ 。 F_{LCDCLK} 为 LCD 模块的时钟，一般为 32KHz 的频率。

14.5.3 LCD COM 口配置

LCD COM 可以配置为 1 个 COM 口，2 个 COM 口，3 个 COM 口，4 个 COM 口，5 个 COM 口，6 个 COM 口。由寄存器 LCDCON 寄存器的 DUTY 位配置。当配置为 4 个 COM 口的时候，COM0~3 有效；当配置为 5 个 COM 口的时候，COM0~4 有效；当配置为 6 个 COM 口的时候，COM0~5 有效。当配置为 5 个 COM 口的时候，由于 COM4 与 SEG0 复用，那么此时 SEG0 无效；当配置为 6 个 COM 口的时候，由于 COM6 与 SEG1 复用，那么此时 SEG0 和 SEG1 无效。

在 LCD 显示数据的时候，前半帧 COM 口顺序的输出有效电平到 COM 端口，后半帧极性反向，仍然顺序的输出反向电平到 COM 口。

14.5.4 LCD SEG 口配置

LCM08F16 最多可以驱动 4*35，5*34，6*33 的 LCD 面板。由于 COM4 和 COM5 与 SEG0 和 SEG1 复用，因此 COM 的配置决定了 SEG 的数目的选择。

LCD 显示数据寄存器 LCDDATn 的数据决定了对应段的 LCD 的显示。当配置为 4 个 COM 口的时候，LCDDATn 的低四位数据有效；当配置为 5 个 COM 口的时候，LCDDATn 的低五位数据有效；当配置为 6 个 COM 口的时候，LCDDATn 的低六位数据有效。前半帧，LCDDATn 的有效数据为 1 时，对应 SEG 端口的电压为 GND (1/3Bias)，LCDDATn 的有效数据为 0 时，对应 SEG 端口的电压为 VLL2 (1/3Bias)。后半帧，LCDDATn 的有效数据为 1 时，对应 SEG 端口的电压为 VLL3 (1/3Bias)，LCDDATn 的有效数据为 0 时，对应 SEG 端口的电压为 VLL1 (1/3Bias)。

14.5.5 电阻型 LCD 驱动

LCD 偏置电压利用一串分压电阻以及三个开关调节产生，通过修改串联电阻或开关通断改变驱动能力与对比度，并且为了兼顾低功耗和高显示效果，还增加了快速充电模式。

14.5.5.1 内部框图

LCD 偏置的内部框图如图 14-2 所示。

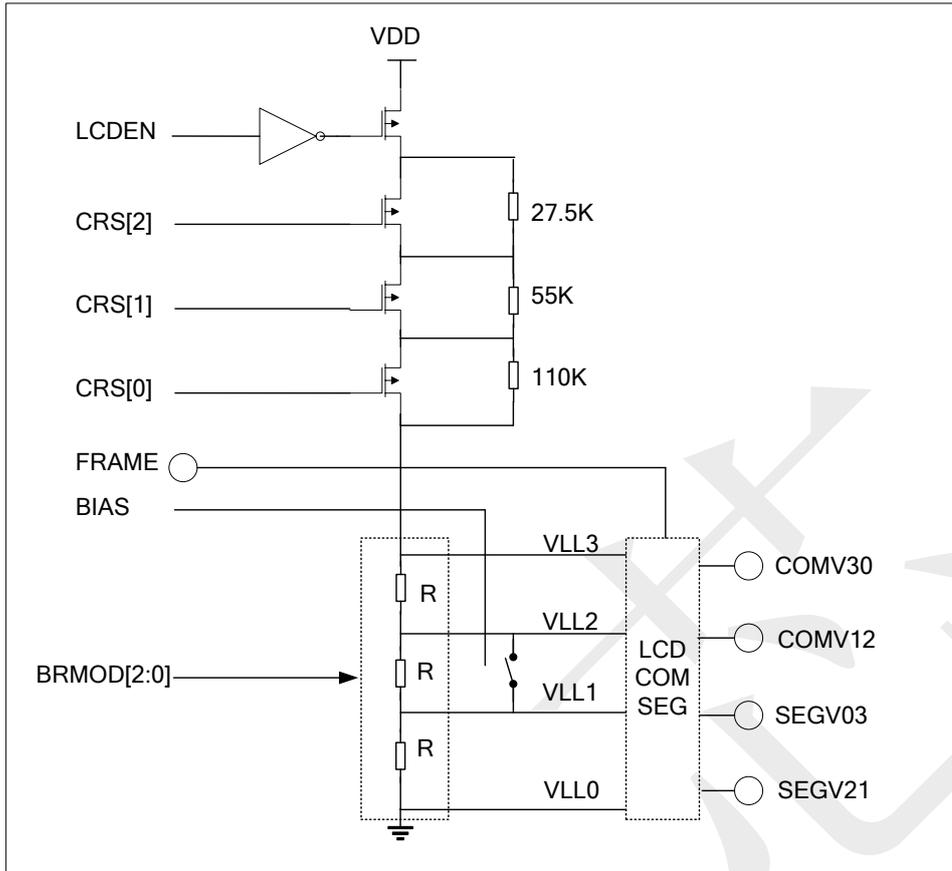


图 14-2 电阻型 LCD 偏置的内部框图

信号说明:

- ✧ CRS 为对比度控制电阻选择。
- ✧ COMV30 为 COM 信号最高或最低电平输出。
- ✧ COMV12 为 COM 信号中间电平输出。
- ✧ SEGV03 为 SEG 信号最低或最高电平输出。
- ✧ SEGV21 为 SEG 信号中间电平输出。
- ✧ FRAME 是帧同步信号，分为正负半周。详细描述参见下小节。
- ✧ 其它信号与寄存器中的控制位对应。
- ✧ VLL3/VLL2/VLL1/VLL0 代表 4 级扫描电平，VLL3 电压最高，VLL0 电压最低（地电平）。BIAS 为 0 时，VLL2/VLL1 电平相等。

14.5.5.2 快速充电模式

在使用电阻型驱动液晶屏的时候，如果为了得到较好的显示，那么可以选择高显模式，提供较大的驱动电流，但是高显模式下功耗很高；如果需要低功耗，可以选择低功耗模式，但是这种情况下显示效果不如高功耗模式；如果既想要较低的功耗，又要较好的显示，可以用快速充电模式。

快速充电模式下，在显示数据刷新的时候选择 $75\text{K}\Omega$ 偏置电阻，提供较大的驱动电流，经过设置的大电流驱动时间后，电阻切换到 $1012.5/300\text{K}\Omega$ 偏置电阻，提供较小的驱动电流。大电流驱动时间可以设置为 LCD COM 周期的 $1/4$ ， $1/8$ ， $1/16$ ， $1/32$ 。

14.5.6 COM/SEG 波形

14.5.6.1 4COM 波形

本节以 4COM, 1/3BIAS 为例描述 LCD 的输出波形。假设采取如下配置：

- ◇ 显示数据区偶地址 LCDDAT0/2/.../30 写数据：0AH。
- ◇ 显示数据区奇地址 LCDDAT1/3/.../31 写数据：05H。
- ◇ LCDRCON = 8'b0000_0010; LCD 模式选择电阻型驱动，快速充电时间为 COM 周期 1/4，偏置电阻选择 990K Ω ，LCD 电阻型驱动模式选择快速充电模式。
- ◇ TKCON = 8'b0000_0000; 禁止闪烁功能。
- ◇ LCDCON = 8'b1000_1011; 4COM,1/3Bias
- ◇ LCDSCDIV=8'0011_1111b; 512Hz 扫描频率(帧频率为 64Hz)。

波形如下图：

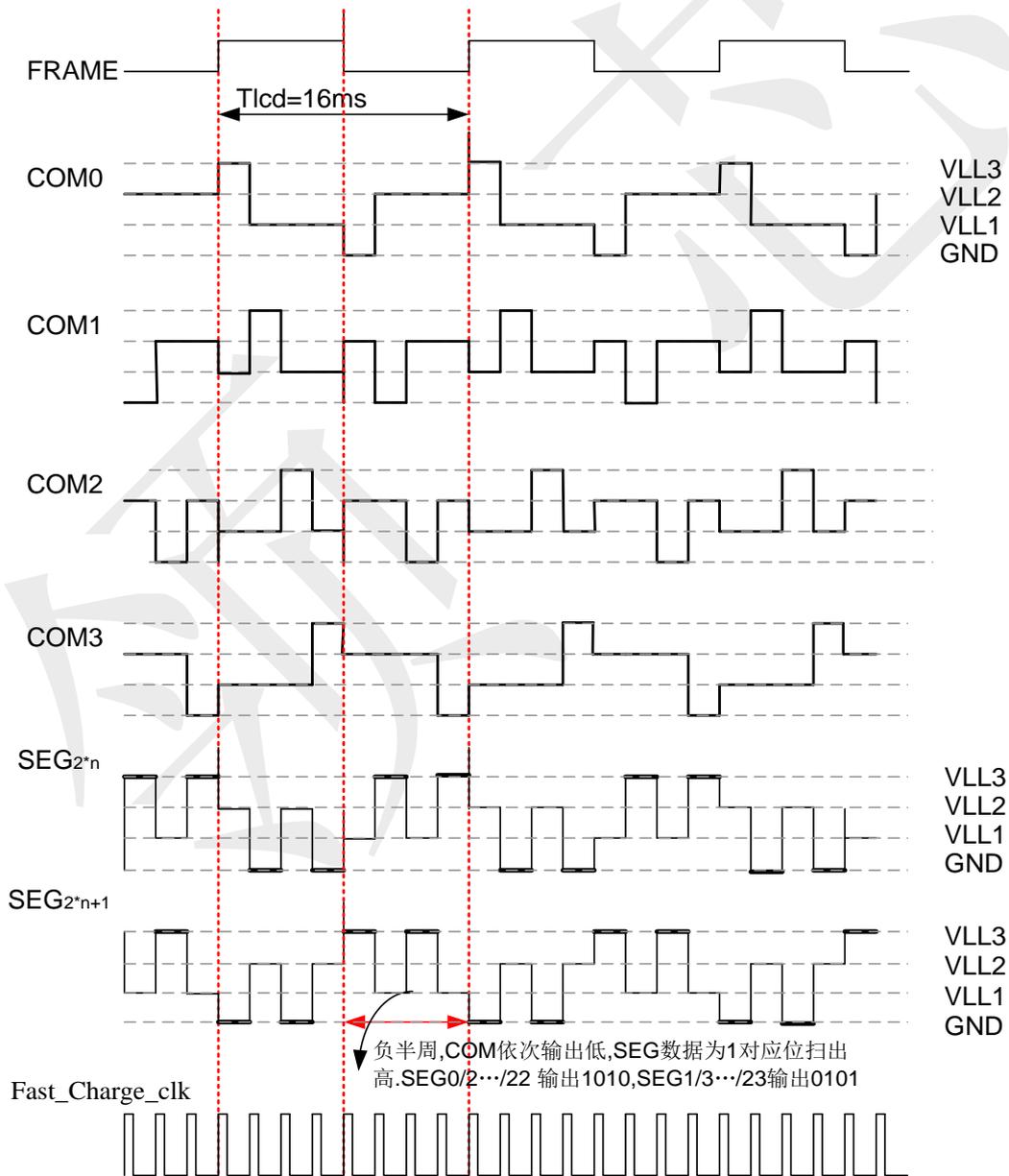


图 14-3 LCD 扫描 4COM 波形

COM/SEG 输出与帧信号 FRAME 同步。如果 LCD 扫描频率为 512Hz，那么 FRAME 信号频率为 $512/(4*2)=64\text{Hz}$ 。COM[3:0]共 4 个节拍，分别对应显示寄存器的 4 位数据。而每个 SEG 把一个显示寄存器的 4 位数据转换为显示电平。因此一个 SEG 控制 LCD 屏上的 4 个点显示。COM 输出高电平而对应 SEG 输出低电平则点亮 LCD 屏对应点，反之也同样点亮。

帧信号正半周（FRAME 为高），COM[3:0]依次扫描输出最高电平（VLL3），SEG 则根据 LCDDATAn 中的值从 bit3 到 bit0 分别输出对应波形。置 1 的点，输出低（地电平），LCD 屏上对应点点亮。

帧信号负半周（FRAME 为低），扫描方式正半周相同。只是 COM[3:0]依次扫描输出最低电平（GND），SEG 扫描的电平也相反。从而保证置 1 的点在 LCD 屏上点亮。

14.5.6.2 5COM 波形

本节以 5COM，1/3BIAS 为例描述 LCD 的输出波形。假设采取如下配置：

- ◇ 显示数据区偶地址 LCDDAT0/2/.../30 写数据：0AH。
- ◇ 显示数据区奇地址 LCDDAT1/3/.../31 写数据：15H。
- ◇ LCDRCON = 8'b0000_0010; LCD 模式选择电阻型驱动，快速充电时间为 COM 周期 1/4，偏置电阻选择 990K Ω ，LCD 电阻型驱动模式选择快速充电模式。
- ◇ TKCON = 8'b0000_0000; 禁止闪烁功能。
- ◇ LCDCON = 8'b1000_1100; 5COM,1/3Bias
- ◇ LCDSCDIV=8'0011_0010b; 640Hz 扫描频率(帧频率为 64Hz)。
- ◇ 注意：在使用 5COM 的时候，因为 COM4 与 SEG0 复用，因此该种情况下 SEG0 无效。写入 LCDDATAn 的数据低五位有效，对应 COM4~COM0。

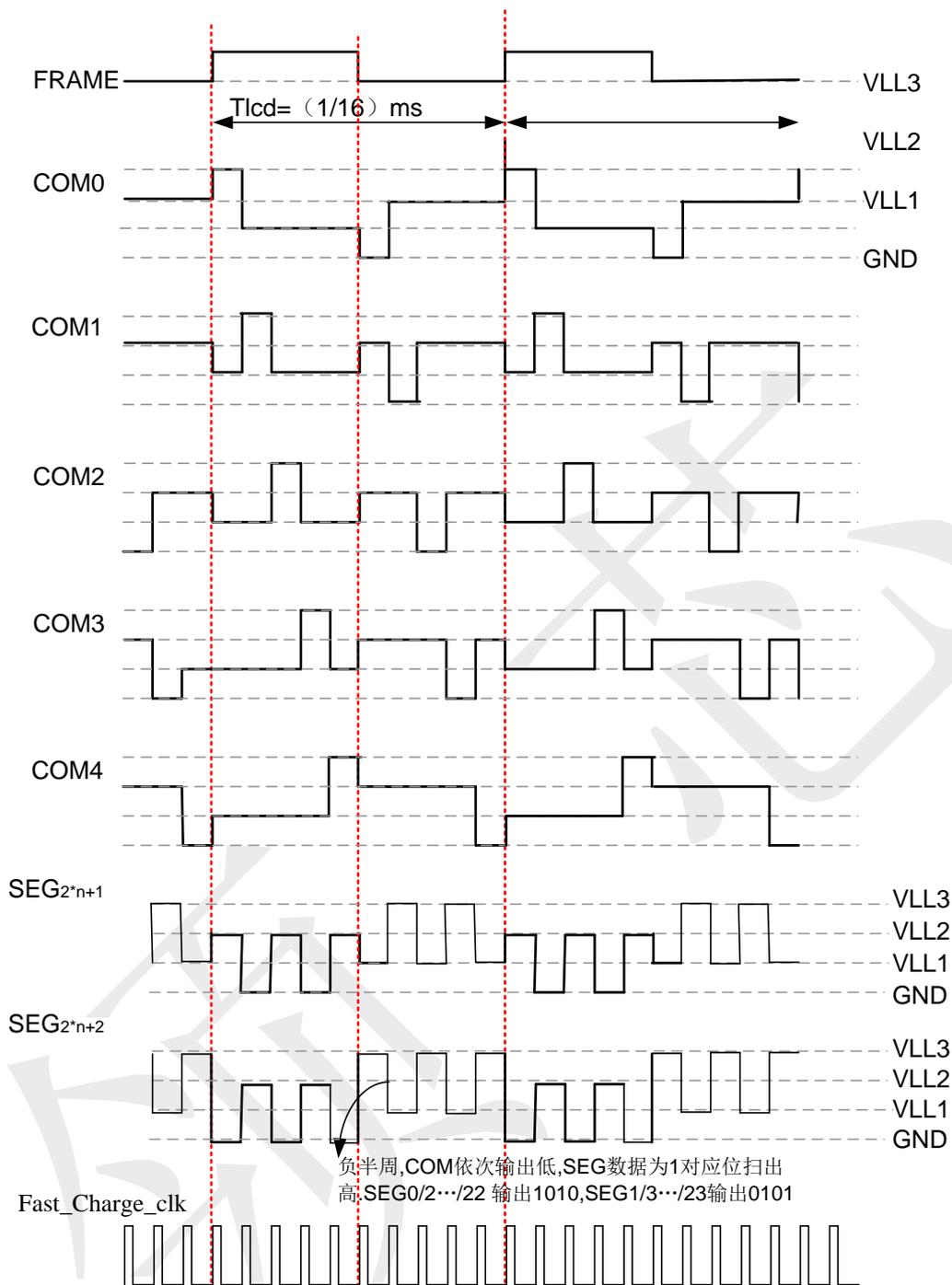


图 14-4 LCD 扫描 5COM 波形

14.5.3 6COM 波形

本节以 6COM, 1/3BIAS 为例描述 LCD 的输出波形。假设采取如下配置:

- ✧ 显示数据区偶地址 LCDDAT0/2/.../30 写数据: 2AH。
- ✧ 显示数据区奇地址 LCDDAT1/3/.../31 写数据: 15H。
- ✧ LCDRCON = 8'b0000_0010; LCD 模式选择电阻型驱动, 快速充电时间为 COM 周期 1/4, 偏置电阻选择 990K Ω , LCD 电阻型驱动模式选择快速充电模式。
- ✧ TKCON = 8'b0000_0000; 禁止闪烁功能。
- ✧ LCDCON = 8'b1000_1101; 6COM,1/3Bias

- ✧ LCDSCDIV=8'0010_1010b; 768Hz 扫描频率(帧频率为 64Hz)。
- ✧ 注意: 在使用 6COM 的时候, 因为 COM4/5 与 SEG0/SEG1 复用, 因此该种情况下 SEG0/SEG1 无效。写入 LCDDATAN 的数据低六位有效, 对应 COM5~COM0。

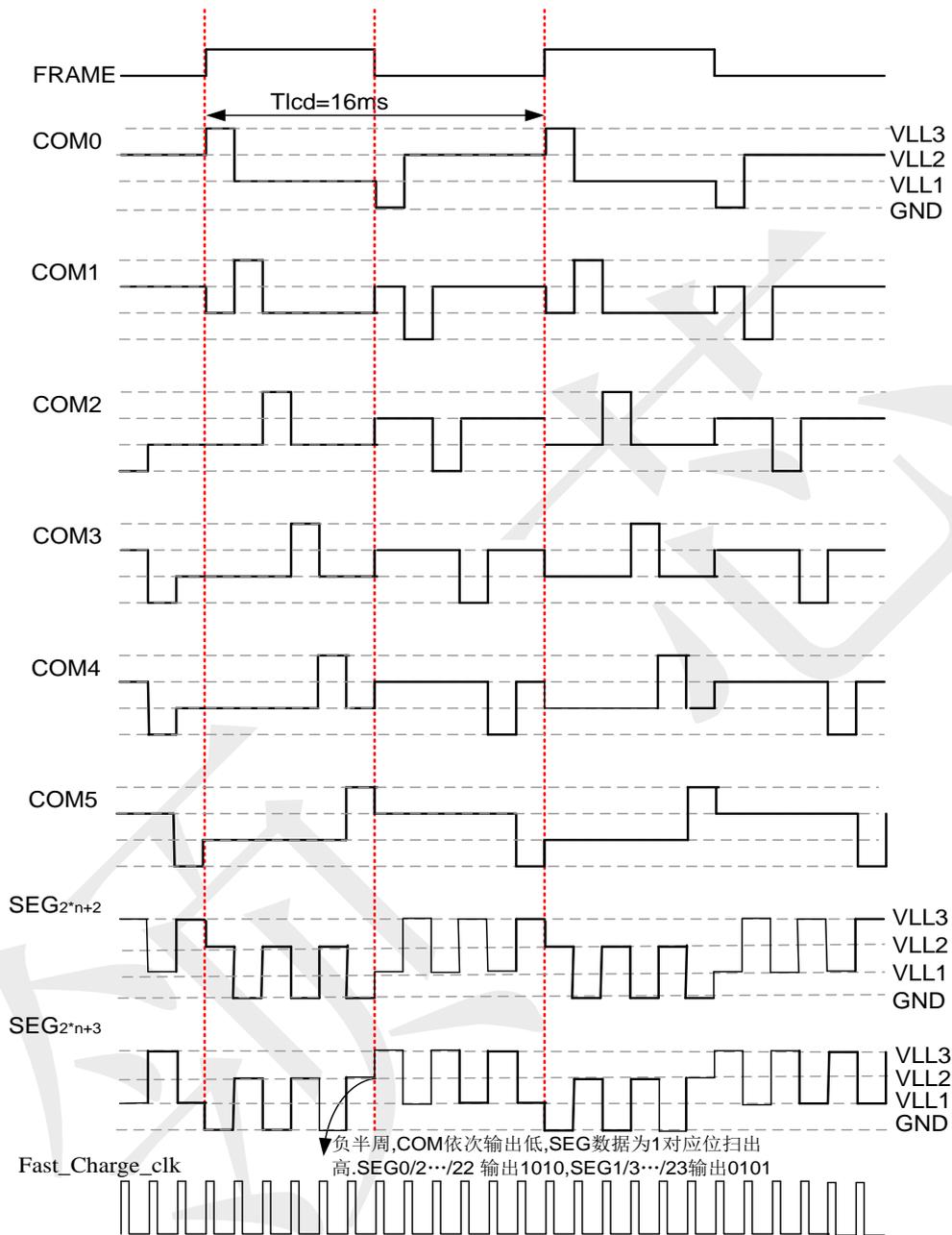


图 14-5 LCD 扫描 6COM 波形

15. 键盘中断 KBI

键盘中断可以用来配置唤醒 SLEEP 和 STOP 模式，也可以用来产生按键。LCM08F16 的 P0/P1/P2/P4 都可复用作键盘中断。

15.1 基本特征

- ◇ 最大支持 32 个独立使能的外部键盘输入，与 P0/P1/P2/P4 口复用。
- ◇ 内置 200ns 去抖动处理。
- ◇ 32 个键盘输入共用一个中断标志以及一个中断矢量地址。
- ◇ 键盘中断可以唤醒 SLEEP 模式，有效的按键信号可以将 MCU 从 STOP 模式唤醒。
- ◇ 键盘输入信号极性可配置，可有效防止卡键使 MCU 不能进入 STOP 模式的问题。

15.2 工作模式

工作模式下，键盘扫描正常工作，可以产生键盘中断。

待机模式下，有效的键盘中断唤醒系统。

停机模式下，有效的键盘输入信号唤醒系统。

15.3 内部框图

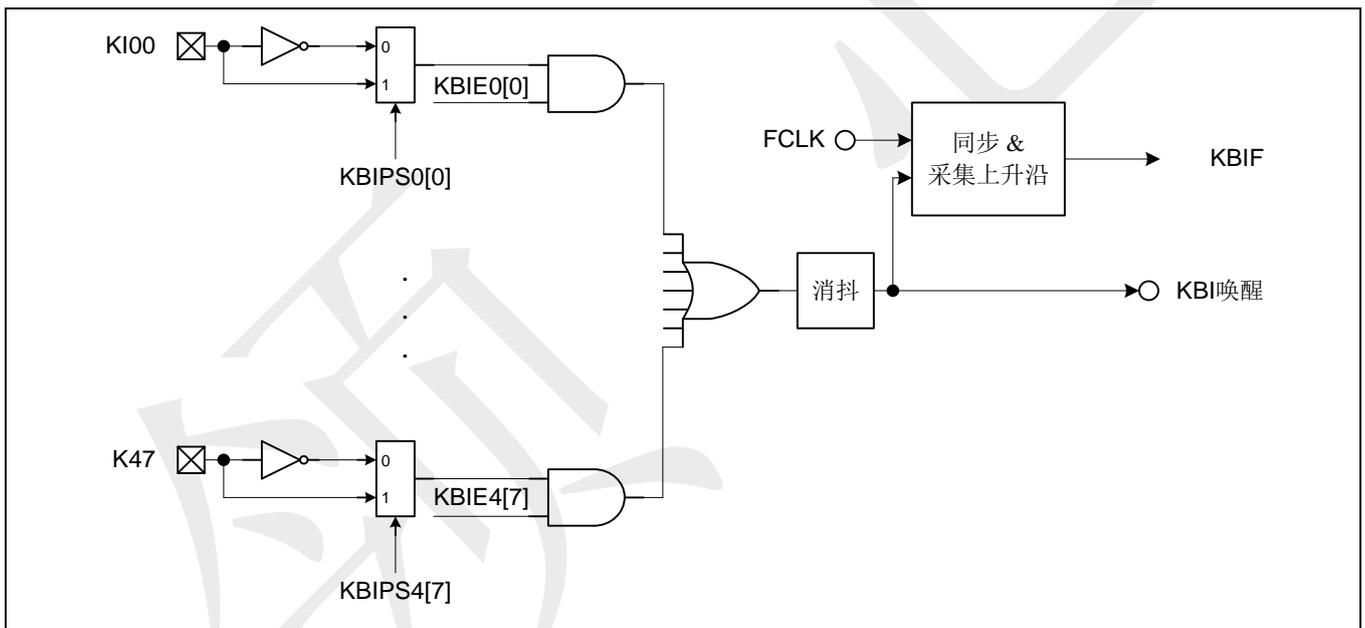


图 15-1 KBI 结构框图

15.4 管脚配置

KBI 输入需要与外部管脚复用，具体配置见下表：

表 15-1 KBI 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
KI00~KI01	I	P3.2/P3.3 键盘中断输入	P3.2~P3.3	KIn (KBICON0.n) 置 1。(n=0~1)
KI02~KI07	I	P0 口键盘中断输入	P0.2~P0.7	KIn (KBICON0.n) 置 1。(n=2~7)
KI10~KI17	I	P1 口键盘中断输入	P1.0~P1.7	KIn (KBICON1.n) 置 1。(n=1~7)
KI20~K27	I	P2 口键盘中断输入	P2.0~P2.7	KIn (KBICON2.n) 置 1。(n=1~7)

KI40~K47	I	P4 口键盘中断输入	P4.0~P5.7	KIn (KBICON4.n) 置 1。(n=1~7)
----------	---	------------	-----------	-----------------------------

15.5 寄存器说明

键盘中断的相关寄存器如表 15-2 所示。

表 15-2 键盘中断寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
KBICON0	P0 键盘中断使能寄存器	×	R/W	0000_0000B	FFDAH
KBICON1	P1 键盘中断使能寄存器	×	R/W	0000_0000B	FFDCH
KBICON2	P2 键盘中断使能寄存器	×	R/W	000u_0000B	FFDEH
KBICON4	P4 键盘中断使能寄存器	×	R/W	000u_u000B	FFECH
KBIPSO	P0 键盘中断极性选择寄存器	×	R/W	0000_0000B	FFDBH
KBIPS1	P1 键盘中断极性选择寄存器	×	R/W	0000_0000B	FFDDH
KBIPS2	P2 键盘中断极性选择寄存器	×	R/W	0000_0000B	FFDFH
KBIPS4	P4 键盘中断极性选择寄存器	×	R/W	0000_0000B	FFEDH
KBIFLG	键盘中断控制寄存器	×	R/W	uuuu_uuu0B	9EH

键盘中断寄存器的详细说明如下：

P0 键盘中断控制寄存器 KBICON0 (FFDAH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	KBIE0[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit7~Bit0 KBIE0[7:0]: KI07~KI00 键盘输入中断使能位。

0: 禁止键盘输入中断 (默认)。

1: 使能键盘输入中断。

P1 键盘中断控制寄存器 KBICON1 (FFDCH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	KBIE1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit7~Bit0 KBIE1[7:0]: KI17~KI10 键盘输入中断使能位。

0: 禁止键盘输入中断 (默认)。

1: 使能键盘输入中断。

P2 键盘中断控制寄存器 KBICON2 (FFDEH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	KBIE2[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0

Bit7~Bit0 KBIE2[7:0]: KI27~KI20 键盘输入中断使能位。

0: 禁止键盘输入中断 (默认)。

1: 使能键盘输入中断。

P4 键盘中断控制寄存器 KBICON4 (FFECH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KBIE4[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit7~Bit0 KBIE2[7:0]: KI23~KI16 键盘输入中断使能位。

0: 禁止键盘输入中断 (默认)。

1: 使能键盘输入中断。

P0 键盘中断极性选择寄存器 KBIPS0 (FFDBH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KBIPS0[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit7~Bit1 KBIPS0[7:0]: KI07~KI00 中断极性选择位。

0: 下降沿触发 KBI 中断, 低电平唤醒 STOP (默认)。

1: 上升沿触发 KBI 中断, 高电平唤醒 STOP。

P1 键盘中断极性选择寄存器 KBIPS1 (FFDDH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KBIPS1[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit7~Bit1 KBIPS1[7:0]: KI117~KI110 中断极性选择位。

0: 下降沿触发 KBI 中断, 低电平唤醒 STOP (默认)。

1: 上升沿触发 KBI 中断, 高电平唤醒 STOP。

P2 键盘中断极性选择寄存器 KBIPS2 (FFDFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KBIPS2[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit7~Bit1 KBIPS2[7:0]: KI27~KI20 中断极性选择位。

0: 下降沿触发 KBI 中断, 低电平唤醒 STOP (默认)。

1: 上升沿触发 KBI 中断, 高电平唤醒 STOP。

P4 键盘中断极性选择寄存器 KBIPS4 (FFEDH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	KBIPS4[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0

Bit7~Bit1 KBIPS4[7:0]: KI47~KI40 中断极性选择位。

0: 下降沿触发 KBI 中断, 低电平唤醒 STOP (默认)。

1: 上升沿触发 KBI 中断, 高电平唤醒 STOP。

键盘中断标志寄存器 KBIFLG (9EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	—	—	—	—	—	KBIF ^①
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R/W
复 位 值:	U	U	U	U	U	U	U	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit7~Bit1 未实现位。

Bit0 KBIF: 键盘中断标志位。

0: 没有发生 KBI 中断。

1: 发生 KBI 中断。

注 1: 该标志位需要读 1 后写 0 清标志位。

15.6 功能描述

通过设置 KBI 中断使能寄存器和中断极性选择寄存器, 选择相应的 KBI 输入信号以及有效的边沿和电平。

待机模式下, 有效的 KBI 边沿, 可置位 KBIF, 如果 KBI 中断使能位 EKB(EIE2.6)置 1, 则产生 KBI 中断从而唤醒待机模式, 唤醒后 PC 跳转到 KBI 中断入口执行 KBI 中断程序。中断响应过程参见第 9 章描述。如果 KBI 中断使能位 EKB(EIE2.6)为 0, 则无法产生 KBI 中断而唤醒待机模式, 也无法执行 KBI 中断程序。

待机模式下, 有效的 KBI 电平, 可以直接唤醒停机模式, 而无需 KBI 中断使能 EKB 置 1。唤醒后, RCH 需要等计数满 256 个周期后才输出时钟, 所以唤醒到 CPU 开始运行需要等 RCH 重新启动以及延迟一段时间。

如果进入停机模式前 EKB 置 1, 唤醒电路后就可直接进入 KBI 中断服务程序。由于上面提到的延迟时间, 所以按键输入信号宽度超过 256 个 RCH 周期才能保证采集到有效按键。

15.7 使用提示

键盘中断的标志 KBIF 信号为双缓冲设计, 因此对于连续的中断信号, 如果系统来不及处理, 系统会记忆两次中断, 其余的中断都将丢掉。而需要清楚中断标志时, 需要清除两次才能确保完全清除。一般在打开中断使能之前需要清除两次, 确保无效的中断标志被清除掉。进入中断后可以视应用要求清除一次还是两次。

16. 模拟比较器 ACMP

16.1 基本特征

LCM08F16 中的模拟比较器具备以下特征：

- ◇ 轨到轨的工作电压范围。
- ◇ 低输入失调电压。
- ◇ 可选择的中断触发源：比较器上升沿、下降沿或任意边沿都可以触发中断。
- ◇ 比较器输出滤波可选择，可滤除 1.5 μ s 左右的毛刺。
- ◇ 比较器输出极性可选择。
- ◇ 内置电阻分压，提供 16 级参考电平供比较器正端输入。带隙基准电压可用作电阻分压源。

16.2 工作模式

上电后，比较器默认关闭。通过将 CPEN (CP0CON.4) 置 1，开启比较器。

SLEEP 和 STOP 模式下，比较器仍可以工作（消耗电流），但无法产生中断。

16.3 管脚配置

模拟比较器模块用到 4 个外部复位脚，分别是 CPP、CPN0、CPN1 和 CPO，其配置如下表。

表 16-1 ACMP 管脚复用配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
CPP	A	比较器正端输入	P3.2	CPPS (CP0CON.3) 置 1。
CPN0	A	比较器负端输入 0	P3.0	CPNS (CP0CON.2) 置 0 (默认)。
CPN1	A	比较器负端输入 1	P3.3	CPNS (CP0CON.2) 置 1。
CPO	O	比较器输出	P3.1	CPOE (TESTCON.2) 置 1。

16.4 功能框图

模拟比较器模块的功能框图如图 16-1 所示：

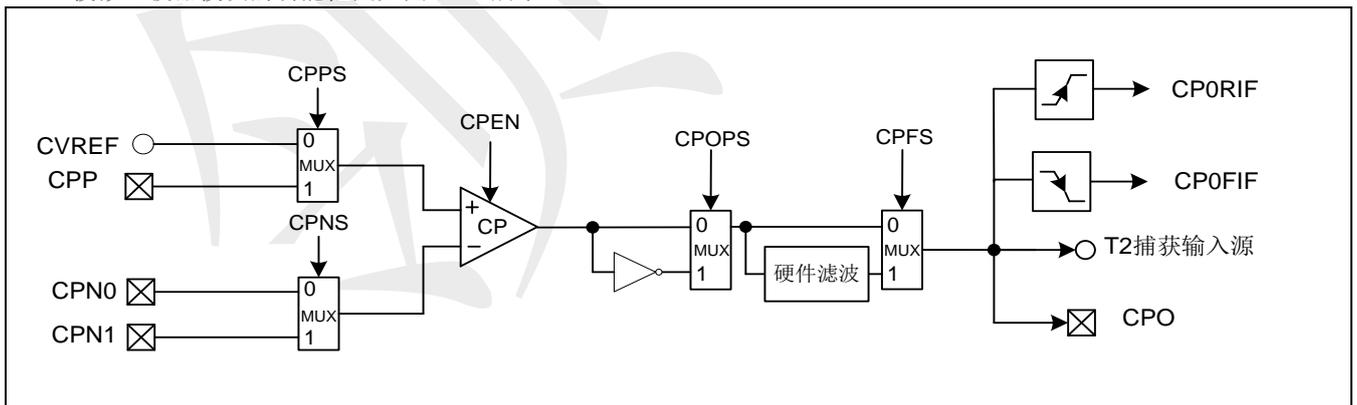


图 16-1 模拟比较器功能框图

上图中 CVREF 来自内部参考电压模块，该模块结构图如下：

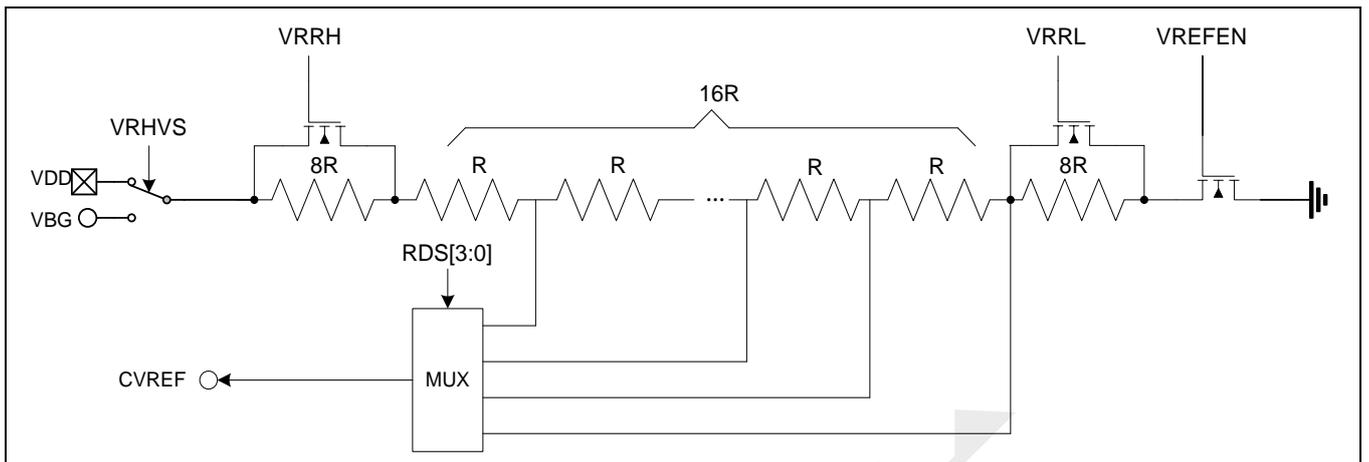


图 16-2 内部参考电压示意图

16.5 寄存器说明

模拟比较器的相关寄存器如表 16-2 所示：

表 16-2 模拟比较器寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
CPOCON	模拟比较器控制寄存器 ^①	×	R/W	0000_0000B	AEH
CPOVRCON	模拟比较器内部参考电压控制寄存器	×	R/W	0000_0000B	AFH
CPFRHS	模拟比较器响应时间配置寄存器	×	R/W	uuuu_uu00B	ADH
TESTCON	测试控制寄存器	×	R/W	u000-0000B	FFAFH

模拟比较器寄存器的详细说明如下：

模拟比较器控制寄存器 CPOCON (AEH)

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	CPO	CPFS	CPOPS	CPEN	CPPS	CPNS	CPORIF	CPOFIF
访问权限：	R	R/W	R/W	R/W	R/W	R/W	R	R
复位值：	0	0	0	0	0	0	0	0
提示：	—：未实现位；U：不受复位影响；R-0：只读，读0；R/W：可读写							

- Bit7 CPO：比较器输出状态位。
0：低电平，表示正端电压 < 负端电压或比较器未使能（默认）。
1：高电平，表示正端电压 > 负端电压。
- Bit6 CPFS：比较器输出滤波选择位。
0：无滤波（默认）。
1：有滤波。
- Bit5 CPOPS：比较器输出极性选择位。
0：正相（默认）。
1：反相。
- Bit4 CPEN：比较器使能位。
0：关闭比较器，比较器输出低电平（默认）。
1：开启比较器。
- Bit3 CPPS：比较器正端输入选择位。

0: 选择电阻分压 CVREF (默认)。

1: 选择管脚 CPP。

Bit2 CPNS: 比较器负端输入选择位。

0: 选择 CPNO (默认)。

1: 选择 CPN1。

Bit1 CPORIF: 比较器输出上升沿中断标志位。

0: 没有出现上升沿。

1: 出现上升沿, 如果使能中断, 可产生中断, 需软件读 1 写 0 清标志位。

Bit0 CPOFIF: 比较器输出下降沿中断标志位。

0: 没有出现下降沿。

1: 出现下降沿, 如果使能中断, 可产生中断, 需软件读 1 写 0 清标志位。

模拟比较器内部参考电压控制寄存器 CPOVRCON (AFH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	RDS[3:0]				VRRH	VRRL	VRHVS	VREFEN
访问权限:	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
复位值:	0	0	0	0	0	0	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W: 可读写							

Bit7~Bit4 RDS[3:0]: 内部参考电压选择位, 与 VRRH 和 VRRL 配合, 可以实现各种电压, 详见下表。

VRRH	VRRL	CVREF ^①
0	0	$\frac{8 + RDS[3:0]}{32} \times V$
0	1	$\frac{RDS[3:0]}{24} \times V$
1	0	$\frac{8 + RDS[3:0]}{24} \times V$
1	1	$\frac{RDS[3:0]}{16} \times V$

Bit3 VRRH: 分压电阻高选择位。

Bit2 VRRL: 分压电阻低选择位。

Bit1 VRHVS: 内部参考电压源选择位。

0: 选择电源电压 VDD (默认)。

1: 选择基准电压 VBG。

Bit0 VREFEN: 内部参考电压使能位。

0: 关闭内部参考电压 (默认)。

1: 使能内部参考电压。

注 1: CVREF 的公式中, 当 VRHVS=0 时, VS=VDD; 当 VRHVS=1 时, VS=VBG。

响应时间配置寄存器 CPMRHS (ADH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	—	—	—	—	—	FREN	HYSEN
访问权限:	R-0	R-0	R-0	R-0	R-0	R-0	R/W	R/W
复位值:	U	U	U	U	U	U	0	0
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit0 HYSEN: 比较器迟滞使能信号
 0: 迟滞关闭; (默认)
 1: 迟滞使能;
- Bit1 FREN: 比较器响应时间配置,
 0: 相应时间正常; (默认)
 1: 响应时间减小;

测试控制寄存器 TESTCON (FFAFH)

位序号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义:	—	LVRTE ^①	SYSRST_TE ^①	CKTE1 ^①	CKTE ^①	CPOEN	CKOS[1:0]	
访问权限:	R-0	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	U	U	U	U	U	0 ^C	0 ^C	0 ^C
提示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写; C (上标): 特殊复位源							

- Bit2 CPOEN: 比较器结果输出使能位。
 0: 禁止输出。
 1: 允许输出。

16.6 功能描述

图 16-3 给出了单个比较器的模拟输入电平和数字输出之间的关系。如 VIN+ 上的模拟电压低于 VIN- 上的模拟电压, 比较器输出数字低电平。如果 VIN+ 上的模拟电压高于 VIN- 上的模拟电压, 比较器输出数字高电平。通过与 IO 或其它数字模块 (如带捕获功能的定时器 T2) 配合, 模拟比较器还能够实现很多有用的测量功能, 从而提高应用的灵活性并降低系统成本。

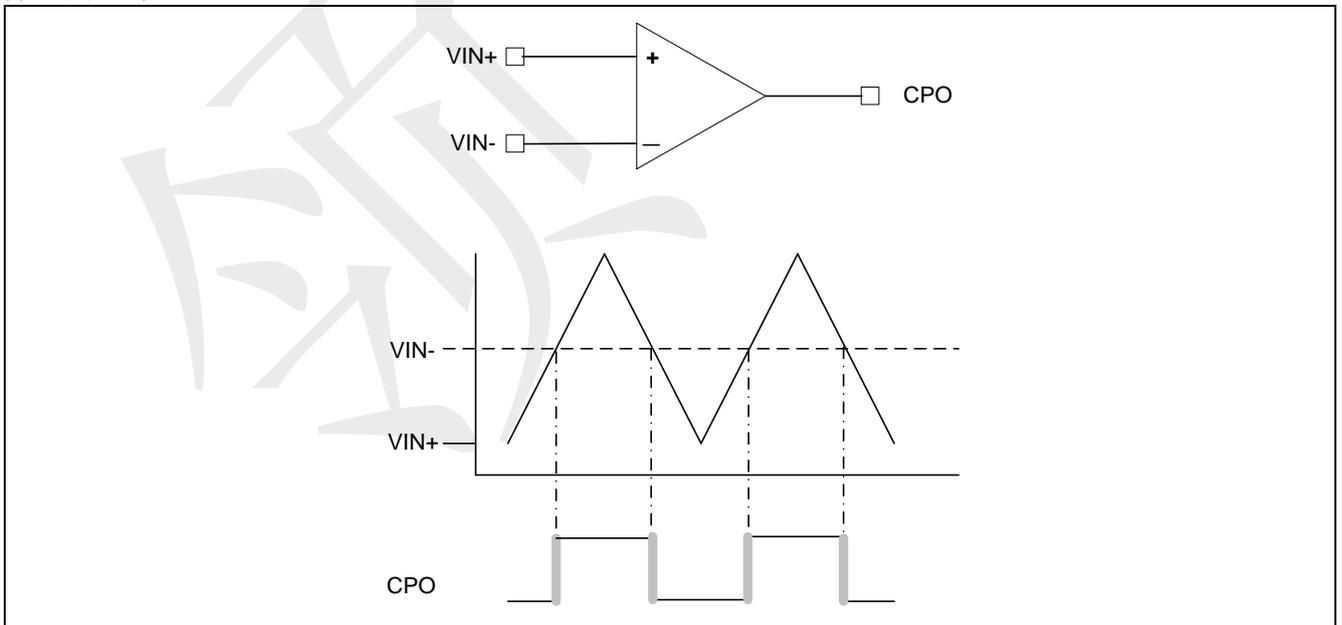


图 16-3 单个比较器比较原理

上图中比较器输出波形的灰色线条区表示因输入偏移和响应时间导致的不确定状态。

16.6.1 比较器使能

复位后比较器默认关闭, 不消耗电流。将 CPEN (CPOCON.4) 置 1 可开启比较器操作。

16.6.2 比较器输出选择

可通过读模拟比较器输出 CPO 来监视比较器输出，也可以直接输出到管脚，请参考 16.3 管脚配置。

比较器输出可以作为 T2EX 的捕获输入以实现很多低成本的应用，请参考 11 定时器 T2。

比较器输出可选择是否经过硬件滤波模块：当 CPFS (CPOCON.6) 置 1 时，CPO 经过硬件滤波后再输出。该硬件滤波的典型值是 1.5 μ s，但随温度和电压变化较大。

16.6.3 比较器输入选择

LCM08F16 的模拟比较器模块有两种基本配置：

- ✧ 两个外部电压比较。
- ✧ 外部电压和内部参考电压比较。

两个外部电压比较时，比较器正端输入选择 CPP；比较器负端可选择 CPN0 或 CPN1。

外部电压与内部参考电压比较时，比较器正端输入选择内部参考电压 CVREF；比较器负端可选择 CPN0 或 CPN1。

具体设置请参考 16.3 管脚配置。

16.6.4 比较器中断

比较器 0 有上升沿和下降沿检测器，所以输出值的任何变化都可产生中断。通过读比较器输出标志位 CPO，可以得到比较器输出的值。CPO 由 0 变 1，即发生上升沿跳变时，会触发比较器上升沿中断请求，标志位 CP0RIF 置 1，如果中断允许（对应中断使能位 EIE1.5 置 1）则触发中断；CPO 由 1 变 0，即发生下降沿跳变时，会触发比较器下降沿中断请求，标志位 CP0FIF 置 1，如果中断允许（对应中断使能位 EIE1.6 置 1）则触发中断。标志位 CP0FIF 和 CP0RIF 需要软件清零，且软件清零之前，需要先对该位做读取操作，即读到 1 后再清 0。

16.7 使用提示

既然比较器的核心功能是比较两个模拟电压，选择好 CP+/CP- 的输入信号，使能比较器后就可以得到比较结果。如果模拟比较器有一端来自外部管脚时，必须先把该管脚设置成模拟输入（输入模式，模拟通道开启）。

当选择内部电阻分压做比较器输入时，在比较过程中切换电阻分压比可能导致比较器输出出现短暂的跳变。因此建议需要切换电阻分压比时先关闭模拟比较器然后切换，完成切换后在开启模拟比较器。用到比较器中断时，每次重新开启前都必须清 CP0RIF 与 CP0FIF 两个标志。而有些应用中不希望关闭比较器，那么切换后等待 2 μ S 再读取比较器输出（如用比较器做多个按键检测时）。

待机模式下，如果比较器已提前使能，那么进入待机模式后比较器依旧工作。同样，如果比较器相关中断已经使能，那么比较器中断出现后将唤醒 CPU 进入正常工作模式。

停机模式下，比较器也可以工作，配置与待机模式下配置相同。但是由于电路系统时钟已关闭，比较器中断无法采样，也就无法唤醒。因此在停机模式下为了减低电流必须关闭所有的模拟模块。

如果在睡眠或停止模式下发生复位，那么比较器将复位到初始状态。



17. 看门狗定时器 WDT

看门狗定时器（WDT）主要用于程序监控，在计数溢出后产生复位信号，使电路复位，避免进入死机等错误执行状态。

17.1 基本特征

LCM08F16 的 WDT 具备以下特征：

- ◇ WDT 采用 15 位计数器（由 7 位预分频器和 8 位计数器组成）实现。
- ◇ WDT 溢出时间间隔可步进调节。典型条件下，WDT 溢出时间范围为 5.6ms~1433.6ms。
- ◇ STOP 模式下可配置唤醒电路。

17.2 工作模式

上电后，WDT 默认关闭，清 WDT 动作完成后将打开 WDT，工作模式下，WDT 一旦打开就无法再关闭。待机模式下，WDT 不工作。

待机模式下，WDT 默认不工作。通过配置系统配置寄存器 SYSCFG 中的 RCLCFG（置 0）和 WDTCFG（置 1），在待机模式下仍可工作，产生 WDTIRQ 中断可唤醒电路。

17.3 内部框图

WDT 内部结构如下：

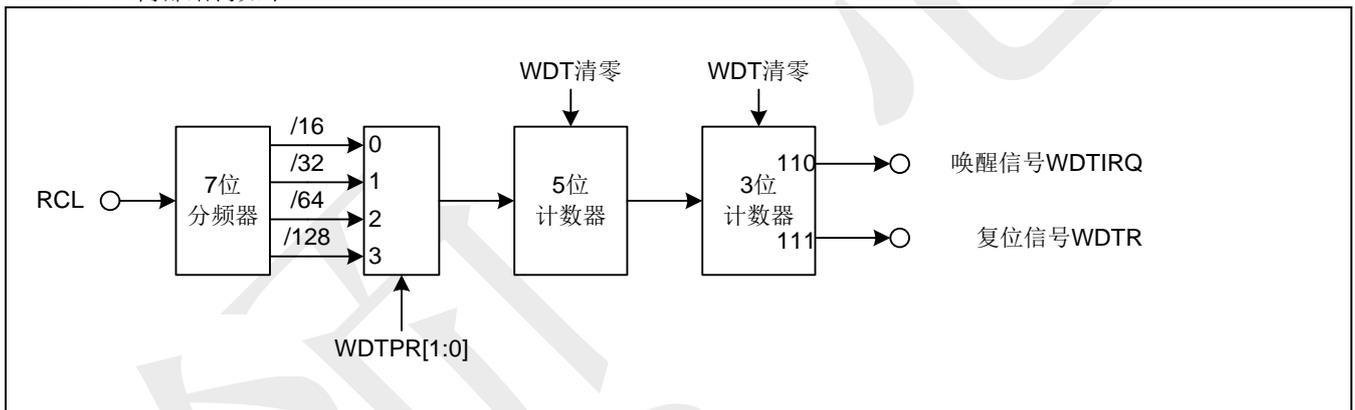


图 17-1 WDT 功能框图

17.4 寄存器说明

WDT 的相关寄存器如表 17-1 所示。

表 17-1 WDT 寄存器表

名称	说明	可位寻址	读写权限	复位值	字节地址
WDTCON	WDT 控制寄存器	×	R/W	1111_1111B	DDH
WDTCLR0	WDT 清零寄存器 0	×	W	uuuu_uuuuB	DEH
WDTCLR1	WDT 清零寄存器 1	×	W	uuuu_uuuuB	DFH
SYSCFG	系统配置寄存器	×	R/W	1000_00u1B	FFA2H

WDT 的寄存器详细说明如下：

WDT 控制寄存器 WDTCON（DDH）

名称/地址：	WDTCON/DDH							
位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0

位 定义:	WDTRL[5:0]						WDTPR[1:0]	
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	1	1	1	1	1	1	1	1
提 示:	R-1: 只读, 读出值为 1; R/W : 可读写;							

Bit7~Bit2 WDTRL[5:0]: 6 位自动装载初值的向下计数器的初始值设置位。默认为 1FH。

Bit2~Bit0 WDTPR[1:0]: WDT 时钟预分频选择位。

00: RCL/16。

01: RCL/32。

10: RCL/64。

11: RCL/128 (默认)。

WDT 清零寄存器 1 WDTCLR1 (DFH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTCLR1[7:0]							
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	U	U	U	U	U	U	U	U

WDT 清零寄存器 0 WDTCLR0 (DEH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	WDTCLR0[7:0]							
访问权限:	W	W	W	W	W	W	W	W
复 位 值:	U	U	U	U	U	U	U	U

WDTCLR0、WDTCLR1 为 WDT 清零寄存器。打开 WDT 功能需向 WDTCLR0 写 53H, 向 WDTCLR1 写 ACH。

系统配置寄存器 SYSCFG[®] (FFA2H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	RSTCFG	-	-	WDTCFG	CFG[1:0]		RCLLV	RCLCFG
访问权限:	R/W	R/W	R/W	R/W	R/W	R-0	R/W	R/W
复 位 值:	1	0	0	0	0	0	u	1
提 示:	- : 未实现位; U : 不受复位影响; R-0: 只读, 读出值为 0; R/W : 可读写;							

Bit4 WDTCFG: STOP 模式下 WDT 配置位。

0: STOP 模式下, 禁止 WDT (默认)。

1: STOP 模式下, 允许 WDT。

Bit0 RCLCFG: RCL 配置位。

0: RCL 一直开启。

1: 工作模式下开启 RCL; STOP 和 SLEEP 模式下, 关闭 RCL (默认)。

注 1: 该寄存器除 bit4 (WDTCFG) 外, 其它位在复位后只能写一次, 再次写入无效, 只有等到复位后才能再次写入。

17.5 功能描述

WDT 采用 15 位计数器 (由 7 位预分频器、5 位可自动装载预置初值的向下计数器和 3 位计数器组成) 实现, 由 RCL 提供。

WDT 缺省是关闭的, 一旦执行了清 WDT 操作, WDT 即刻开始工作, 而且不能再被关闭。WDT 计数到总溢出时间的 $\frac{6}{7}$ 时产生中断 WDTIRQ 唤醒系统, 计数溢出后产生复位信号 WDTR 复位电路, 同时置位复位标志位 WDTF。清零 WDT 时, 清零 WDTF。

在 SLEEP 模式时，RCL 关闭，WDT 不工作。在 STOP 模式时，RCL 默认关闭，WDT 默认也不工作。只有当设置 RCLCFG=0、WDTCFG=1 时才允许 WDT 工作。

WDT 溢出时间= $T_{RCL} * 2^{WDTPR[1:0]} * (WDTRL[4:0]+1) * 7$ 。范围约在 $2^7 \sim 2^{15}$ 个 RCL 时钟周期。RCL 的频率按典型值 20KHz 计算，则 WDT 溢出时间范围如下表：

表 17-2 WDT 溢出时间范围列表

WDTPR[1:0]	WDTRLCLK	WDTRL[4:0]=00000	WDTRL[4:0]=11111	溢出时间步进
00	RCL/16	5.6ms	179.2ms	5.6ms
01	RCL/32	11.2ms	358.4ms	11.2ms
10	RCL/64	22.4ms	716.8ms	22.4ms
11	RCL/128	44.8ms	1433.6ms	44.8ms

17.6 使用提示

清 WDT 步骤如下：

- 1) 写 00H-> WDT_CLR0
- 2) 写 00H-> WDT_CLR1
- 3) 写 53H-> WDT_CLR0
- 4) 写 ACH-> WDT_CLR1。

系统复位后默认 WDT 关闭。按照上述流程执行后启动 WDT 计数，此后 WDT 将一直工作，软件无法关闭。整个软件循环中必须在 WDT 溢出时间到来之前重新清一次 WDT 计数器（步骤同启动过程），否则将引起 WDT 复位。

18. 通用串行接口 UART0

通用异步收发器（UART）是该电路提供的串行 I/O 模块之一，是可以和外设（例如个人电脑、RS-232 和 RS-485 接口）通信的全双工异步系统。它有两个互相独立的接收、发送缓冲器，可以同时发送和接收数据。异步串行通信以帧为单位，可以连续传送也可以断续。还可以作为同步移位寄存器使用。

18.1 基本特征

模块特征：

- ◇ 全双工，异步通信
- ◇ 四种工作模式。
- ◇ 可编程的数据字长（8 位或 9 位）。
- ◇ 完全集成的具有 8 位预分频器的波特率发生器。
- ◇ 可设置高精度波特率。
- ◇ 发送和接收中断。

18.2 工作模式

正常工作模式下和待机模式下 UART0 均可正常工作，产生中断。

停机模式下，UART0 被禁止。

18.3 功能框图

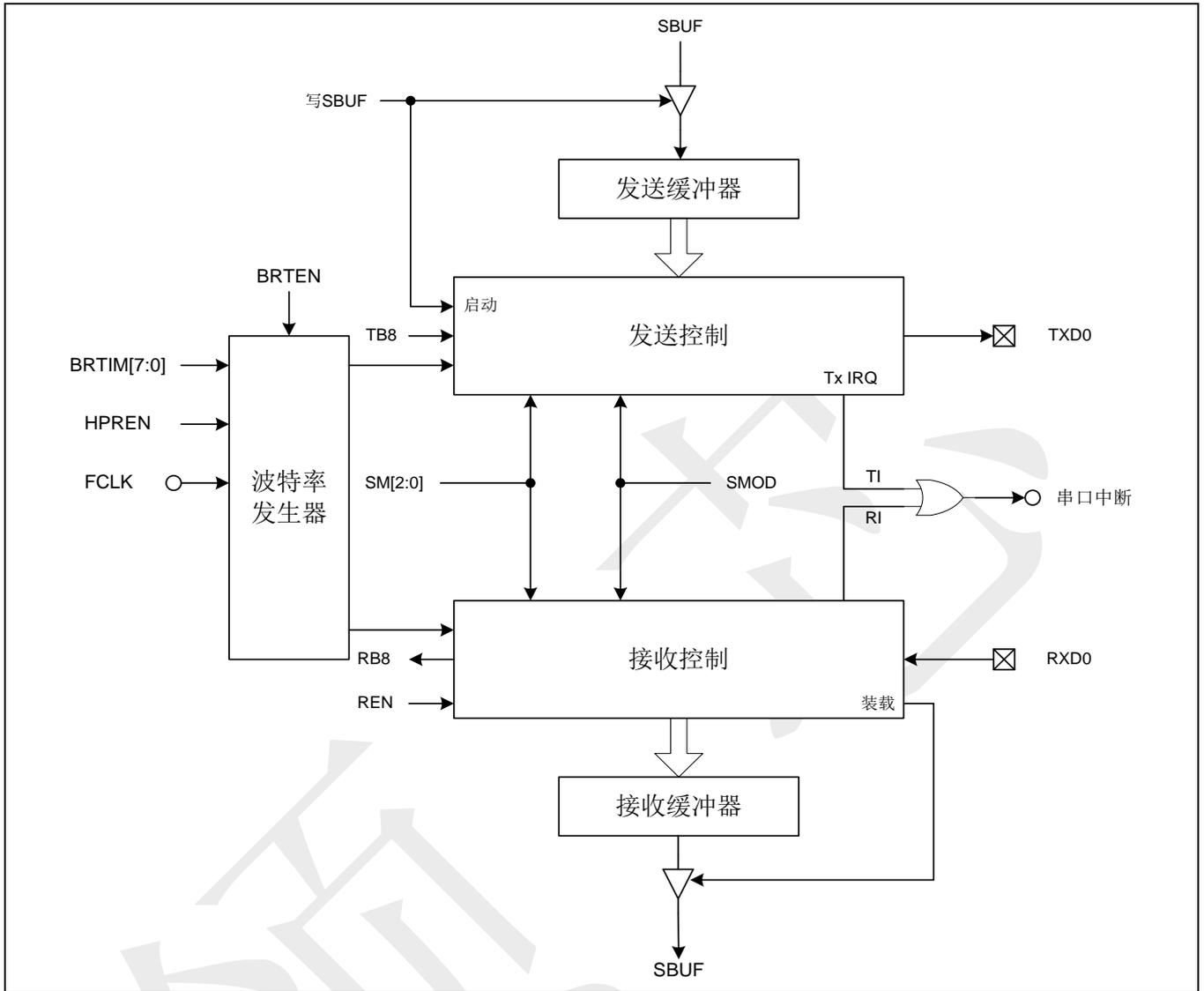


图 18-1 UART 功能框图

18.4 管脚配置

UART0 模块用到 2 个外部复位脚，其配置如下表。

表 18-1 UART0 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
TXD0	O	UART0 数据输出脚。	P2.0	UART0EN1 (IOMUX0.7) 置 1。
RXD0	I	UART0 数据输入脚。	P2.1	
TXD1	O	UART0 数据输出脚。	P4.1	UART0EN1 (IOMUX0.7) 置 1, UART0EN0 (IOMUX0.6) 置 1。
RXD1	I	UART0 数据输入脚。	P4.2	

18.5 寄存器说明

UART 相关寄存器如下表所示：

表 18-2 UART 寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
SCON0	UART0 控制寄存器	x	R/W	0000_0000B	98H
SBUF0	UART0 接收发送缓冲寄存器	x	R/W	0000_0000B	99H
BRCON0	UART0 波特率控制寄存器	x	R/W	1000_0uuuB	8EH
BRTIM0	UART0 波特率计数器	x	R/W	0000_0000B	8FH
IOMUX0	IO 复用控制寄存器 0	x	R/W	u000_0000B	FFE0H

UART 相关寄存器详细说明如下：

UART 控制寄存器 0 SCON0 (98H)

位序号：	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位定义：	SM1	SM0	SM2	REN	TB8	RB8	TI	RI
位地址：	9FH	9EH	9DH	9CH	9BH	9AH	99H	98H
访问权限：	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
复位值：	0	0	0	0	0	1	0	0
提示：	—：未实现位；U：不受复位影响；R-0：只读，读 0；R/W：可读写							

Bit7~ Bit6 SM1~SM0：UART 工作模式选择位。

00：禁用（默认）。

01：工作模式 1：8 位异步通信模式，波特率可调。

10：工作模式 2：9 位异步通信模式，波特率固定。

11：工作模式 3：9 位异步通信模式，波特率可调。

Bit5 SM2：多机通信控制位，REN = 1 时该位设置有效。

工作模式 1 时：

0：接收到任意停止位都将产生中断标志（RI 位置 1）。

1：只有在接收到停止位为 1 时才会产生中断标志（RI 位置 1）。

工作模式 2/3 时：

0：第 9 位数据 RB8 为任意值都将产生中断标志（RI 位置 1）。

1：只有在接收到第 9 位数据 RB8 为 1 时才会产生中断标志（RI 位置 1）。

Bit4 REN：串行接收使能位。

0：禁止串行接收数据（默认）。

1：允许串行接收数据。

Bit3 TB8：工作模式 2 或 3，TB8 由程序装载要发送的第 9 位数据。

Bit2 RB8：工作模式 2 或 3，RB8 是接收到的第 9 位数据。工作模式 1，RB8 接收到的是停止位。

Bit1 TI：发送中断标志位。

停止位开始发送时该位置 1，需软件清除。

Bit0 RI：接收中断标志位。

工作模式 1/2/3 中，接收到停止位时 RI 置 1(例外情况见 SM2 说明)，必须由软件清零。

UART 收发缓冲寄存器 SBUF0 (99H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SBUF[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7~Bit0 SBUF[7:0]: 8 位发送/接收的缓冲寄存器, 写该寄存器则启动 TXD 发送数据; 读该寄存器则读取接收到的数据。

波特率控制寄存器 BRCON0 (8EH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SMOD	BRTEN	—	—	HPREN ^①	—	—	—
访问权限:	R/W	R/W	R/W	R/W	R/W	R-0	R-0	R-0
复 位 值:	1	0	0	0	0	U	U	U
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7 SMOD: 波特率选择位。

0: 波特率计算公式中第一项为 1/32 (默认)。

1: 波特率计算公式中第一项为 1/16。

Bit6 BRTEN: 波特率发生器使能位 (工作模式 1/3 下有效)。

0: 波特率发生器禁止 (默认)。

1: 波特率发生器开启。

Bit5~ Bit4 保留。

Bit3 HPREN 波特率高精度控制位。

Bit2~ Bit0 未实现。

注 1:	当该位置 1 时, 可变波特率模式下波特率计算公式 = $(2^{SMOD}/32) * (1/(255.5-N)) * FCLK$ 。第二项分母 256 - N 变成: $(256-N)+0.5$ 。当该位为 0 时, 计算方法如前面所述。 该控制位在需要高精度波特率通信应用中, 非常有用。如利用 4.194MHz(PLL 时钟, 32.768KHz OSC 的 128 倍频)做 CPU 时钟时, 如果要产生 $19200 \pm 2\%$ 精度的波特率, 则 N 无论置 243 (对应波特率 18724) 或 242 (对应波特率 20164) 得到的波特率误差都超过 2%。此时如果置 HPREN 为 1, 波特率变成 19418, 误差为 1.1%。
------	---

波特率初值设置寄存器 BRTIM0 (8FH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	BRTIM[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读 0; R/W : 可读写							

Bit7~Bit0 BRTIM[7:0]: BRTIM 是波特率发生器的初值设置寄存器。

波特率发生器是一个 8 位向上计数器, 当加 1 到 FF 时, 计数器溢出, 产生一个溢出脉冲。每次溢出后计数器会自动载入初始值, 重新加 1 计数。UART 工作在方式 1 或方式 3 时, 使用该溢出时钟作为发送接收时钟, 使 UART 的波特率可以有较大的调整范围。

管脚复用控制寄存器 IOMUX0 (FFE0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UARTEN[1]	UARTEN[0]	SPIEN [1]	SPIEN[0]	nIRQEN[1]	nIRQEN[0]	PWMEN[1]	PWMEN[0]

访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复位值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7:6 UARTEN: UART 复用使能位。
11: P4.1/P4.2 用作 TXD/RXD
10: P2.0/P2.1 用作 TXD/RXD。
0x: UART 接口不使能 (默认 GPIO)

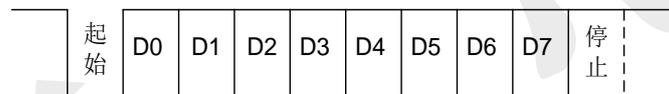
18.6 功能描述

异步串行通信接口 (UART0) 有两个互相独立的接收、发送缓冲器, 可以同时发送和接收数据。发送缓冲器只能写入而不能读出, 接收缓冲器只能读出而不能写入, 因而两个缓冲器共用一个地址码, 两个缓冲器统称串行通信特殊功能寄存器 SBUF0。数据由 TXD 输出, 由 RXD 接收。

UART0 设有 3 种工作方式, 其中方式 1, 方式 3 的波特率是可变的, 方式 2 是固定的, 以供不同应用场合选用。波特率由独立的波特率发生器产生。用软件可以选择不同的工作方式和设置不同的波特率。

18.6.1 方式 1

当 SM0=1, SM1=0 时, 串口选择方式 1。其波特率由独立波特率发生器产生。发送或接收一帧信息为 10 位: 1 位起始位, 8 位数据位和 1 位停止位。帧格式如下:



当往寄存器 SBUF0 写数据就启动 TXD 发送数据, “写 SBUF0” 信号还把 “1” 装入发送移位寄存器的第 9 位即停止位, 并通知发送控制单元开始发送。当 1 帧数据发送完成后, 中断请求标志位 TI 置 1, 如果中断允许则申请中断。

当接收允许标志位 REN 置 1 且清除 RI 后, 当检测到 RXD 端口从 1 到 0 的负跳变时就启动一次接收。如果第一位接收到的值不为 0 (起始位), 则起始位无效, 复位接收电路, 并重新检测从 1 到 0 的跳变。如果接收到的起始位有效, 则将它输入移位寄存器, 并接收本帧的其余信息。当一帧数据接收完后, 将 8 位数据和停止位分别送入接收缓冲器 SBUF0 和 RB8, 然后 RI 置 1。如果中断允许则申请中断。

在进行最后一次移位时, 能将数据送入接收数据缓冲器 SBUF0 和 RB8, 而且 RI 置 1 的条件是:

- RI=0。
- SM2=0, 接收到任意停止位;
或 SM2=1, 接收到的停止位为 1。

若上述两条件不能同时满足, 则接收到的数据作废并丢失, 也不置位 RI。接收器重新检测 RXD 端口上的 1 到 0 的跳变, 继续下一帧的接收。

方式 1 的波特率是可变的, 可变的波特率由独立波特率发生器产生。其波特率为:

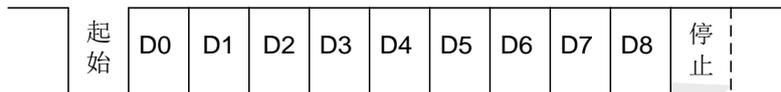
$$\text{波特率} = \frac{2^{\text{SMOD}}}{32} \times \frac{1}{(256-N)} \times \text{FCLK}$$

注: 上式中 N 是波特率发生器 BRTIMO 装载的初值。另外上式中 1/(256-N) 这一项受 BRCON0.3 影响。

18.6.2 方式 2 和 3

当 $SM0=0$ 、 $SM1=1$ 时，串口选择方式 2；当 $SM0=1$ 、 $SM1=1$ 时，串口选择方式 3。方式 2 和 3 的不同在于它们波特率产生方式不同。方式 2 的波特率是固定的，为功能模块时钟 FCLK 的 $1/32$ 或 $1/64$ 。方式 3 的波特率由独立波特率发生器产生。

在模式 2 和 3，发送和接收一帧数据信息为 11 位：1 位起始位（0），9 位数据位和 1 位停止位（1）。帧格式如下：



数据发送时第 9 位数据位由 SCON0 中的 TB8 提供，可软件设置为 1 或 0，接收时第 9 位数据装入 SCON0 的 RB8。若 $SM2=1$ ，如果接收到的第 9 位数据（RB8）为 1，才将数据送入接收缓冲器 SBUF0，并 RI 置 1，申请中断，否则数据将丢失。若 $SM2=0$ ，则无论第 9 位数据（RB8）是 1 还是 0，都能将数据装入 SBUF0，并且申请中断。其他发送接收操作方式与方式 1 相同。

在进行最后一次移位时，能将数据送入接收数据缓冲器 SBUF0 和 RB8，而且 RI 置 1 的条件是：

- RI=0；
- $SM2=0$ ，接收到任意第 9 位数据
或者 $SM2=1$ ，接收到第 9 位数据 RB8=1。

若上述两条件不能同时满足，则接收到的数据作废并丢失，也不置位 RI。接收器重新检测 RXD 端口上的 1 到 0 的跳变，继续下一帧的接收。

在方式 2 和方式 3 中，接收到的停止位与 SBUF0、RB8 和 RI 无关。

方式 2 的波特率是固定的，其波特率为：

$$\text{波特率} = \frac{2^{SMOD}}{64} \times \text{FCLK}$$

方式 3 的波特率为：

$$\text{波特率} = \frac{2^{SMOD}}{32} \times \frac{1}{(256-N)} \times \text{FCLK}$$

注：上式中 N 是波特率发生器 BRTIMO 装载的初值。另外上式中 $1/(256-N)$ 这一项受 BRCON0.3 影响。

19. 串行外设接口 SPI

串行外设接口（SPI）提供访问一个全双工同步串行总线或半双工同步串行总线的的能力。SPI 可以作为主机或从机工作，可以使用全双工方式或半双工方式，并可在同一总线上支持多个主机和从机。工作在从方式或多主机方式时，从选择信号（NSS）只能被配置为输入。多主机环境中通过检测 NSS 信号为低时禁止主方式操作，以避免两个以上主机试图同时进行数据传输而发生总线冲突。工作在单主机时，主机方从选择信号 NSS 不被 SPI 使用，当普通 IO 使用。

19.1 基本特征

- ◇ 可选择主从机方式。
- ◇ 支持全双工方式和半双工方式。
- ◇ 支持多主机通信，有检测主机冲突功能。
- ◇ 可配置波特率大小。
- ◇ 时钟极性和相位可配置。
- ◇ 数据高低位优先发送可选择。
- ◇ 主从机数据单线传输功能。

19.2 工作模式

正常工作模式下和待机模式下 SPI 均可正常工作，产生中断。
停机模式下，SPI 被禁止。

19.3 功能框图

功能框图如下：

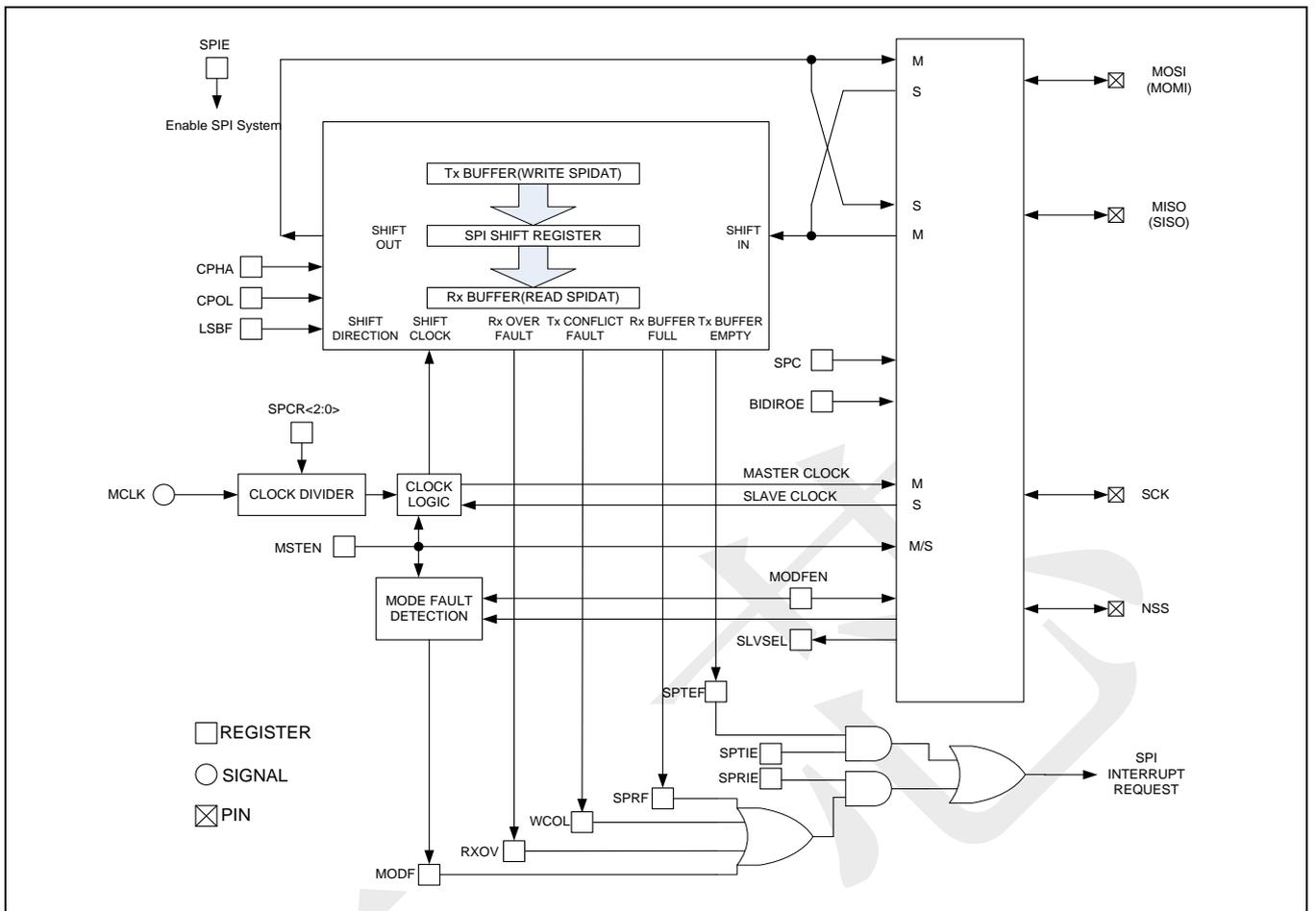


图 19-1 SPI 功能框图

19.4 管脚配置

SPI 模块用到 4 个外部复位脚，其配置如下表。

表 19-1 SPI 管脚配置表

管脚名称	管脚类型	管脚描述	复用 IO 口	配置
NSS	I/O	SPI 接口使能脚。	P1.7	SPIEN1 (IOMUX0.5) 置 1。
MOSI	I/O	SPI 接口主出从入脚。	P1.4	
MISO	I/O	SPI 接口主入从出脚。	P1.5	
SCK	I/O	SPI 接口时钟脚。	P1.6	
NSS	I/O	SPI 接口使能脚。	P4.7	SPIEN1 (IOMUX0.5) 置 1 且 SPIEN0 (IOMUX0.4) 置 1。
MOSI	I/O	SPI 接口主出从入脚。	P4.4	
MISO	I/O	SPI 接口主入从出脚。	P4.5	
SCK	I/O	SPI 接口时钟脚。	P4.6	

19.5 寄存器说明

与 SPI 相关的寄存器如下：

表 19-2 SPI 寄存器列表

名称	说明	可位寻址	读写权限	复位值	字节地址
SPICON0	SPI 控制寄存器 0	v	R/W	0000_0000B	F8H

SPICON1	SPI 控制寄存器 1	×	R/W	00uu_u000B	F9H
SPIFLG	SPI 标志寄存器	×	R/W	uu01_0000B	FAH
SPIBUF	SPI 数据寄存器	×	R/W	0000_0000B	FBH
IOMUX1	IO 复用控制寄存器 1	×	R/W	0000_0000B	FFE1H

SPI 控制寄存器 0 SPICON0 (F8H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPIE	MSTEN	LSBF	SPC ^①	BIDIROE ^②	MODFEN ^③	SPTIE ^④	SPRIE ^⑤
位 地 址:	FFH	FEH	FDH	FCH	FBH	FAH	F9H	F8H
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7** SPIE: SPI 模块使能位。
0: 禁止 SPI 模块 (默认)。
1: 使能 SPI 模块。
- Bit6** MSTEN: 主从机方式选择位。
0: 工作在从机方式 (默认)。
1: 工作在主机方式。
- Bit5** LSBF: 低位优先发送使能位。
0: 高位优先发送 (默认)。
1: 低位优先发送。
- Bit4** SPC: SPI 工作方式选择位。
0: 选择全双工方式 (默认)。
1: 选择半双工方式。
- Bit3** BIDIROE: 半双工方式时 MOMI 或 SISO 输入输出控制位。
0: MOMI 或 SISO 设置成输入 (默认)。
1: MOMI 或 SISO 设置成输出。
- Bit2** MODFEN: 多主机方式冲突检测使能位。
0: 多主机方式冲突检测输入禁止, NSS 做普通 IO (默认)。
1: 多主机方式冲突检测输入使能。
- Bit1** SPTIE: SPI 发送缓冲器空中断使能位。
0: 禁止 SPTEF 中断 (默认)。
1: 允许 SPTEF 申请中断。
- Bit0** SPRIE: SPI 中断使能位 (相对于 SPRF、RXOV、WCOL、MODF)。
0: 禁止中断 (默认)。
1: 允许中断。

注 1:	SPC=1 时选择半双工方式。此时, 当 MSTEN = 0 (从机方式) 时, MISO 变为 SISO 做双向数据传输, MOSI 不被 SPI 使用, 做普通 IO。当 MSTEN = 1 (主机方式) 时, MOSI 变为 MOMI 做双向数据传输, MISO 不被 SPI 使用, 做普通 IO。
注 2:	只有当 SPC=1 时, BIDIROE 才有效, 用来决定 MOMI 和 SISO 的输入输出属性。
注 3:	SPI 配置成主机时, NSS 被设置成多主机方式冲突检测输入脚。当 SPI 配置成从机时, 该位无效。
注 4:	当发送缓冲区为空即 SPTEF=1 时, 申请中断。
注 5:	SPRIE 位用来控制 SPRF、RXOV、WCOL、MODF。

SPI 控制寄存器 1 SPICON1 (F9H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	CPOL	CPHA	—	—	—	SPCR[2:0]		
访问权限:	R/W	R/W	R	R	R	R/W	R/W	R/W
复 位 值:	0	0	U	U	U	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7 CPOL: SPI 时钟 (SCK) 极性选择位。
0: SCK 空闲状态时处于低电平 (默认)。
1: SCK 空闲状态时处于高电平。

Bit6 CPHA: SPI 时钟相位控制位。
0: 在 SCK 周期的第一个边沿锁存数据 (默认)。
1: 在 SCK 周期的第二个边沿锁存数据。

Bit5~ Bit3 未实现位。

Bit2~Bit0 SPCR[2:0]: SPI 时钟频率选择位。
000: MCK/2 (默认)。
001: MCLK/4。
010: MCLK/8。
011: MCLK/16。
100: MCLK/32。
101: MCLK/64。
110: MCLK/128。
111: MCLK/256。

SPI 标识寄存器 SPIFLG (FAH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	—	—	SPRF ^①	SPTEF ^②	RXOV	WCOL	MODF	SLVSEL
访问权限:	R-0	R-0	R	R	R/W	R/W	R/W	R
复 位 值:	U	U	0	1	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

Bit7~ Bit6 未实现位。

Bit5 SPRF: 接收缓冲器满标志位。
0: 在接收缓冲器中没有数据。
1: 在接收缓冲器中有新数据。

Bit4 SPTEF: 发送缓冲区空标志位。
0: 在发送缓冲器中有数据。
1: 在发送缓冲器中没有数据。

Bit3 RXOV: 接收缓冲器溢出标志位。
当接收缓冲器里数据未读走即 SPRF = 1, 而传输移位寄存又接收完一个新数据时 RXOV 置 1, 原来的数据被覆盖。当读到 RXOV 为 1 后, 该位才能软件清零。当 SPIE=0 时, 此标志位被复位。

Bit2 WCOL: 写冲突标志位。
当发送缓冲器里还有数据未发送即 SPTEF=0, 而又向发送缓冲器写数据时 WCOL 置 1。当读到 WCOL 为 1 后, 该位才能软件清零。当 SPIE=0 时, 此标志位被复位。

- Bit1** **MODF**: 多主机方式冲突标志位。
当检测到主方式冲突（SPI 设置在全双工多主机方式，NSS 有低电平输入）时，MODF 置 1。当读到 MODF 为 1 后，该位才能软件清零。当 SPIE=0 时，此标志位被复位。
- Bit0** **SLVSEL**: 从选择标志位。
当 NSS 引脚为低电平时该位被置 1，表示从机是被选中。当 NSS 引脚为高电平时（从机未被选中）该位被清 0。该位不是 NSS 引脚的即时值，而是该引脚输入的去噪信号。当 SPIE=0 时，此标志位被复位。

注 1:	SPRF 置 1 表示 SPI 传输完成，需要从数据寄存器 SPIBUF 中读数据。当读到 SPRF 为 1 后，再读数据寄存器 SPIBUF，SPRF 被清零。当 SPIE=0 时，此标志位被复位。
注 2:	当发送缓冲器为空时 SPTEF 置 1，往发送缓冲器写数据后自动清零。当读到 SPTEF 为 1 后，然后再写新的数据到 SPIBUF。在往 SPIBUF 写数据之前，必须读到 SPTEF 为 1，否则新写的数据会被忽略。当发送缓冲器的数据被移到传输移位寄存器时，SPTEF 自动置 1，启动一个字节的传输。当 SPIE=0 时，此标志位被复位。

SPI 数据寄存器 SPIBUF (FBH)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	SPIDAT[7:0]							
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit7~Bit0** **SPIDAT[7:0]**: 发送接收数据寄存器。
SPIDAT 用于发送和接收 SPI 传输数据。在主方式下，向 SPIDAT 写数据时，数据被放到传输移位寄存器时并启动发送，在从方式下，向 SPIDAT 写数据是预装要发送的数据。在主机或从机方式下，读 SPIDAT 是返回接收缓冲器的数据。

管脚复用控制寄存器 IOMUX0 (FFE0H)

位 序 号:	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
位 定 义:	UARTEN[1]	UARTEN[0]	SPIEN [1]	SPIEN[0]	nIRQEN[1]	nIRQEN[0]	PWMEN[1]	PWMEN[0]
访问权限:	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
复 位 值:	0	0	0	0	0	0	0	0
提 示:	—: 未实现位; U: 不受复位影响; R-0: 只读, 读出值为 0; R/W: 可读写;							

- Bit5:4** **SPIEN**: SPI 接口信号引脚复用控制位
11: SPI 接口信号复用到 P4.4~P4.7 引脚(MOSI / MISO /SCK/ NSS)。
10: SPI 接口信号复用到 P1.4~P1.7 引脚(MOSI / MISO /SCK/ NSS)。
01: SPI 接口不使能（默认 GPIO）。
00: SPI 接口不使能（默认 GPIO）。

19.6 功能描述

19.6.1 信号说明

SPI的全双工方式的接口：MOSI、MISO、SCK、NSS。半双工方式的信号线：MOMI，SISO，SCK，NSS，其中MOMI与MOSI复用且只存在于主机方式，SISO与MISO复用且只存在于从机方式。

◆ 串行时钟（SCK）

串行时钟（SCK）信号是主机的输出和从机的输入，用于同步主机和从机之间在MOSI和MISO线上的串行数据传输。当SPI作为主机时产生该信号。在从方式时，当从机未被选中时（NSS=1），SCK信号被忽略。

◇ 主输出、从输入 (MOSI)

全双工模式 (SPC=0) 下, MOSI用于从主机到从机的串行数据传输: 主机输出, 从机输入。

半双工模式 (SPC=1) 下, 作为主机时, MOSI变为MOMI, 其输入输出使能由控制位BIDIROE决定, 当BIDIROE=0时为输入, BIDIROE=1则为输出。作为从机时, MOSI不被SPI使用, 而是用作普通IO。

◇ 主输入、从输出 (MISO)

全双工模式 (SPC=0) 下, MISO用于从从机到主机的串行数据传输: 主机输入, 从机输出。

半双工模式 (SPC=1) 下, 作为从机时, MISO变为SISO, 其输入输出使能由控制位BIDIROE决定, 当BIDIROE=0时为输入, BIDIROE=1则为输出。作为主机时, MISO不被SPI使用, 而是用作普通I/O。

◇ 从选择 (NSS)

这是一个用于选择从机的可选管脚。

当工作在主机方式时, 如果 MODFEN = 0 时, NSS 作为从机选择输出位, 当与从机有数据传输的时候, 自动有效。如果 MODFEN = 1 且 SPC = 0 时, NSS 被配置成多主机方式冲突检测输入脚, 当 NSS 变低时, 表示产生主机冲突, MODF 置 1, 同时将 MSTEN 清零, SPI 变为从机方式, 并申请中断。

当工作在从机方式时, NSS 被配置成从机选择输入。当 NSS 变低时, 表示从机被选中准备与主机通信。

表 19-3 NSS 脚功能

SPIEN	MODFEN	SPC	主机方式 (MSTEN=1)	从机方式 (MSTEN=0)
0	X	X	普通 IO	普通 IO
1	0	0	从机选择输出	从机选择输入
1	0	1	从机选择输出	从机选择输入
1	1	0	多主机方式冲突检测输入	从机选择输入
1	1	1	普通 IO	从机选择输入

图 19-2~图 19-6 给出了不同方式下的典型连接图。

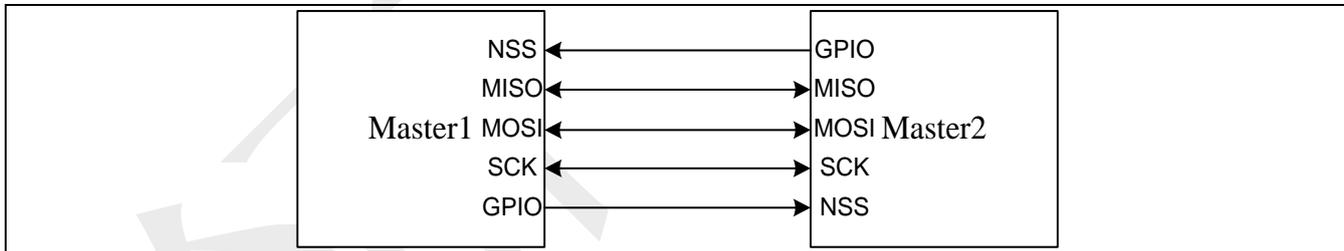


图 19-2 多主机连接图 (全双工方式)

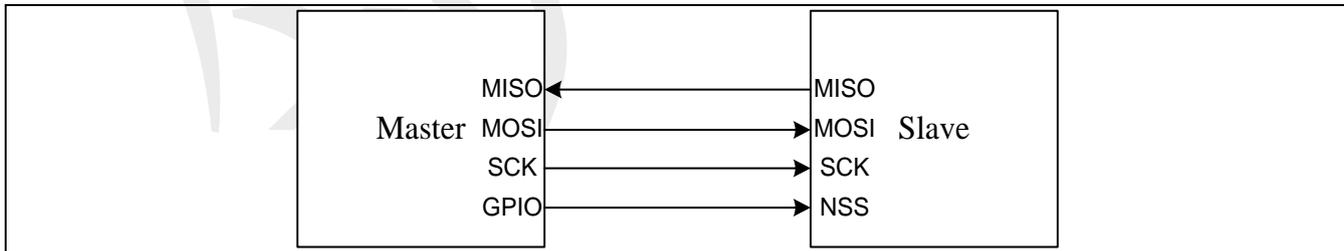


图 19-3 单主机和单从机连接图 (全双工方式)

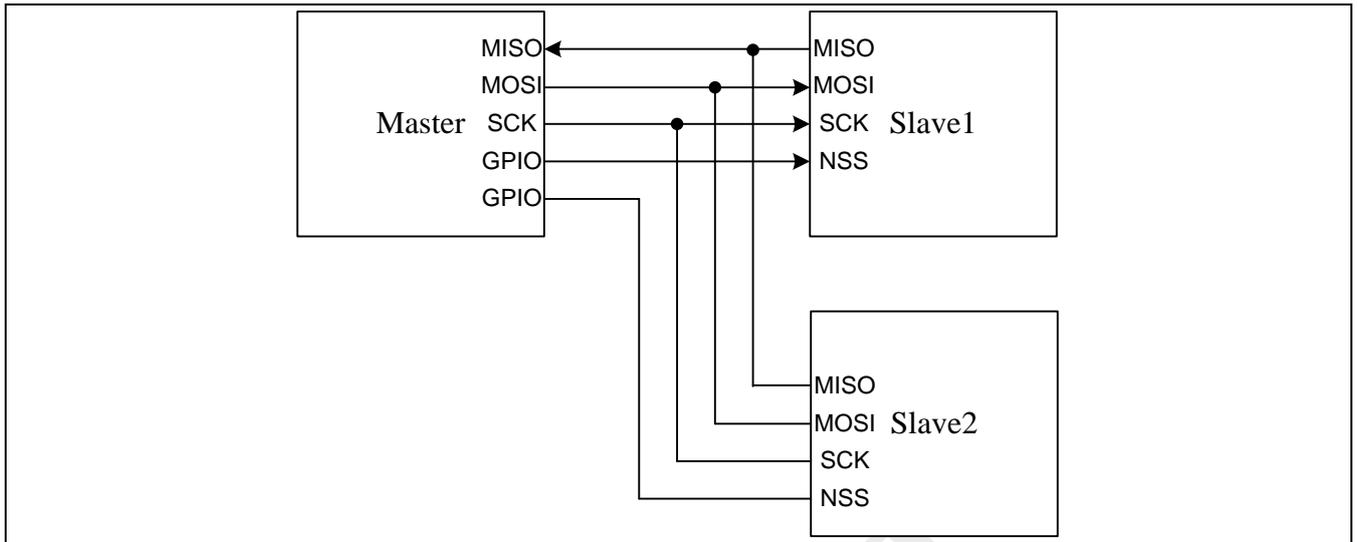


图 19-4 单主机和多从机连接图（全双工方式）

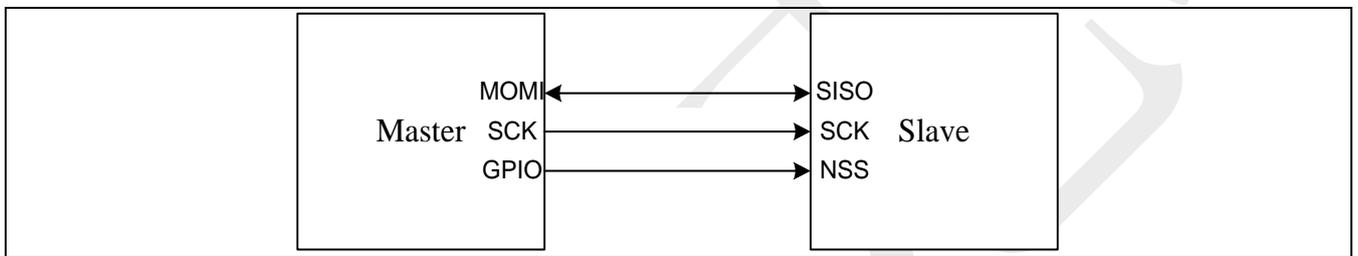


图 19-5 单主机和单从机连接图（半双工方式）

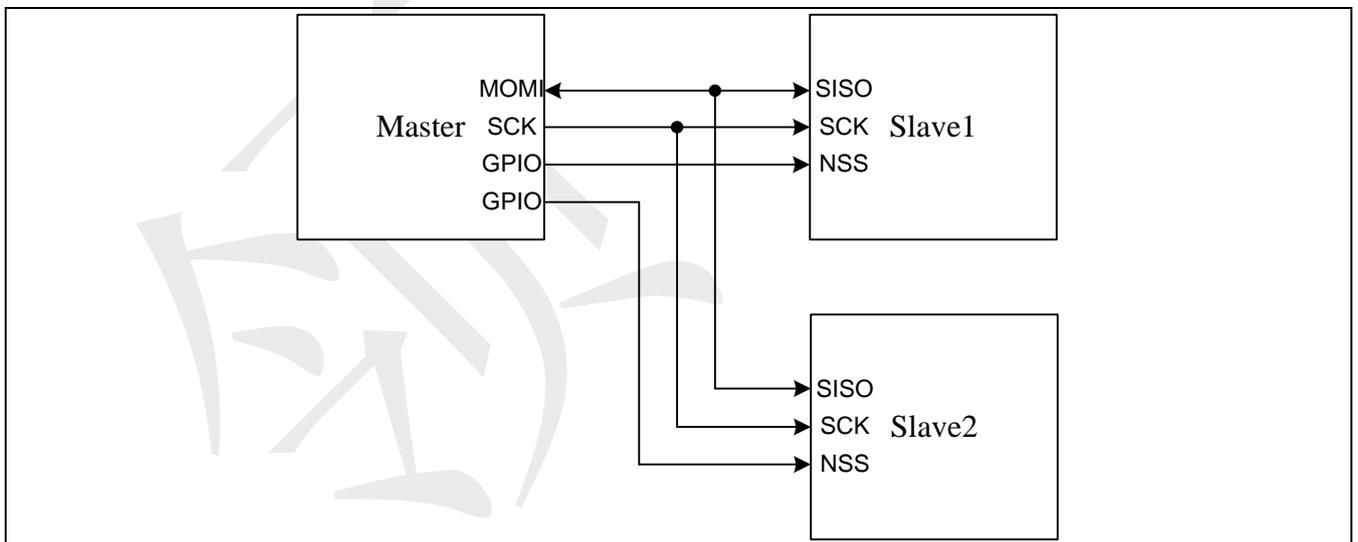


图 19-6 单主机和多从机连接图（半双工方式）

19.6.2 SPI 工作方式

◇ SPI 主方式

SPI 总线上的所有数据传输都由 SPI 主机启动。将 MSTEN 置 1，SPI 工作在主机方式。

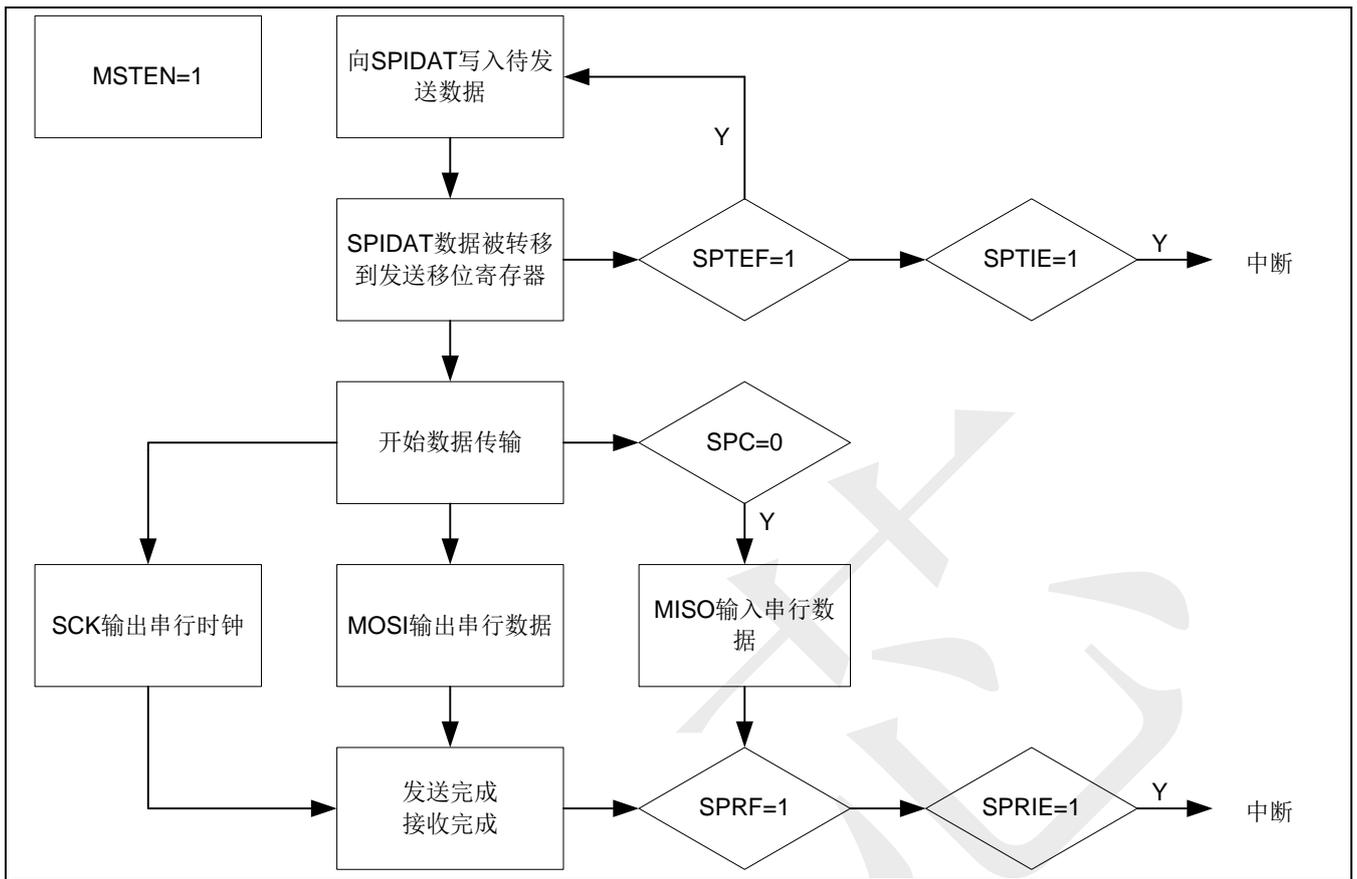


图 19-7 SPI 主机方式数据传输流程示意图

当处于主方式时，向 SPI 数据寄存器 SPIBUF 写入一个字节时是写发送缓冲器，随后 SPTEF 清零表示缓冲器有数据待发送。如果 SPI 传输移位寄存器为空，发送缓冲器的数据被传送到移位寄存器，数据传输开始，随后 SPTEF 置 1 表示发送缓冲器为空，可以向缓冲器中放下一个发送数据了，如果 SPTIE 为 1 时则申请中断。

数据被移到传输移位寄存器后，主机立即在 SCK 上输出串行时钟，同时在 MOSI 线上串行移出数据。如果 LSBF 为 1，移位寄存器的数据从低位开始发送；如果 LSBF 为 0，移位寄存器的数据从高位开始发送。

在全双工操作中，如果当主机在 MOSI 线上向从机发送数据时，被寻址的 SPI 从机可以同时从 MISO 线上向主机发送数据。在传输完成后，将接收到的数据从传输移位寄存器传到接收缓冲器，同时 SPRF 置 1，如果 SPI 中断允许则申请中断。因此 SPRF 标志即作为发送完成标志又作为接收数据完成标志。

SPI 可以工作在下面的三种主机方式：全双工多主机方式，全双工单主机方式和半双工单主机方式。当 SPC=0 且 MODFEN=1 时选择全双工多主机方式，数据输入输出分别在 MISO 和 MOSI 上传输，NSS 是输入脚，用于避免多主机同时启动传输而发生总线冲突。在该方式下，当 NSS 被拉为低电平时，MSTEN 被硬件清零，SPI 变为从机方式，同时 MODF 置 1，如果中断允许则申请中断。

当 SPC=0 且 MODFEN=0 时选择全双工单主机方式，数据输入输出分别在 MISO 和 MOSI 上传输，NSS 不被 SPI 使用，当普通 IO。

当 SPC=1 时选择半双工单主机方式，数据输入输出都在 MOMI（与 MOSI 复用）上传输，MISO 和 NSS 都不被 SPI 使用，当普通 IO。MODFEN 不起作用。在该方式下，MOMI 的输入输出由 BIDIROE 控制。当 BIDIROE=1 时，MOMI 作输出；当 BIDIROE=0 时，MOMI 作输入。在输出状态时，SPI 由写 SPIBUF 启动发送一个字节；在输入状态时，SPI 也由写 SPIBUF 来启动接收一个字节。

◇ SPI 从方式

将 MSTEN 置 0 时，SPI 工作在从机方式。

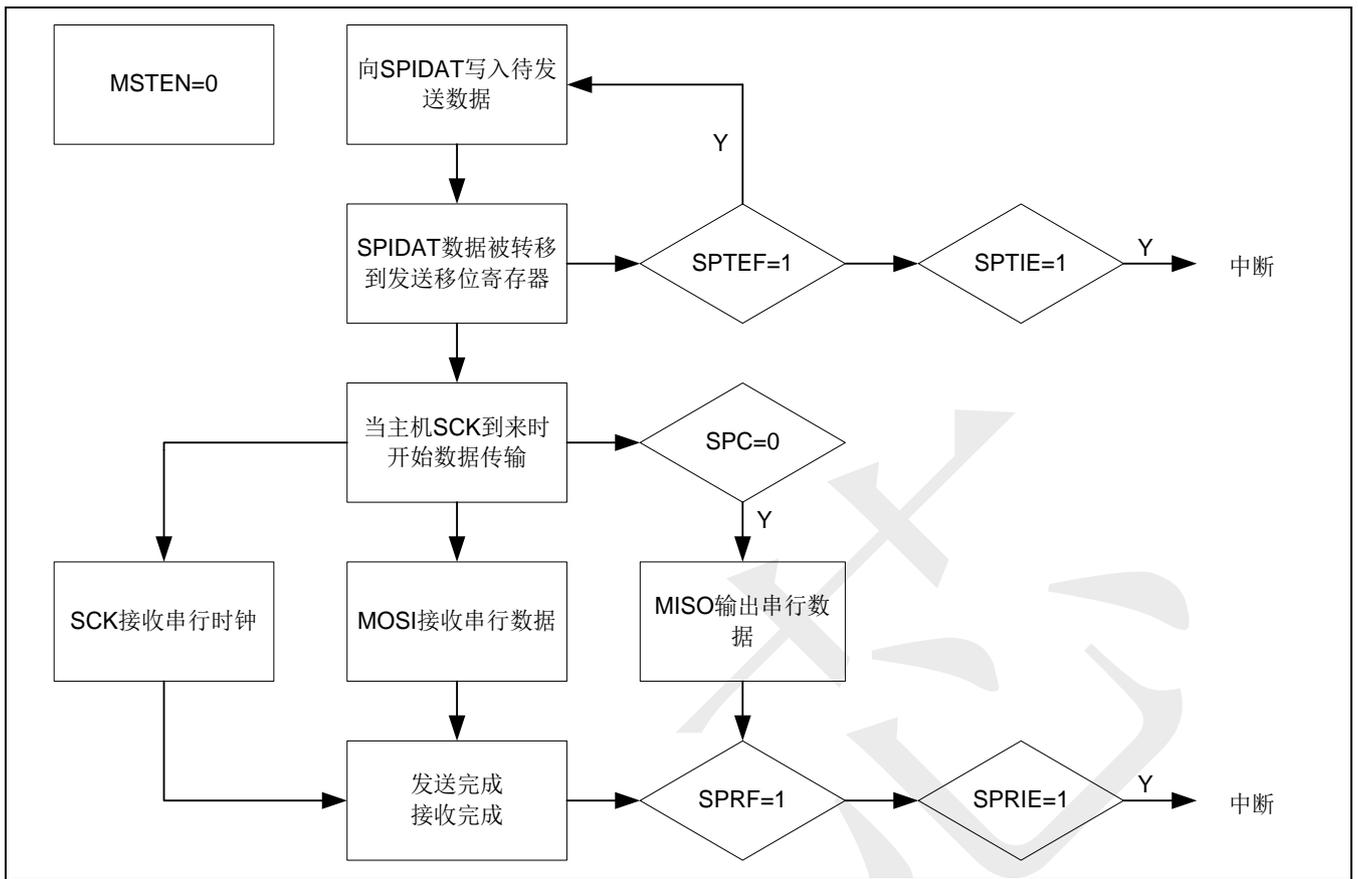


图 19-8 SPI 从机方式数据传输流程示意图

作为从机，SCK 由主机提供，从 MOSI 移入数据，从 MISO 移出数据。SPI 逻辑中的位计数器对 SCK 计数，当 8 位数据经过传输移位寄存器传输完成后，将数据传到接收缓冲器，同时 SPRF 置 1，如果 SPI 中断允许则申请中断。通过读 SPIBUF 寄存器来读取接收缓冲器中的数据。从机不能启动数据传输，通过写 SPIBUF 寄存器来预装要发送给主机的数据。写往 SPIBUF 的数据是双缓冲的，首先被放到发送缓冲器，随后 SPTEF 清零表示缓冲器有数据待发送。如果传输移位寄存器为空，发送缓冲器中的数据会立即被传送到传输移位寄存器，随后 SPTEF 置 1 表示发送缓冲器为空，可以向缓冲器中放下一个发送数据了，如果 SPTIE 为 1 时则申请中断。如果 LSBF 为 1，传输移位寄存器的数据从低位开始发送；如果 LSBF 为 0，传输移位寄存器的数据从高位开始发送。

注意：作为从机工作时，要发送的数据必须在一次传输之前写入 SPIBUF，在发送开始以后再写入的数据不会在当前字节传输过程从 MISO 端口输出。一次传输开始的概念：对于单次传输，指从机的 NSS 被拉低；对于连续传输，指上一个字节传输完成。

SPI 可以工作在下面的两种从机方式：全双工从机方式和半双工从机方式。当 SPC=0 时选择全双工从机方式，数据输入输出分别在 MOSI 和 MISO 上传输，NSS 作从机选择输入。当 NSS 为逻辑 0 时，SPI 被使能；当 NSS 为逻辑 1 时，SPI 被禁止。在 NSS 的下降沿，位计数器被复位。

当 SPC=1 时选择半双工从机方式，数据输入输出都在 SISO 上传输，NSS 作从机选择输入。在该方式下，SISO 的输入输出由 BIDIROE 控制。当 BIDIROE=1 时，SISO 作输出；当 BIDIROE=0 时，SISO 作输入。在输出状态时，需在主机启动传输之前将所要发送的数据放到 SPIBUF 寄存器中；在输入状态时，等待 SPRF 置 1 表示一个数据接收完成。当 NSS 为逻辑 0 时，SPI 被使能；当 NSS 为逻辑 1 时，SPI 被禁止。在 NSS 的下降沿，位计数器被复位。

19.6.3 中断源

如果 SPI 中断被允许，在下述 5 个标志位被置 1 时将产生中断。

SPI 中断使能分为如下 3 个层次：

- (1) 总使能开关 EA，位于寄存器 IE 的 bit7；

(2) SPI 中断使能 ESPI0，位于寄存器 EIE1 的 bit0；

(3) 标志位 SPRF、RXOV、WCOL、MODF 置位要产生中断请求，需将 SPRIE 置位；标志位 SPTEF 置位要产生中断请求，需将 SPTIE 置位。

下面分别描述各个标志位的置位、清零过程。

注意：下面的示意图均以 CPHA=1、CPOL=1，SCK 为外设时钟 PCLK 的 2 分频为例，来描述各标志位的置位、清零情况。其中，PCLK 为系统外设时钟，与系统主时钟 MCLK 同相，在 SLEEP 模式下并不停止。

1. 当一个字节传输完成，接收缓冲器满标志位 SPRF 置 1，如果 SPRIE=1，则申请中断。在软件读到 SPRF 为 1 后，再读 SPIBUF 寄存器时该标志位清零。该标志适用于所有方式。

（中断要求：只有软件读到 SPRF 为 1 后，并且清零，中断申请才停止，否则一直申请中断）注：原规格这样要求是防止在中断服务程序中，SPRF 在 SPIFLG 读出之后再置位，导致未被检测到而造成中断丢失。

现在增加 SPRIE 控制信号。进入中断服务程序以后，首先将 SPTIE 和 SPRIE 清零，再读 SPIFLG，处理对应中断。中断服务程序返回后，再打开 SPTIE 和 SPRIE，如果有在中断服务程序中未能被检测到的标志位为高电平，就会产生中断请求信号。（下面几个标志位同）

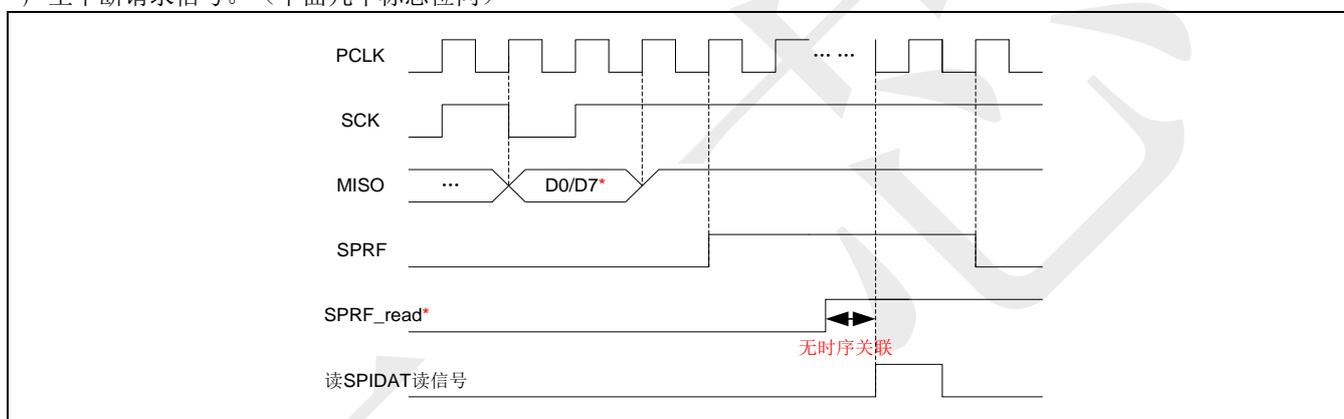


图 19-9 SPRF 置位/清零示意图

注：1) MISO 时序中，最后一个输入的数据由 LSBF=1/0 分别决定为 D7/D0；下同。

2) SPRF_read 是用软件读 SPRF 得到的控制位，只有此位为 1 后，再读 SPIBUF 方能将 SPRF 清零。因为 SPRF_read 是软件读出，这里没有明确跟时钟沿对应。

2. 当发送缓冲器由满变为空时，发送缓冲器空标志位 SPTEF 置 1。如果 SPTIE=1，则申请中断；如果 SPTIE=0，禁止中断。该标志适用于所有方式。（中断要求：当发送缓冲器由满变为空时产生中断，只有软件读到 1 后中断申请才停止，否则一直申请中断）同上。SPTEF 标志位在软件读到 1 后，对 SPIBUF 写数据，才会清零。

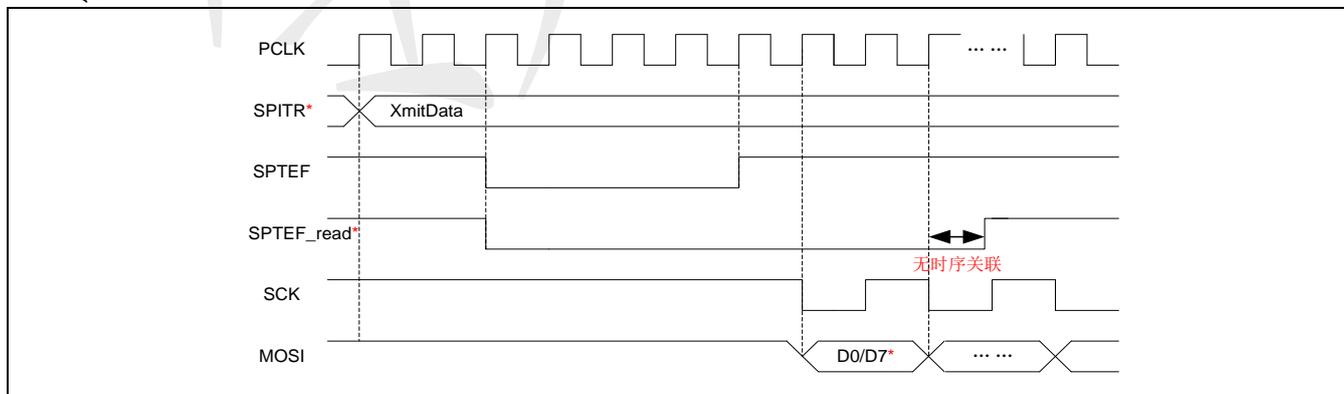


图 19-10 SPTEF 置位/清零示意图

注：1) SPITR 表示对 SPIBUF 写值，这个数据是将被发送的；

2) SPTEF_read是用软件读SPTEF得到的控制位，只有此位为1后，再对SPIBUF写值方能将SPTEF清零。因为SPTEF_read是软件读出，这里没有明确跟时钟沿对应。

3. 当一次传输完成,接收缓冲器还保存着上次数据未被读取时,接收溢出标志位 RXOV 置 1,如果 SPRIE=1,则申请中断。该标志适用于所有方式。（中断要求：只有软件读到 RXOV 为 1 后，并且清零，中断申请才停止，否则一直申请中断）此标志位软件读到 1 写 0 才可以清零。

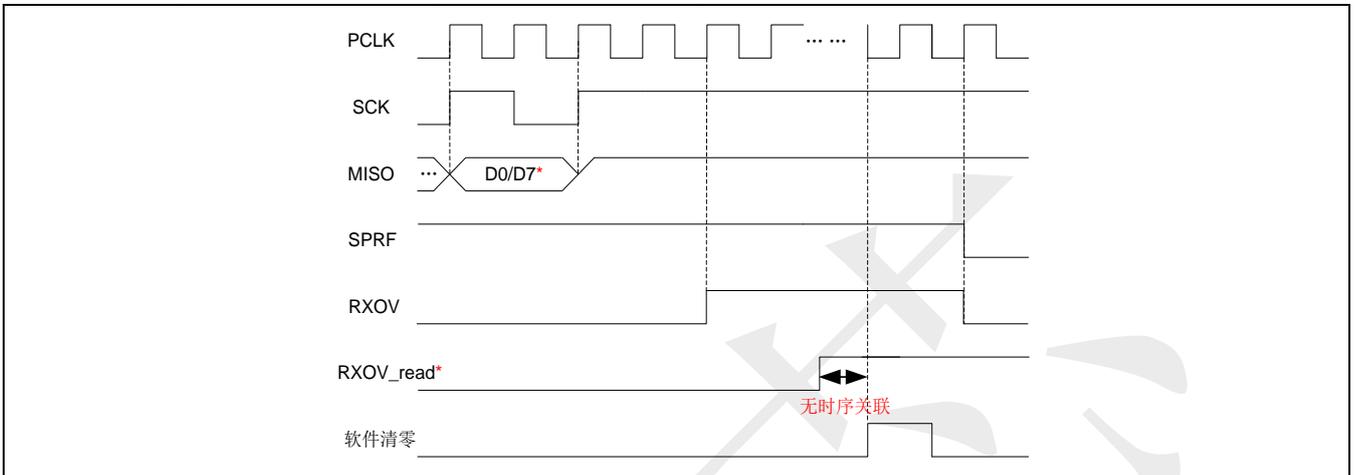


图 19-11 RXOV 置位/清零示意图

注: 1) RXOV_read是用软件读RXOV得到的控制位，只有此位为1后，再软件写0方能将RXOV清零。因RXOV_read是软件读出，这里没有明确跟时钟沿对应。

4. 当发送缓冲器里还有数据未移到传输移位寄存器，而又向发送缓冲器写数据时 WCOL 置 1,如果 SPRIE=1,则申请中断。该标志适用于所有方式。（中断要求：只有软件读到 WCOL 为 1 后，并且清零，中断申请才停止，否则一直申请中断）此标志位软件读到 1 写 0 才可以清零。

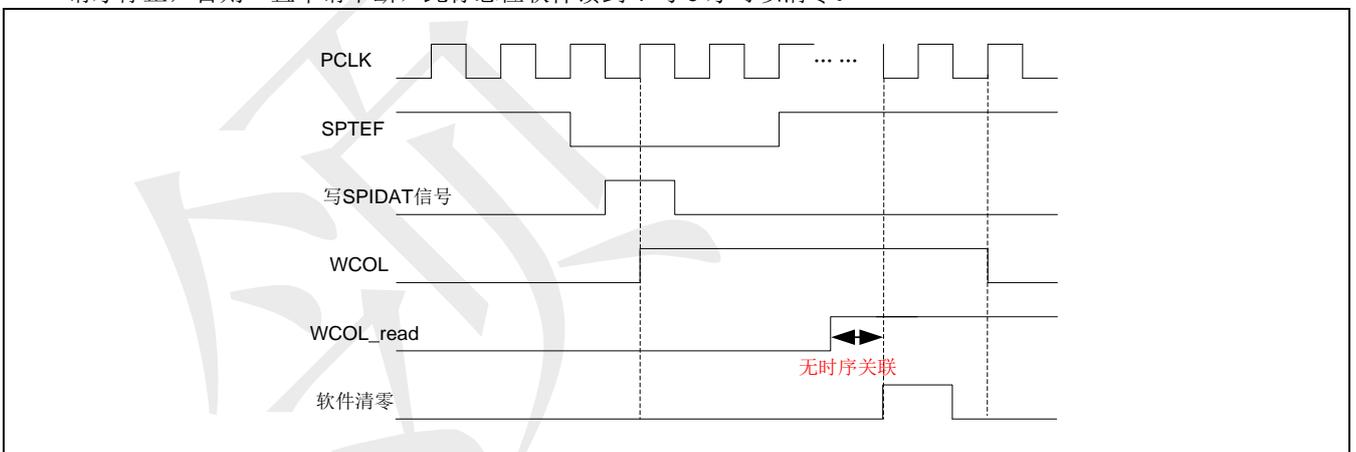


图 19-12 WCOL 置位/清零示意图

5. 当 MSTEN=1, SPC=0 且 MODFEN=1 时, SPI 被配置成全双工多主机方式,该方式下 NSS 被拉低时,同时 MSTEN 被硬件清零, SPI 变为从机方式, MODF 置 1,如果 SPRIE=1,则申请中断。（中断要求：只有软件读到 MODF 为 1 后，并且清零，中断申请才停止，否则一直申请中断）此标志位软件读到 1 写 0 才可以清零。

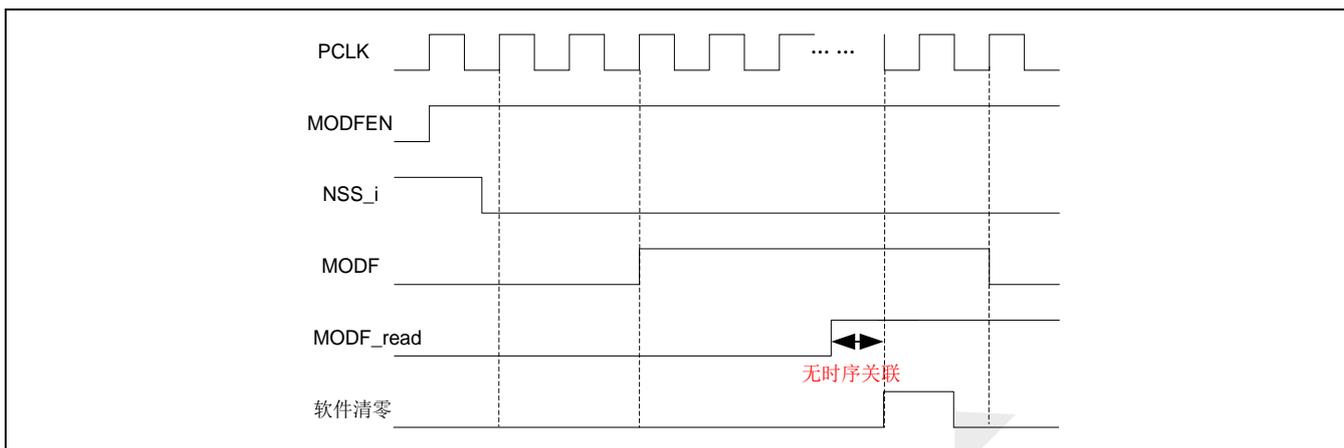


图 19-13 MODF 置位/清零示意图

注：当检测到 MODF 标志位置位（或者发生 MODF 中断），即系统检测到多主机模式错误，MSTEN 标志位被硬件清零，端口 SCK、MOSI 被自动设置为输入避免数据冲突。在 MODF 标志位被软件清零之前，SPI 不能进行数据传输，在开始新的传输过程前，必须将 MODF 清零，并用软件重新使能 SPI（先禁止再使能 SPIE）。

19.6.4 串行时序

SPI 可以通过时钟控制选择位 CPHA 和 CPOL 的配置成 4 种模式。CPHA 选择时钟相位，决定是第一个边沿锁存数据，还是第二个边沿锁存数据。CPOL 选择时钟极性，决定空闲时为高电平，还是空闲时为低电平。主机和从机必须配置为使用相同的时钟相位和极性。图 19-14 为主方式下时钟和数据线的时序关系。图 19-15 为从方式下的时钟和数据线的时序关系。

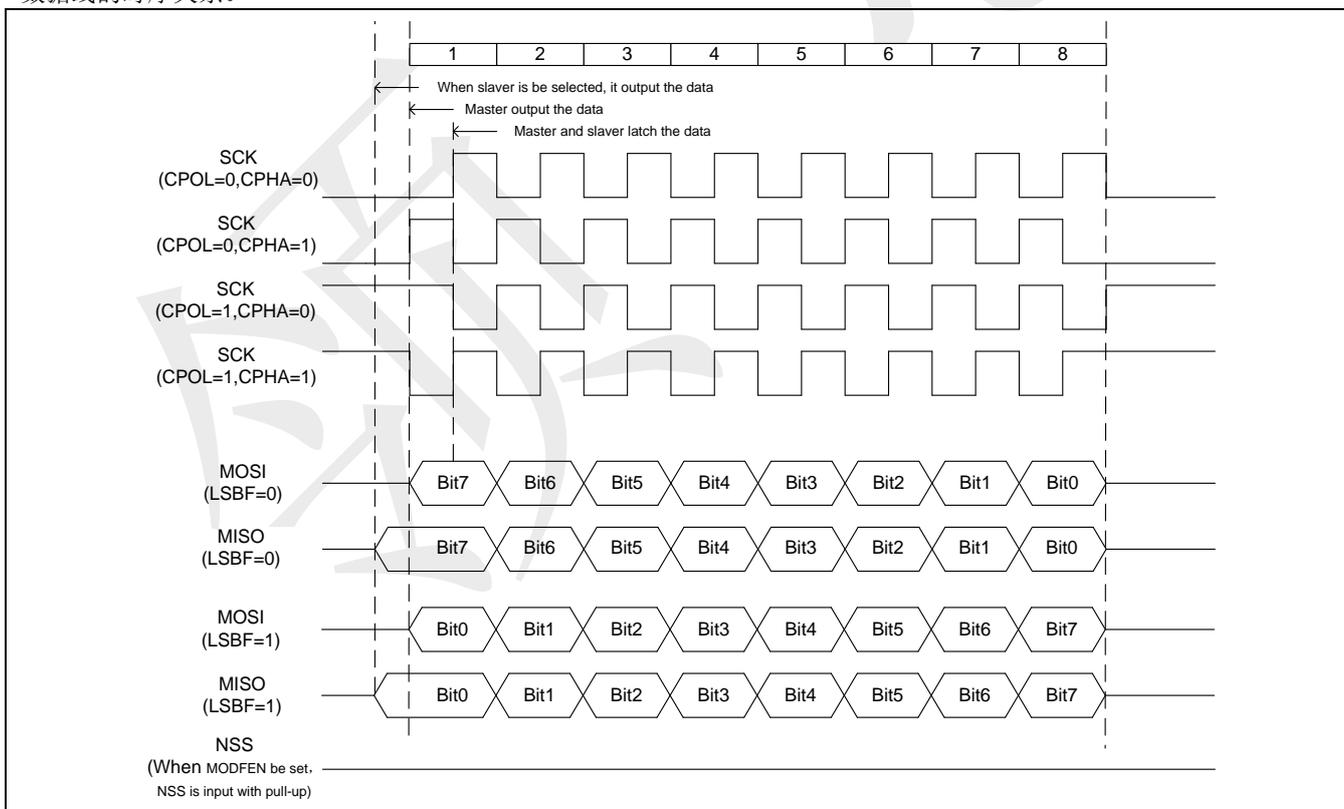


图 19-14 主方式数据和时钟时序图

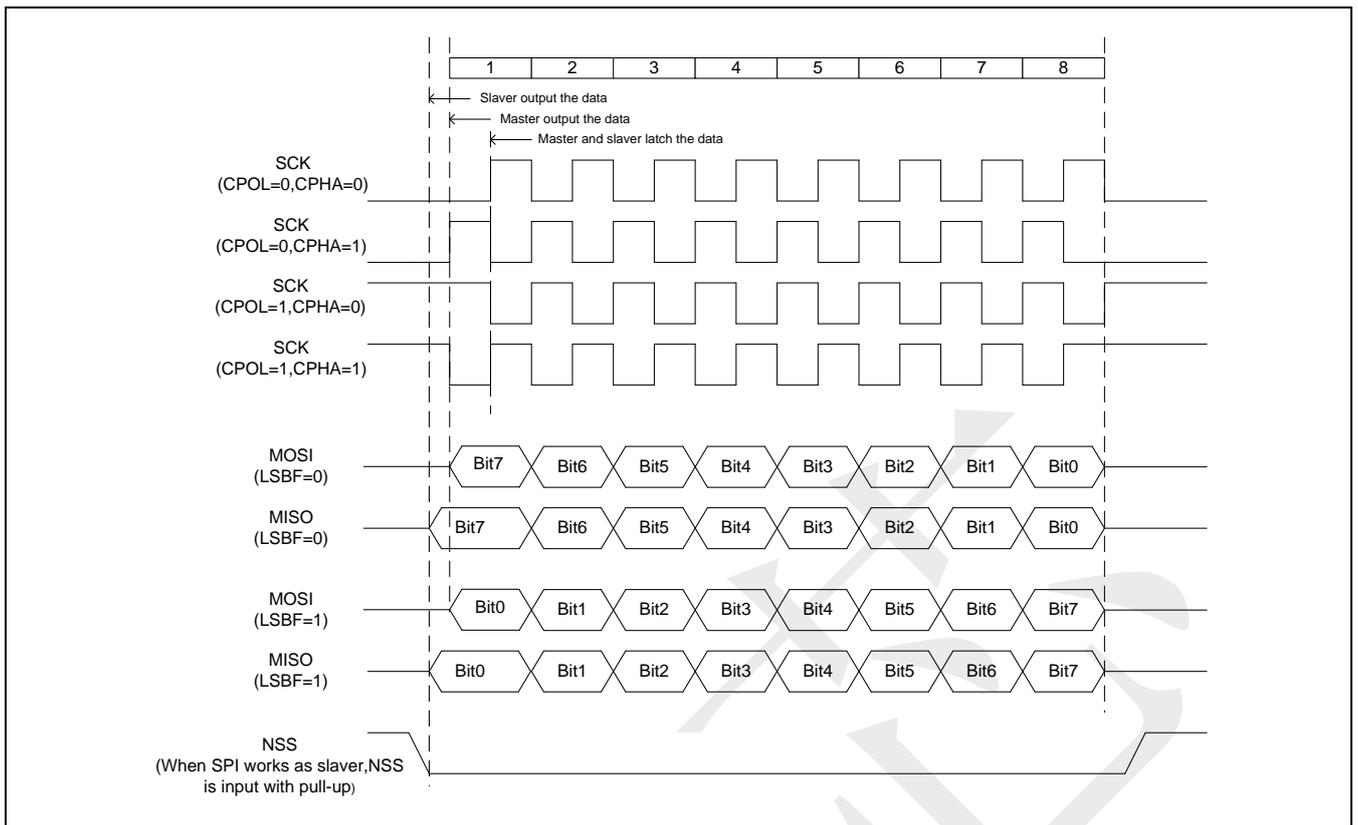


图 19-15 从方式数据和时钟的时序图

【说明】作为从机时，当 NSS 被拉低后，如果发送缓冲区不为空（SPTEF=0），则要发送数据的首位会立即输出到 MISO 端口。

19.6.5 波特率限制

作为主机时，其传输波特率由 MCLK 的分频来决定，分频系数 SPCR[2:0]控制将 MCLK 分频作为 SCK。由于需要采集 SCK 上升沿和下降沿，为了传输准确性 SCK 最快为 MCLK 的 2 分频。最慢则为 256 分频。当系统时钟为 4MHz 时，理论最快传输波特率达到 2Mbps。【注意】此时需要从机响应时间（从接收到 SCK 有效沿，到发出有效数据时间）小于主机的一个 MCLK 周期，否则通信出错，主机接收到的数据发生移位。

作为从机时，传输波特率理论上由外部输入 SCK 频率来决定。由于是同步系统，需要用 MCLK 来同步外部输入的 SCK，并捕获其上升沿和下降沿，因此外部输入 SCK 最快频率也要受限于 MCLK 频率，频率最高只能达到 MCLK 的 4 分频。详细分析参考下图。

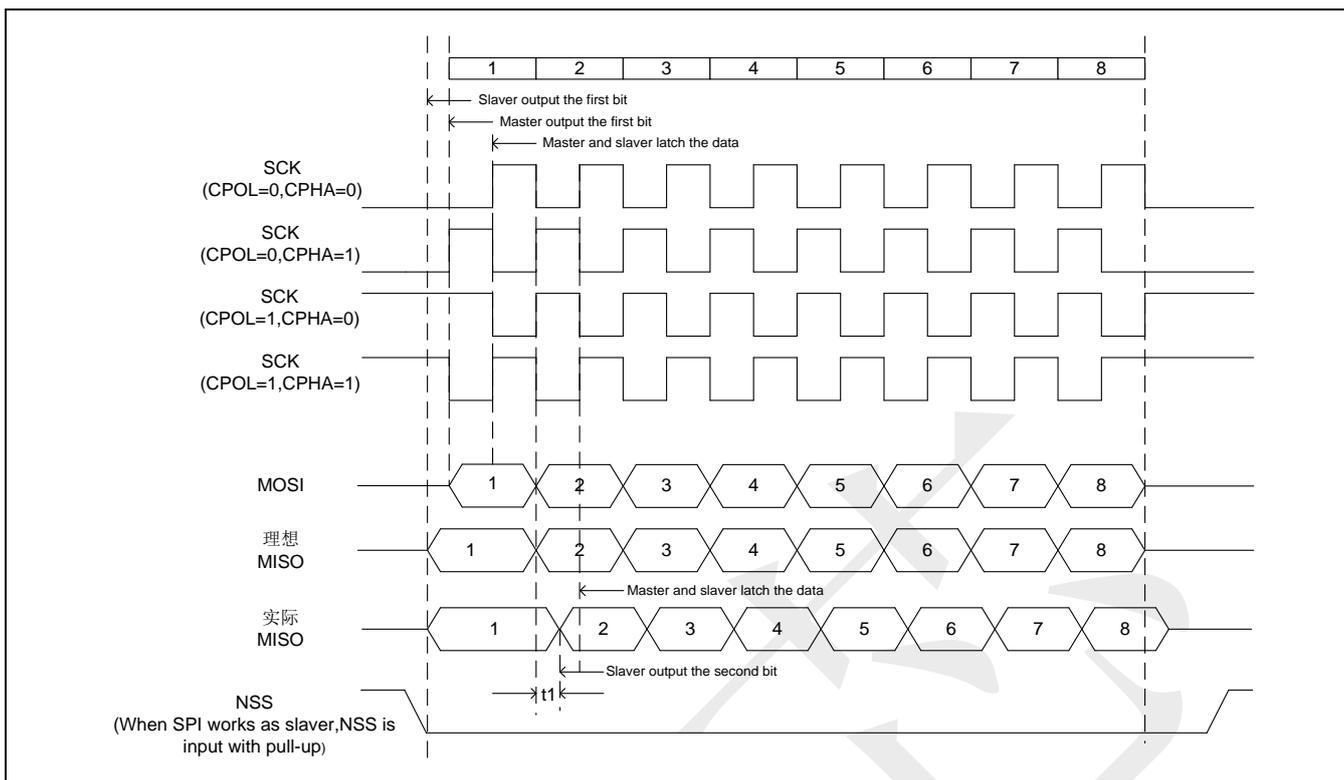


图 19-16 从方式波特率限制时序示意图

如上图所示：由于涉及到用内部 MCLK 同步 SCK，需要 1~2 个 MCLK 周期；另外需要采集 SCK 沿，也需要 1 个 MCLK 周期；因此实际从机输出 MISO 与理想状况下相比要滞后 t_1 时长， $t_1 \leq 3 * T_{MCLK}$ 。为保证数据锁存正确性，此数据输出沿必须在主机锁存数据时钟沿之前，因此外部 SCK 频率至少要为 MCLK 的 4 分频。也就是说，当 MCLK=4MHz 时，SPI 从机传输最大波特率为 1Mbps。

具体时钟参数请参考下面的图表。

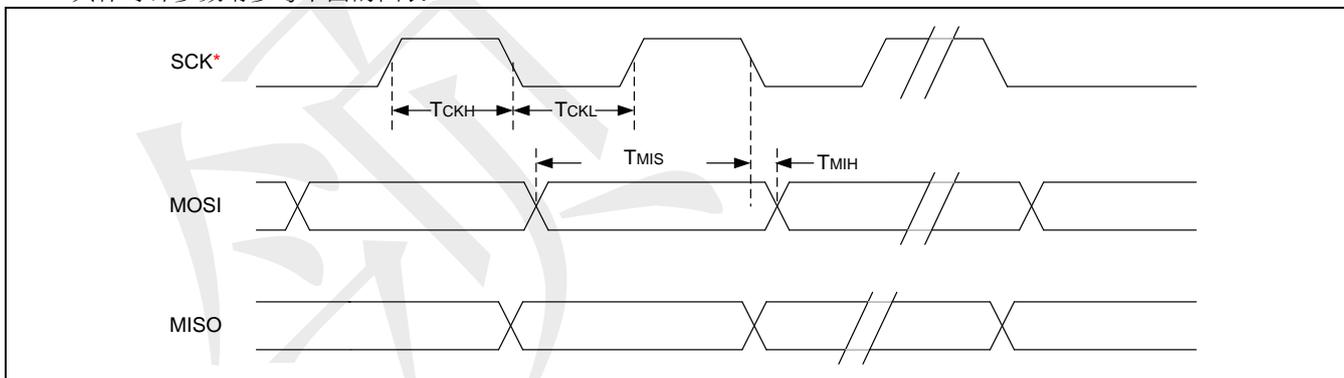


图 19-17 SPI 主机方式时序要求 (CPHA=0)

* 这是对应CPOL=0时的SCK波形，对于CPOL=1，SCK波形极性反相。

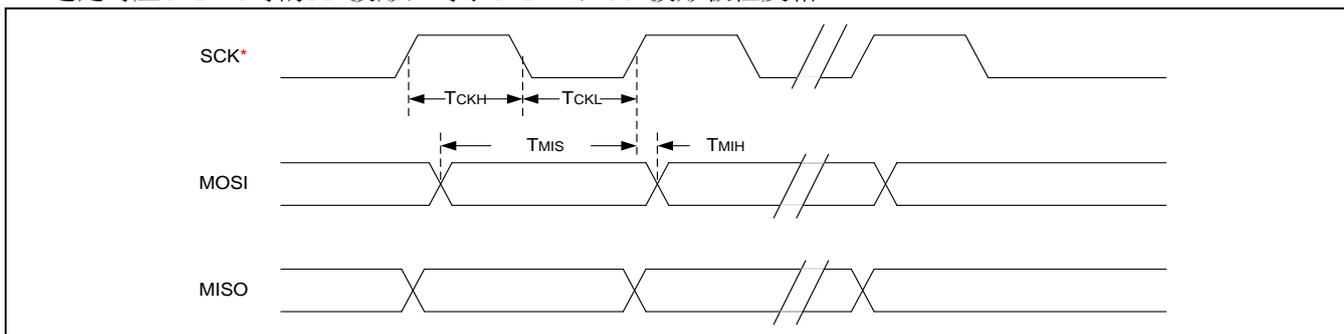


图 19-18 SPI 主机方式时序要求 (CPHA=1)

* 这是对应CPOL=0时SCK的波形，CPOL=1时，SCK波形极性反相。

表 19-4 SPI 主方式时序参数

参数	说明	最小值	最大值	单位
主机方式时序 (见错误!未找到引用源。和错误!未找到引用源。)				
T_{MCKH}	SCK高电平时间	$1 * T_{MCLK}$		ns
T_{MCKL}	SCK低电平时间	$1 * T_{MCLK}$		ns
T_{MIS}	MISO有效到SCK移位边沿	$1 * T_{MCLK} + 20$		ns
T_{MIH}	SCK移位边沿到MISO发生改变	0		ns

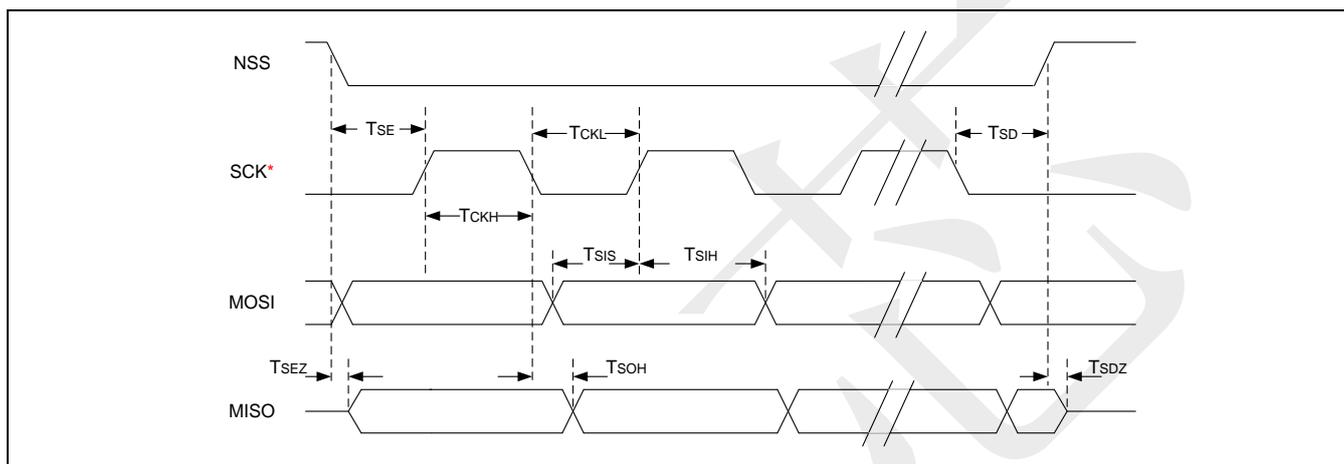


图 19-19 SPI 从机方式时序要求 (CPHA=0)

* 这是对应CPOL=0时的SCK波形，对于CPOL=1，SCK波形极性反相。

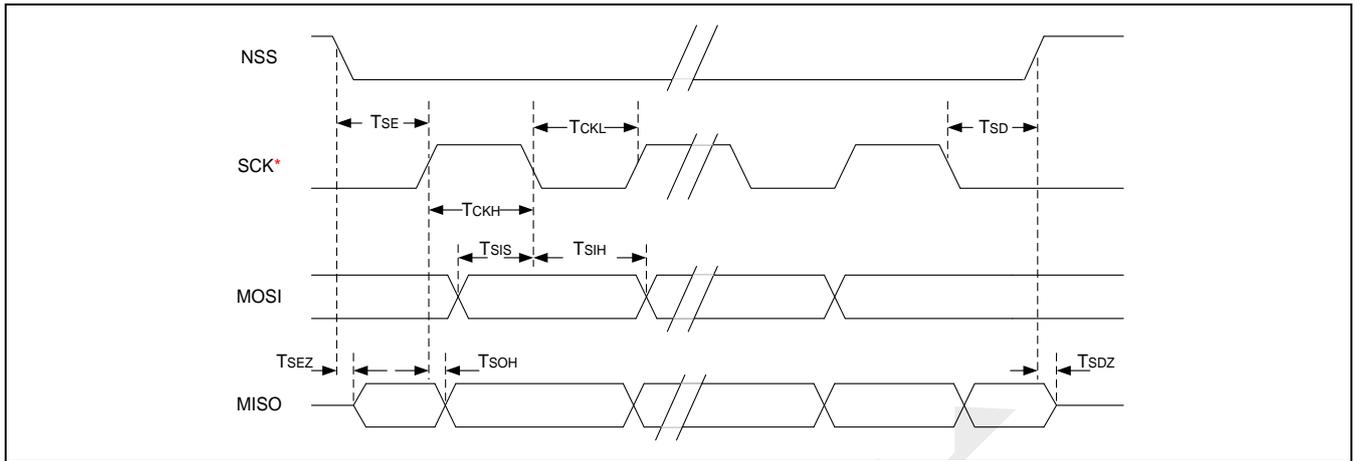


图 19-20 SPI 从机方式时序要求 (CPHA=1)

* 这是对 CPOL=0 时 SCK 的波形，CPOL=1 时，SCK 波形极性反相。

表 19-5 SPI 从方式时序参数

参数	说明	最小值	最大值	单位
从方式时序 (见图 19-19 和图 19-20)				
T_{SE}	NSS 下降沿到第一个 SCK 边沿	$2 * T_{MCLK}$		ns
T_{SD}	最后一个 SCK 边沿到 NSS 上升沿	$2 * T_{MCLK}$		ns
T_{SEZ}	NSS 下降沿到 MISO 有效		$4 * T_{MCLK}$	ns
T_{SDZ}	NSS 上升沿到 MISO 变为高阻态		$4 * T_{MCLK}$	ns
T_{CKH}	SCK 高电平时间	$4 * T_{MCLK}$		ns
T_{CKL}	SCK 低电平时间	$4 * T_{MCLK}$		ns
T_{SIS}	MOSI 有效到 SCK 采样边沿	$2 * T_{MCLK}$		ns
T_{SIH}	SCK 采样边沿到 MOSI 发生改变	$2 * T_{MCLK}$		ns
T_{SOH}	SCK 移位边沿到 MISO 发生改变		$3 * T_{MCLK}$	

注: T_{MCLK} 为系统时钟 (MCLK) 周期。

19.7 使用提示

- ◇ SPI 模块禁止会复位 SPIFLG 寄存器标志位，并清空发送/接收缓冲区数据。
- ◇ SPI 模块使能以后，作为主机使用时：只要满足 SPTEF=0 (表明发送缓存不为空) 就可以启动传输。则主机的从机选择信号 NSS 须在此之前由软件设置好，设置方法同 GPIO，且在多从机应用时不局限于 NSS 这一个引脚。
- ◇ SPI 作为主机使用，停止传输过程的方法是在最后一个想要发送的数据从发送缓冲区载入移位寄存器以后，读一次 SPIFLG (清除 SPTEF 引起的中断)，而不对 SPIBUF 写值。
- ◇ SPI 作为从机使用时：当 NSS 被拉低，从机就进入传输等待状态，等 SCK 到来时在对应时钟沿从主机接收数据。
- ◇ 从机 NSS 被拉低时 SPTEF=0 (表示从机发送缓冲区中有数据)，则 3 个 MCLK 周期以后会将此数据载入发送移位寄存器，且数据的首位 (最高位还是最低位由 LSBF 来控制) 会同时输出到 MISO 端口，等待主机的 SCK 对应沿来锁存数据。从机后面的 7bit 数据发送、锁存分别由 SCK 的不同沿来触发，但是发送、锁存时间分别滞后最多 2 个 MCLK 周期。使用时必须保证从机发送的有效数据在主机的锁存沿之前。

20. 电气特性

20.1 绝对最大值

如果器件工作条件超过“绝对最大值”，就可能会对器件造成永久性损坏。这些值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其可靠性会受到影响。

表 20-1 电压特性

参数	符号	测试条件	最小值	典型值	最大值	单位
电源电压	V_{DD}	-	-0.3	-	5.5V	V
输入电压	V_{IN}	-	-0.3	-	$V_{DD}+0.3$	

注：所有电压都以 V_{SS} 为参考。

表 20-2 电流特性

参数	符号	测试条件	最小值	典型值	最大值	单位
流入 V_{DD} 的总电流	I_{VDD}	-	-	-	80	mA
流出 V_{SS} 的总电流	I_{VSS}	-	-	-	80	
管脚注入电流	I_{INJ}	$V_{IN} > V_{DD}$ 或 $V_{IN} < V_{SS}$	-4	-	4	
		$V_O > V_{DD}$ 或 $V_O < V_{SS}$	-4	-	4	
总注入电流	ΣI_{INJ}	-	-20	-	20	

表 20-3 热特性

参数	符号	测试条件	最小值	典型值	最大值	单位
环境温度	T_A	-	-40	-	85	°C
存储温度	T_{STG}	-	-55	-	125	
结温	T_J	-	-	-	150	
热阻	θ_{JA}	LQFP-48	-	78	-	°C/W
		LQFP-64	-	76	-	
总功耗	P_D	-	-	-	500	mW

表 20-4 ESD 保护和 Latch-up 免疫特性

参数	符号	测试条件	最小值	典型值	最大值	单位
HBM	V_{HBM}	MIL-STD-883H	± 4000	-	-	V
MM	V_{MM}	JESD22-A115	± 200	-	-	
CDM	V_{CDM}	JESD22-C101E	± 1000	-	-	
Latch-up 触发电流	I_{LAT}	JEDEC standard NO.78D 2011.11	± 100	-	-	mA
V_{DD} 过压	V_{LAT}		TBD	-	-	V

20.2 推荐工作条件

表 20-5 工作条件

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V _{DD}	-	1.8	-	5.5	V
CPU 时钟频率	F _{CPU}	V _{DD} >1.8V	0	-	4	MHz
		V _{DD} >2.5V	-	-	8	
上电复位释放电压	V _{POR}	-	-	1.8	-	V
上电复位延迟时间	t _{PWRT}	-	1	20	-	ms
VDD 上升速率	S _{VDD}	确保能够产生内部上电复位信号	0.1	-	-	V/ms
RAM 保持电压	V _{DR}	T _A =-40~85°C	1.8	-	-	V

20.3 直流电气特性

本芯片典型工作电压 3.3V / 5.0V，除非特别指明，否则典型值是在 VDD=3.0V 注 1、TA=25° C 条件的测试结果。直流电气特性还在不断完善中，TBD 部分将会逐步更新。

表 20-6 电流特性

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电流	I _{RUN}	MCLK=1MHz, RCH/8	-	1.3	-	mA
		MCLK=2MHz, RCH/4	-	2	-	
		MCLK=4MHz, RCH/2	-	2.2	-	
		MCLK=8MHz, RCH/1	-	3.1	-	
		MCLK=1MHz, CRY8M/8, 最大增益	-	TBD	-	
		MCLK=2MHz, CRY8M/4, 最大增益	-	TBD	-	
		MCLK=4MHz, CRY8M/2, 最大增益	-	TBD	-	
		MCLK=8MHz, CRY8M/1, 最大增益	-	TBD	-	
		MCLK=1MHz, CRY4M/4, 最大增益	-	TBD	-	
		MCLK=4MHz, CRY4M/1, 最大增益	-	TBD	-	
		MCLK=32KHz, CRY32K/1, 大增益	-	TBD	-	uA
待机电流	I _{SLEEP}	MCLK=1MHz, RCH/8	-	0.25	-	mA
		MCLK=2MHz, RCH/4	-	0.33	-	
		MCLK=4MHz, RCH/2	-	0.43	-	
		MCLK=8MHz, RCH/1	-	0.5	-	
		MCLK=8MHz, CRY8M/1, 最大增益	-	TBD	-	
		MCLK=4MHz, CRY4M/1, 最大增益	-	TBD	-	
		MCLK=32KHz, CRY32K/1, 大增益	-	TBD	-	uA
停机电流	I _{STOP}	所有模块关闭	-	1	-	uA

注：测量电流特性时遵循下列条件：

- * 所有 IO 都设置成输出低电平，无负载。
- * 除非特别指明，所有外设都关闭。

表 20-7 I/O 特性

参数	符号	测试条件	最小值	典型值	最大值	单位		
高电平输入电压	V_{IH}	所有 IO	$0.7 \cdot V_{DD}$	-	V_{DD}	V		
低电平输入电压	V_{IL}	所有 IO			$0.3 V_{DD}$			
输入迟滞	V_{HYS}	所有 IO		TBD		mv		
输出管脚拉电流	I_{OH}	$V_{DD}=3V,$ $V_{OH}=0.7 \cdot V_{DD}$	弱驱动 (DS=0)	T0 类型	-	3	-	mA
				T1 类型	-	3	-	mA
				T2 类型	-	3	-	mA
				T3 类型	-	3	-	mA
				T4 类型	-	3	-	mA
				T5 类型	-	3	-	mA
				T6 类型	-	3	-	mA
			强驱动 (DS=1)	T0 类型	-	10	-	mA
				T1 类型	-	20	-	mA
				T2 类型	-	11	-	mA
				T3 类型	-	20	-	mA
				T4 类型	-	12	-	mA
				T5 类型	-	16	-	mA
				T6 类型	-	10	-	mA
		$V_{DD}=5V,$ $V_{OH}=0.7 \cdot V_{DD}$	弱驱动 (DS=0)	T0 类型	-	6.5	-	mA
				T1 类型	-	6.5	-	mA
				T2 类型	-	6.5	-	mA
				T3 类型	-	6.5	-	mA
				T4 类型	-	6.5	-	mA
				T5 类型	-	6.5	-	mA
				T6 类型	-	6.5	-	mA
			强驱动 (DS=1)	T0 类型	-	25	-	mA
				T1 类型	-	40	-	mA
				T2 类型	-	25	-	mA
				T3 类型	-	40	-	mA
				T4 类型	-	25	-	mA
				T5 类型	-	34	-	mA
				T6 类型	-	20	-	mA
输出管脚灌电流	I_{OL}	$V_{DD}=3V,$ $V_{OL}=0.3 \cdot V_{DD}$	弱驱动 (DS=0)	T0 类型	-	3.5	-	mA
				T1 类型	-	5	-	mA
				T2 类型	-	3.5	-	mA
				T3 类型	-	5	-	mA
				T4 类型	-	5	-	mA

参数	符号	测试条件		最小值	典型值	最大值	单位		
			强驱动 (DS=1)	T5 类型	-	5	-	mA	
				T6 类型	-	4.5	-	mA	
				T7 类型	-	3.5	-	mA	
				T0 类型	-	16	-	mA	
				T1 类型	-	35	-	mA	
				T2 类型	-	18	-	mA	
				T3 类型	-	35	-	mA	
			T4 类型	-	19	-	mA		
			T5 类型	-	23	-	mA		
			T6 类型	-	16	-	mA		
			T7 类型	-	15	-	mA		
			弱驱动 (DS=0)	T0 类型		9		mA	
				T1 类型		9		mA	
				T2 类型		9		mA	
		T3 类型			9		mA		
		T4 类型			9		mA		
		T5 类型			9		mA		
		T6 类型			9		mA		
		强驱动 (DS=1)	T0 类型	-	20	-	mA		
			T1 类型	-	60	-	mA		
			T2 类型	-	34	-	mA		
			T3 类型	-	65	-	mA		
			T4 类型	-	25	-	mA		
			T5 类型	-	43	-	mA		
			T6 类型	-	23	-	mA		
		T7 类型	-	20	-	mA			
				$V_{DD}=5V,$ $V_{OL}=0.3*V_{DD}$					
		总电流	I_{total}	-	所有端口	-	TBD	-	mA
端口内置上拉电阻	R_{pu}	$V_{IN}=0V$		-	TBD	-	k Ω		
端口输入漏泄电流 (高温)	I_{IL}	$V_{SS} < V_{PIN} < V_{DD}, T_A=85^\circ C$		-	± 20	± 100	nA		
滤波宽度	$T_{PW}(IO)$	外部复位脚		-	2	4	us		

表 20-8 系统监控与复位特性

参数	符号	测试条件	最小值	典型值	最大值	单位
带隙基准电压	V_{BG}	1.8~5.5V, -40~85°C	1.24	1.25	1.26	V
低压复位电压	V_{LVR}	LVRS=000	-	1.8	-	V
		LVRS=001	-	2.0	-	V
		LVRS=010	-	2.5	-	
		LVRS=011	-	2.6	-	

参数	符号	测试条件	最小值	典型值	最大值	单位
		LVRS=100	-	2.8	-	
		LVRS=101	-	3.0	-	
		LVRS=110	-	3.5	-	
		LVRS=111	-	4.0	-	
LVR 释放迟滞电压	$V_{HYS(LVR)}$	-	100	-	mV	
LVR 模块工作电流	I_{LVR}	SLEEP 模式开启	-	20	-	uA
LVD 检测电压	V_{LVD}	LVLS= 000	-	2.1	-	V
		LVLS = 001	-	2.4	-	
		LVLS = 010	-	2.5	-	
		LVLS = 011	-	2.7	-	
		LVLS = 100	-	2.9	-	
		LVLS = 101	-	3.1	-	
		LVLS = 110	-	3.6	-	
		LVLS = 111	-	4.5	-	
LVD 释放迟滞电压	$V_{HYS(LVD)}$	-	100	-	200	mV
LVD 模块工作电流	I_{LVD}	SLEEP 模式开启	-	40	-	uA

表 20-9 模拟比较起特性

参数	符号	测试条件	最小值	典型值	最大值	单位	
典型值工作条件为 $V_{DD}=3.0V$, 温度=25°C, $V_{cm}=V_{DD}/2$ 。							
输入失调电压* (CPP 上升沿)	V_{os}	-	-10	0	10	mV	
输入共模电压	V_{cm}	响应时间<160ns	0	-	V_{DD}	V	
共模抑制比	CMRR	室温 25°C	-	1	-	mV/V	
比较器迟滞电压	V_{hyster}		-	15	-	mV	
启动延迟时间	T_{str}		-	0.5	1	us	
响应时间	上升沿	T_{rt}	VDD 做分压电阻基准	-	100	200	ns
	下降沿			-	100	200	ns
工作电流	I_{cmp}	-	-	25	35	uA	
CVREF 稳定时间	T_{scvr}	-	-	1	-	us	

表 20-10 振荡与时钟特性

参数	符号	测试条件	最小值	典型值	最大值	单位
经过校准的 RCH 频率	F_{RCH}	1.8~5.5V, -10~50°C	7.92	8.00	8.08	MHz
		1.8~5.5V, -40~105°C	7.84	8.00	8.16	
RCH 工作电流	I_{RCH}	5.0V, 25°C	-	100	-	uA
RCL 频率	F_{RCL}	1.8~5.5V, -40~85°C	6	32	50	KHz
RCL 工作电流	I_{RCL}	-	-	0.3	1.0	uA

表 20-11 LCD 驱动特性

参 数	符 号	测 试 条 件	最	典	最	单
典型值工作条件为 $V_{DD}=3.0V$ ， 温度=25°C。						
LCD 驱动模块电流	I_{lcd}	电阻型	--	3	--	μA
LCD 基准固定输出电压	V_{ivr}	IVRCFG=0	--	1.018	--	V
LCD 择输基准选出电压	V_{ivr}	IVRCFG=1, VOUTSEL=000	--	0.7	--	
		IVRCFG=1, VOUTSEL=001	--	0.8	--	
		IVRCFG=1, VOUTSEL=010	--	0.9	--	
		IVRCFG=1, VOUTSEL=011	--	1.1	--	
		IVRCFG=1, VOUTSEL=100	--	1.2	--	
		IVRCFG=1, VOUTSEL=101	--	1.4	--	
		IVRCFG=1, VOUTSEL=110	--	1.5	--	
		IVRCFG=1, VOUTSEL=111	--	1.7	--	

21. 历史版本

版本	日期	修改人	修改说明
Rev 1.0	2016.10.06	M.D.	对外发布正式版本第一版
Rev1.1	2017.02.10	M.D	1.调整文档格式; 2.添加 I/O 驱动能力描述; 3.添加电气特性;
Rev1.2	2017.02.11	M.D	去掉了公司 Logo
Rev1.3	2017.03.22	M.D	1.重新排版, 章节更新; 2.LCD Bias 配置描述更新; 3.添加 VBG 校正寄存器描述; 4.更新存储器安全管理机制; 5.更新部分寄存器描述错误问题; 6.调价 ADC 通道调准备注
Rev1.4	2017.06.28	M.D	1.更新 T2 PPG 描述部分; 2.更新 IAP 寄存器描述部当部分; 3.更新 WDT 寄存器描述
Rev1.5	2017.07.11	M.D	1.调整 VBG 通道到 12 2.P162 UART 功能描述中, SM0, SM1 设置值修改;
Rev1.5	2017.11.22	M.D	1.修改 ADFM 意义
Rev1.6	2018.04.28	M.D	1.添加文档组织结构
Rev2.0	2021.04.20	M.D	转厂后文档 1.更新 CRYCFG 寄存器配置; 2.更新 TESTCON 寄存器; 3.更新 CRYGAIN 寄存器
Rev2.0.1	2021.04.29	WU.JH	1.补充工作温度 2.更新 RCH 精度范围: $\pm 1\% \rightarrow \pm 1.5\%$ $T_A = -10^\circ\text{C} \sim +50^\circ\text{C} \rightarrow T_A = -40^\circ\text{C} \sim +105^\circ\text{C}$ 。
Rev2.0.2	2021.04.29	WU.JH	1.改正 LCDP4EN 寄存器描述
Rev2.0.3	2021.05.17	FU.MY	1.修改公司名称, 添加 logo 2.修改 HBM 的值
Rev2.0.4	2021.08.16	FU.MY	1.修改文件命名
Rev2.0.5	2021.08.30	FU.MY	1.修改 CRY 描述 2.修改 IOMUX0 Bit7-6 中文字书写错误
Rev2.0.6	2021.12.28	FU.MY	1.校正寄存器名称
Rev2.0.7	2022.03.09	FU.MY	1.修改快速充电模式描述
Rev2.0.8	2022.07.06	FU.MY	1.修改 Flash 控制寄存器 Bit7~6 描述
Rev2.1	2023.10.19	YANG.JY	1.修正表 4-1 中 CLK0 的复用 IO 口位 P0.2 2.补充定时器控制寄存器 TCON 中 bit7~4 的描述
Rev2.2	2024.08.19	Liu.AN	1. FLASHCTRL 寄存器描述修正