



杭州领芯微电子有限公司

LCM32F037 系列说明书

文档版本：3.13

发布日期：2024.5.9

适用产品：LCM32F037K6T8

LCM32F037H6S8

LCM32F037K6U8

LCM32F037H6V8

LCP037A 系列

LCP037B 系列

LCP037C 系列



文档说明

LCM32F037 系列			
产品名	可用 I/O 数量		封装特性
LCM32F037K6T8	30		LQFP32
LCM32F037K6U8	30		QFN32（5*5）
LCM32F037H6S8	22		SSOP24
LCM32F037H6V8	22		QFN24（4*4）
LCP037A 系列			
产品名	预驱特性	可用 I/O 数量	封装特性
LCP037AK31EU8	三相 P/N MOS 管栅极驱动	20	QFN32（5*5）
LCP037AK31EV8		20	QFN32（4*4）
LCP037AH31ES8		14	SSOP24
LCP037AH31GS8		14	SSOP24
LCP037B 系列			
产品名	预驱特性	可用 I/O 数量	封装特性
LCP037BT32EU8	三相独立半桥驱动	23	QFN40
LCP037BK32EU8		16	QFN32（5*5）
LCP037BK32ET8		16	LQFP32
LCP037C 系列			
产品名	预驱特性	可用 I/O 数量	封装特性
LCP037CC32EU8	三相独立半桥驱动	22	QFN38

有关 ARM Cortex-M0 内核的信息，请参阅 ARM® Cortex®-M0 技术手册。



32 位 ARM Cortex-M0 MCU, 32KB Flash/4KB RAM, 高达 30 个快速 I/O, 10 个定时器, 5 个通信接口, 1 个 ADC, 2 个 DAC, 3 个比较器, 3 个运放, 1 个反电动势采样电路, 1.8~5.5V

主要特性

- 内核: 32 位 ARM Cortex-M0 MCU
 - 最高 96MHz 工作频率
 - 单周期乘法器
 - 硬件除法器
- 存储器
 - 32KBytes 嵌入式 Flash (位宽 32bit), 支持预取功能和读/写保护
 - Flash 擦写次数不低于 10 万次
 - 4Kbytes SRAM (位宽 32bit), 分为两个独立分区, 每个分区 2KBytes
- 复位和电源管理
 - 1.8V 到 5.5V 供电和 I/O
 - 两个 LDO, 一个用于低功耗的常开/备份电源域, 一个用于系统运行的内核电源域
 - 高精度上电、掉电复位 (POR_PDR)
 - 可编程低压复位 (LVR), 8 个低压复位点: 1.6V、1.8V、2.0V、2.5V、2.8V、3.0V、3.5V、4.0V
 - 可编程电压监测器 (LVD), 8 个电压监测点: 2.0V、2.2V、2.4V、2.7V、2.9V、3.1V、3.6V、4.5V
- 时钟系统
 - 4MHz 到 16MHz 的高速晶振 (OSCH)
 - 内置出厂校准过的 16MHz RC 振荡器 (RCH, 1%精度)
 - 32KHz 的低速晶振 (OSCL)
 - 内置出厂校准过的 24KHz RC 振荡器 (RCL, 10%精度)
 - 内置 PLL, 最高输出 144MHz, 抖动小于 100ps
- 低功耗
 - 睡眠 (SLEEP) 模式、停机 (STOP) 模式、超低功耗停机 (ULP STOP) 模式
- 调试模式
 - 串行线调试口 (SW-DP)



- 启动模式
 - 支持从 Flash、SRAM、System Memory 启动
- 编程模式
 - 支持串行在系统编程 (ISP)
 - 支持在应用升级 (IAP), 提供 UART、I2C、SSP 接口支持
- 多达 30 个快速 I/O 端口
 - 所有 IO 都可映射到 16 个外部中断
 - 所有 IO 端口均可容忍 5V 信号
 - 每个 IO 支持悬空输入/上拉输入/下拉输入/推挽输出/开漏输出/开源输出
 - 大部分 IO 支持一到两路模拟通道
 - 每个 IO 驱动能力和斜率两档可调
- 10 个定时器
 - 1 个 16 位高级控制定时器 TIM1, 4 个通道 (带 3 个互补通道), 支持输入捕获/输出比较/PWM 输出/单脉冲输出, 支持正交增量编码输入, 支持死区控制和紧急刹车
 - 1 个 16 位通用定时器 TIM3, 4 个通道, 支持输入捕获/输出比较/PWM 输出/单脉冲输出, 支持正交增量编码输入
 - 1 个 16 位通用定时器 TIM14, 1 个通道, 支持输入捕获/输出比较/PWM 输出/单脉冲输出
 - 1 个 16 位通用定时器 TIM15, 2 个通道 (带 2 个互补通道), 支持输入捕获/输出比较/PWM 输出/单脉冲输出, 支持死区控制和紧急刹车
 - 2 个 16 位通用定时器 TIM16/TIM17, 1 个通道 (带 1 个互补通道), 支持输入捕获/输出比较/PWM 输出/单脉冲输出, 支持死区控制和紧急刹车
 - 1 个 16 位基本定时器 TIM6
 - 1 个独立看门狗定时器

- 1 个窗口看门狗定时器
- 1 个 24 位自减型系统时钟定时器
- TIM1、TIM15、TIM16 和 TIM17 支持延时触发和防误触发机制
- **WT 钟表定时器**
 - 支持闹钟、周期性唤醒
 - 可配置频率的蜂鸣信号输出
- **通用 DMA**
 - 4 个独立通道
 - 支持的外设包括 SSP、I2C、UART、ADC、DAC、Timer
- **CRC 计算单元**
 - 8 位、16 位、32 位可配置生成多项式
- **多达 5 个通信接口**
 - 1 个 I2C 接口，支持主机/从机模式，支持 100Kbps、400Kbps 和 1Mbps 速率，支持 7 位/10 位寻址模式，带 FIFO 和支持 DMA
 - 2 个 UART 接口，支持 CTS/RTS 硬流控，最高波特率为 4Mbps，带 FIFO 和支持 DMA
 - 2 个 SSP 接口，支持主机/从机模式，支持 Motorola SPI、TI SSI 和 National Semiconductor Microwire 三种接口协议，4 到 16 位的帧大小，最高速率达 32Mbps，带 FIFO 和支持 DMA
- **1 个 12 位 A/D 转换器**
 - 最高转换速率为 1.5MSPS
 - 18 个通道（16 个外部通道，2 个内部通道）
 - 内置温度传感器
 - 包含两个独立的采样/保持电路
 - 支持内部和外部参考电压：2.5V、3.3V、4V、5V、VDDA
- **高速 D/A 转换器和模拟比较器**
 - 2 个 10 位 D/A 转换器，参考电压 2.5V、4V、VDDA 可选
 - DAC 支持硬件触发和 DMA 传输，支持噪声波形和三角波形生成
 - 3 个模拟比较器，比较器的参考电压来自 DAC 输出、HALL_MID 输出或者外部端口
- **3 个运算放大器（OPA）**
 - OPA0/1/2 放大倍数：1/2/6/8/10/16/20/32
- **反电动势采样电路（HALL_MID）**
 - 三路外部电压输入采样，可用于电机控制
- **工作温度**
 - 环境温度：-40°C ~ +125°C
- **96 位芯片唯一 ID**

目录

1. 功能概述	9
1.1 LCM32F037 系列	9
1.1.1 模块框图	9
1.1.2 32 位 M0 处理器	10
1.1.3 嵌入式 Flash	10
1.1.4 嵌入式 SRAM	10
1.1.5 启动模式	10
1.1.6 电源管理	10
1.1.7 时钟系统	12
1.1.8 Multi-AHB 总线矩阵	12
1.1.9 外设互联矩阵	13
1.1.10 通用 I/O 端口 (GPIO)	13
1.1.11 DMA 控制器	14
1.1.12 中断和事件	14
1.1.13 模数转换器 (ADC)	14
1.1.14 数模转换器 (DAC)、模拟比较器 (ACMP) 和反向电动势采样控制器 (HALL_MID)	15
1.1.15 运算放大器 (OPA)	16
1.1.16 定时器和看门狗	18
1.1.17 钟表定时器 (WT)	20
1.1.18 I2C 接口	21
1.1.19 UART 接口	21
1.1.20 SSP 接口	21
1.1.21 循环冗余校验 (CRC) 计算单元	22
1.1.22 除法器 (DIV)	22
1.1.23 串行线调试口 (SW-DP)	22
1.2 LCP037A 系列	23
1.2.1 主要特性	24
1.2.2 预驱模块概述	25
1.3 LCP037B 系列	27
1.3.1 主要特性	28
1.3.2 预驱模块概述	29
1.4 LCP037C 系列	30
1.4.1 主要特性	31
1.4.2 预驱模块概述	32
2. 引脚排列和引脚说明	33
2.1 LCM32F037 系列	33
2.2 LCP037A 系列	40
2.3 LCP037B 系列	45
2.4 LCP037C 系列	52
3. 存储器映射	57
4. 电气特性	60
4.1 LCP037A 系列预驱特性	60
4.1.1 LCP037Ax31E 预驱特性	60

4.1.2 LCP037Ax31G 预驱特性	60
4.2 LCP037B 系列预驱特性	61
4.2.1 极限参数	62
4.2.2 典型参数	62
4.3 LCP037C 系列预驱特性	64
4.3.1 极限参数	64
4.3.2 典型参数	64
4.4 LCM32F037 特性	66
4.4.1 绝对最大值	66
4.4.2 工作条件	66
5. 封装特性	75
5.1 LQFP32 封装外形尺寸	75
5.2 SSOP24 封装外形尺寸	76
5.3 QFN32 封装外形尺寸	77
5.4 QFN38 封装外形尺寸	79
5.5 QFN40 封装外形尺寸	80
6. 命名规则	82
6.1 LCM32F037 系列产品命名规则	82
6.2 LCP037A/B/C 系列产品命名规则	83
7. 修订历史	84

图片目录

图 1-1	LCM32F037 模块框图	9
图 1-2	LCM32F037 时钟结构图	12
图 1-3	LCM32F037 总线矩阵	13
图 1-4	ADC 框图	15
图 1-5	DAC、HALL_MID 和 ACMP 互联	16
图 1-6	OPA 内部结构和外部互联	17
图 1-7	LCP037A 系列功能框图	23
图 1-8	LCP037B 系列功能框图	27
图 1-9	LCP037C 系列功能框图	30
图 2-1	LCM32F037K6T8 LQFP32 封装引脚排列	33
图 2-2	LCM32F037H6S8 SSOP24 封装引脚排列	34
图 2-3	LCM32F037K6U8 QFN32 (5*5*0.75-P0.5) 封装引脚排列	34
图 2-4	LCM32F037H6V8 QFN24 (4*4*0.75-P0.5) 封装引脚排列	35
图 2-5	LCP037AH31E(G)S8 SSOP24 封装引脚排列	40
图 2-6	LCP037AK31EU(V)8 QFN32 封装引脚排列	40
图 2-7	LCP037BK32ET8 LQFP32 封装引脚排列	45
图 2-8	LCP037BK32EU8 QFN32 (5*5*0.75-P0.5) 封装引脚排列	46
图 2-9	LCP037BT32EU8 QFN40 封装引脚排列	47
图 2-10	LCP037CC32EU8 QFN38 封装引脚排列	52
图 3-1	存储器映射	57
图 4-1	低端输出 LO 开关时间波形图	65
图 4-2	高端输出 HO 开关时间波形图	65
图 4-3	死区时间波形图	65
图 5-1	LQFP32 (7*7*1.4-P0.8) 封装外形尺寸	75
图 5-2	SSOP24 封装外形尺寸	76
图 5-3	QFN32 (4*4*0.75-P0.4) 封装外形尺寸	77
图 5-4	QFN32 (5*5*0.75-P0.5) 封装外形尺寸	78
图 5-5	QFN38 (7*7*0.75-P0.5) 封装外形尺寸	79
图 5-6	QFN40 (5*5*0.75-P0.4) 封装外形尺寸	80

表格目录

表 1-1 LCM32F037 外设互联矩阵	13
表 1-2 定时器特性比较	18
表 2-1 引脚排列表中使用的图例/缩略语	36
表 2-2 LCM32F037 引脚定义	36
表 2-3 端口 A 可选复用功能映射	39
表 2-4 端口 B 可选复用功能映射	39
表 2-5 端口 F 可选复用功能映射	39
表 2-6 引脚排列表中使用的图例/缩略语	41
表 2-7 LCP037A 系列引脚定义	41
表 2-8 预驱引脚描述	44
表 2-9 引脚排列表中使用的图例/缩略语	48
表 2-10 LCP037B 系列引脚定义	48
表 2-11 预驱引脚描述	51
表 2-12 引脚排列表中使用的图例/缩略语	53
表 2-13 LCP037C 系列引脚定义	53
表 3-1 LCM32F037 系列外设寄存器地址空间划分	58
表 4-1 LCP037Ax31E 预驱模块极限参数	60
表 4-2 LCP037Ax31E 预驱模块典型参数	60
表 4-3 LCP037Ax31G 预驱模块极限参数	61
表 4-4 LCP037Ax31E 预驱模块典型参数	61
表 4-5 LCP037B 系列预驱模块极限参数	62
表 4-6 LCP037B 系列预驱模块典型参数	62
表 4-7 LCP037C 系列预驱模块极限参数	64
表 4-8 LCP037C 系列预驱模块典型参数	64
表 4-9 电压特性	66
表 4-10 电流特性	66
表 4-11 热特性	66
表 4-12 工作条件	66
表 4-13 系统监控与复位特性	67
表 4-14 内部参考电压特性	67
表 4-15 工作电流特性	68
表 4-16 低功耗电流特性	68
表 4-17 低功耗唤醒特性	69
表 4-18 外部时钟特性	69
表 4-19 外部晶振特性	69
表 4-20 内部时钟特性	69
表 4-21 PLL 特性	70
表 4-22 Flash 存储特性	70
表 4-23 ESD 保护和 Latch-up 免疫特性	70
表 4-24 I/O 特性	71
表 4-25 ADC 特性	72
表 4-26 TS 特性	72
表 4-27 ADC 精度	72
表 4-28 OPA 特性	72
表 4-29 ACMP 特性	73

表 4-30 DAC 特性	74
---------------------	----



1. 功能概述

1.1 LCM32F037 系列

1.1.1 模块框图

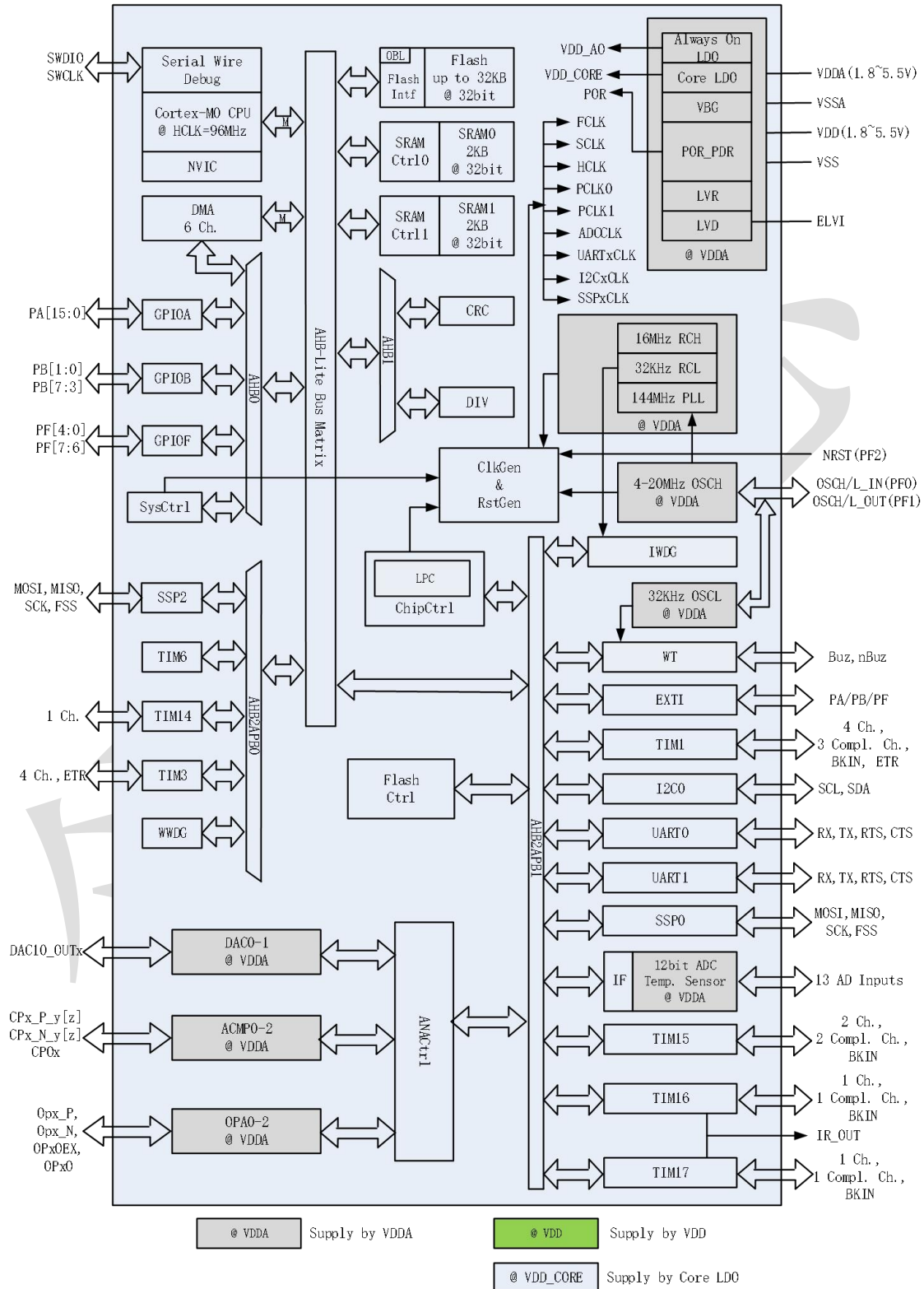


图 1-1 LCM32F037 模块框图

1.1.2 32 位 M0 处理器

采用 32 位 ARM Cortex-M0 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗、提供额外的代码效率，同时提供卓越的计算性能和先进的中断系统响应。

LCM32F037 产品系列拥有内置的 ARM 内核，因此它与市面通用的工具和软件兼容。

1.1.3 嵌入式 Flash

LCM32F037 内置嵌入式 32KBytes Flash 用来存储程序和数据。

Flash 访问时间依赖于 CPU 时钟频率：CPU 时钟频率在 0 到 32MHz 之间时，0 个等待周期；在 32MHz 到 64MHz 时，1 个等待周期；在大于等于 64MHz 时，2 个等待周期。CPU 高速运行时，为了提高访问效率，减少等待时间，实现了 3 个 32 位的指令预取 Buffer。

Flash 在功能上被划分为三个部分：

- 32KBytes 的 Main Memory，主要用于存储用户程序和数据
- 512Bytes 的 Option Bytes，用于读写保护和用户配置信息等
- 1536Bytes 的 System Memory，用于存储 Boot Loader、校准信息和设备配置信息等

写保护防止 Main Memory 被篡改，以 1KBytes（2 个 Page）为单位，一共有 32 个独立的写保护区间。

读保护分为三个保护等级；Main Memory 划分为 8 个区间，每个区间可以独立配置为读保护等级 0 或者等级 1；读保护等级 2 针对所有的 Memory 区间。

- Level 0：没有读保护
- Level 1：存储读保护，不能通过 debug 端口、SRAM/System Memory 里的程序和读保护等级为 0 的 Main Memory 区间里的程序读写 Flash。
- Level 2：芯片读保护，debug 功能和从 SRAM/System Memory 里执行程序功能被禁止。

1.1.4 嵌入式 SRAM

LCM32F037 包含两个独立的 SRAM Bank，支持同时读写。每个 Bank 为 2KBytes（位宽 32bit），一共 4KBytes。CPU 和 DMA 模块能以 0 个等待周期对 SRAM 进行读写访问。

1.1.5 启动模式

启动时，boot0pin 和 boot selector option bit 用来选择三种启动模式：

- 从 Main Memory 启动
- 从 System Memory 启动
- 从 SRAM 启动

Boot loader 在 System Memory 里，可以通过 UART/I2C/SSP 通信接口对 Flash 进行在应用编程和升级。

1.1.6 电源管理

1.1.6.1 供电方案

- VSS, VDDH = 1.8~5.5V: VDDH 引脚为 I/O 引脚和 RCH、PLL 等高频模块供电。
- VSSA, VDDA = 1.8~5.5V: 为复位模块、RC 振荡器、PLL、内部调压器（LDO）和模拟模块供电。VDDA 电压必须大于或等于 VDDH 电压，并且要先于 VDDH 提供。VDDA 和 VSSA 可分别连接到 VDDH 和 VSS。

1.1.6.2 电源检测

LCM32F037 内部集成了一个高精度的上电/掉电复位（POR/PDR）电路。这个复位电路在上电时始终处于工作状态，保证系统在供电高于 1.8V 后工作；当供电低于设定的阈值时，设备处于复位状态，而不必使用外部复位电路。

LCM32F037 内部还集成了一个可编程低压复位器（LVR），它监视 VDD 供电并与设定的阈值电压比较，当 VDD 低于阈值电压时，置设备于复位状态。LVR 默认是打开的，可通过软件关闭。LVR 支持 8 个低压复位点：1.6V、1.8V、2.0V、2.5V、2.8V、3.0V、3.5V、4.0V。当 MCU 的系统频率超过 72MHz 时，要求 MCU 供电大于 4V，因此建议设置 LVR 档位为 4.0V 作为保护；其他系统频率下，可根据供电配置合适的 LVR 档位。

LCM32F037 内部还集成了一个可编程电压监测器（LVD），它监视 VDD 供电并与设定的阈值电压比较，当 VDD 低于或高于阈值电压时产生中断，中断处理程序可以发出警告信息或将设备转入安全模式。LVD 默认是关闭的，需要通过软件开启。LVD 支持 8 个电压监测点：2.0V、2.2V、2.4V、2.7V、2.9V、3.1V、3.6V、4.5V。

1.1.6.3 电压调压器（LDO）

LCM32F037 里包含两个 LDO，内核 LDO 用于系统运行的内核电源域，低功耗 LDO 用于常开/备份电源域。两个 LDO 在上电复位后处于工作状态。当系统处于超低功耗待机模式时，内核 LDO 停止工作，系统由低功耗 LDO 供电。

内核 LDO 有三种操作模式：

- 主模式（MR），用于系统正常的运行操作，电压 1.5V
- 低功耗模式（LPR），此时 LDO 的自身功耗下降到 10uA 左右，输出驱动能力降低，用于系统的待机模式
- 关断模式（PD），用于超低功耗待机模式。如果系统处于超低功耗待机模式，内核电源域由低功耗 LDO 供电，寄存器和 SRAM 的内容保持，低功耗 LDO 的电压四挡可调，分别为 1.0、1.1、1.2 及 1.5V

1.1.6.4 低功耗模式

系统上电复位或者外部复位之后，默认处于运行模式，用户可以根据自身的环境应用，选择进入不同的低功耗模式来节省 MCU 功耗。LCM32F037 支持三种低功耗模式，可以在低功耗、短启动时间和可唤醒源之间达到最佳的平衡。

● 睡眠模式（SLEEP）

在睡眠模式，只有 CPU 停止工作，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU，内核 LDO 处于主模式。

● 待机模式（STOP）

在保持 SRAM 和寄存器内容不丢失的情况下，待机模式可以达到极低的功耗。在待机模式下，内核 LDO 可以被配置为主模式或者低功耗模式。内核电源域的所有高频时钟全部被关掉，PLL、RCH 和 OSCH 被关闭，内核电源域里的各个模拟模块根据内核 LDO 的状态，可以通过软件关掉或者打开。

可以通过任何 EXTI 把微控制器从待机模式中唤醒，EXTI 可以是 16 个映射的外部 I/O 口之一、LVD、WT 闹钟或模拟比较器 ACMP 的输出。

● 超低功耗待机模式（ULP STOP）

在保持 SRAM 和寄存器内容不丢失的情况下，超低功耗待机模式可以达到最低的功耗。在超低功耗待机模式下，内核电源由低功耗 LDO 提供。内核电源域的所有高频时钟全部被关掉，PLL、RCH 和 OSCH 被关闭，内核电源域里的各个模拟模块也全部被关掉。

超低功耗模式时，低功耗 LDO 输出电压有 4 档可选，当选择 1.0V 时，可进一步降低静态功耗。

可以通过任何 EXTI 把系统从超低功耗待机模式中唤醒，EXTI 信号可以是 16 个映射的外部 I/O 口之一或 WT 闹钟的输出。

1.1.7 时钟系统

系统时钟源的选择是在启动时进行，复位时内部 16MHz 的 RC 振荡器 RCH 被选为默认时钟。随后可以选择外部的具失效监控的 4~16MHz 的晶振时钟 OSCH 或者 PLL 时钟。时钟安全系统（CSS）可以被激活，它在 OSCH 时钟启动并稳定后被使能，并在 OSCH 时钟关闭后关闭。当 CSS 使能且 OSCH 时钟出现故障时，CSS 产生中断。

OSCH 和 OSCL 复用相同的 I/O（PF0 和 PF1），因此实际使用时，不能同时打开。

RCH、OSCH、PLL 和几个时钟分频器一起用来配置 AHB 和 APB0/1 总线的频率。AHB 和 APB 总线所支持的最高频率为 96MHz。LCM32F037 的时钟框图如图 1-2 所示。

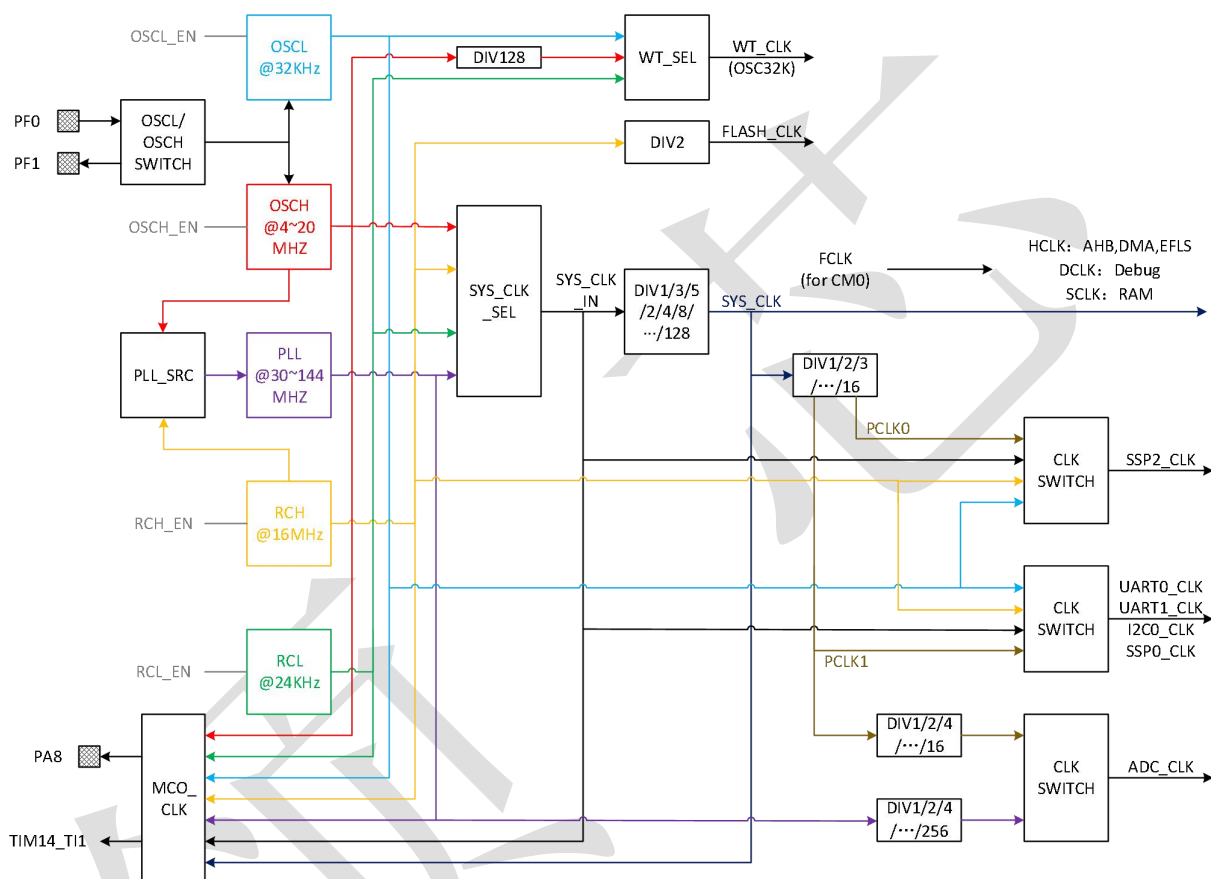


图 1-2 LCM32F037 时钟结构图

1.1.8 Multi-AHB 总线矩阵

32 位的多 AHB 总线矩阵将所有主机模块（CPU、DMA）和从机模块（Flash、SRAM、AHB、APB 外设）互连，确保芯片多个高速外设可以同时高效地工作。

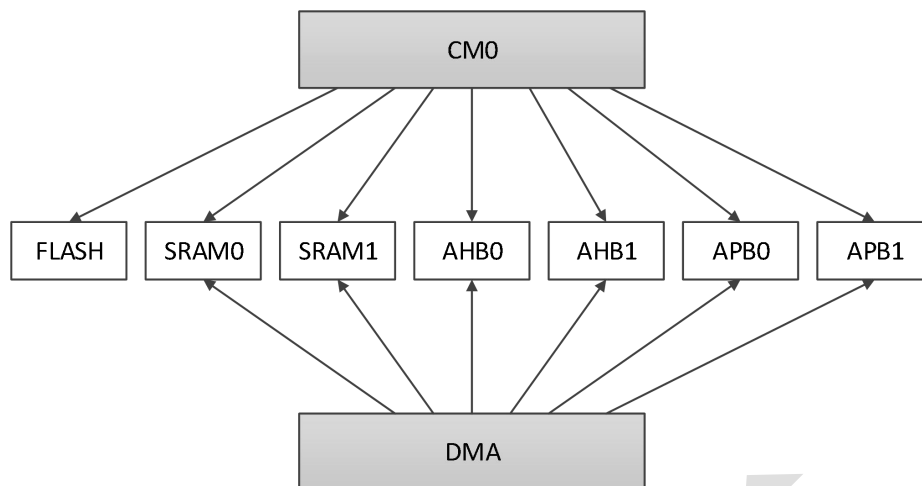


图 1-3 LCM32F037 总线矩阵

1.1.9 外设互联矩阵

LCM32F037 外设之间存在可配置的互联，允许外设之间自动、灵活地进行通信交互，可以节省 CPU 开销并降低功耗，而且保证了快速、可预测的响应延时。

表 1-1 LCM32F037 外设互联矩阵

互联发起源	互联目标	联动行为
TIMx	TIMx	定时器之间的同步和联动
	ADC	A/D 转换触发
	DACx	D/A 转换触发
	ACMPx	比较器输出消隐控制
	DMA	Memory 传输触发
ADC	TIMx	模拟看门狗触发定时器
GPIO WTCLK OSCH/128 MCO	TIM14	各时钟源接入定时器的输入通道，用于时钟测量和校准
ACMPx	TIMx	定时器输出控制，输入捕获，输入触发
	ADC	A/D 转换触发
CSS CPU (Hard Fault) LVD ACMPx GPIO	TIM1 TIM15 TIM16 TIM17	定时器紧急关断输入
GPIO	TIMx	外部触发，紧急关断
	ADC	A/D 转换外部触发
	DACx	D/A 转换触发
DACx	ACMPx	比较器输入

1.1.10 通用 I/O 端口 (GPIO)

LCM32F037 包含多达 30 个快速 I/O 端口，可以容忍 5V 电压。驱动能力和斜率两档可调，所有 I/O 都有大电流的功能，具有速度选择以更好地管理内部噪声、功耗、电磁辐射。

每个 I/O 端口可被软件配置为悬空输入、上拉输入、下拉输入、推挽输出、开漏输出、开源输出，支持不同的外设引脚复用功能。

I/O 端口包含一到两路模拟通道，软件可配置关断或者使能。当 I/O 包含两路模拟通道时，两路模拟通道可以同时打开，内部导通。

I/O 端口支持外设复用的重映射功能，那些复用的外设功能不仅可以通过默认的引脚实现，还可以通过其他可重映射的引脚实现。这使得引脚的选择更加灵活，制板更加方便，使用户可以在选定的设备下实现最多数量的外设功能。

I/O 功能配置可通过执行一个特定的读写操作序列来锁住，防止意外篡改。

1.1.11 DMA 控制器

LCM32F037 包含一个 4 通道的 DMA 控制器，用来在脱离 CPU 的控制下进行内存映射的外设和/或内存之间的可编程数据传输。每个 DMA 通道专用于管理来自一个或多个外设的内存访问请求，其中包括一个仲裁器，用于处理 DMA 请求之间的优先级。每个 DMA 通道的传输长度、传输源地址和目标地址都可以通过软件独立设置。

DMA 可以用于下列外设：SSP、I2C、UART、ADC、DAC 和定时器。

1.1.12 中断和事件

1.1.12.1 嵌套的向量式中断控制器（NVIC）

LCM32F037 内置嵌套的向量式中断控制器，能够处理多达 32 个可屏蔽中断通道（不包括 16 个 Cortex-M0 内部的中断线）和一个不可屏蔽中断通道，这些中断共有 4 个可配置优先级。

NVIC 与处理器核心接口紧密耦合，实现了低延迟中断处理和对延迟中断的高效处理。包括核心异常在内的所有中断都由 NVIC 管理。有关异常和 NVIC 编程的更多信息，请参阅针对 Cortex-M0 产品的编程手册。

1.1.12.2 外部中断/事件控制器（EXTI）

外部中断/事件控制器（EXTI）管理外部和内部的异步事件/中断，并向 CPU/中断控制器生成事件请求，并向电源管理器生成唤醒请求。

EXTI 允许管理 22 个外部/内部事件线（多达 30 个通用 I/O 口连接到 16 个外部中断线和 6 个内部事件线）。

每个中断/事件线都可以独立地配置它的触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；一个挂起寄存器维持所有中断请求的状态。

EXTI 可以检测到脉冲宽度小于内部 APB1 的时钟周期，也可以配置为同步滤波窄脉冲（依赖于时钟频率，脉冲宽度可由纳秒级到毫秒级）。

1.1.13 模数转换器（ADC）

LCM32F037 内置有 1 个 12 位 ADC，它有多达 18 个多路复用通道，允许它测量来自 16 个外部 I/O 和 2 个内部的电压。包含两个独立的采样/保持电路，最高转换速率达 1.5MSPS；内置 16 深度的 FIFO，支持 DMA 功能。支持高效的低功耗模式，允许在低频率工作时降低功耗。DAC 和运算放大器的输出也可以通过 I/O 端口送给 ADC 的输入通道。

ADC 支持使用内部参考电压（3.3V 或 5V）或外部参考电压（2.5V、4V、VDDA 或外部 I/O 供电）。

各个通道的 A/D 转换可以在单次、连续或断续模式下进行。单次模式为一次触发转换一个序列中的所有通道；连续模式为连续转换所有选中的通道；断续模式为一次触发转换一个所选的通道。

ADC 内置有一个温度传感器，温度传感器产生一个随温度线性变化的电压，在内部被连接到输入通道上。

模拟看门狗功能允许应用程序检测输入电压是否超出用户定义的高或低阈值，当被监视的信号超出预置的阈值范围时，将产生中断。

定时器、模拟比较器和外部 I/O 产生的事件可以通过各种逻辑组合触发 ADC 的转换启动。

ADC 输入时钟由 APB 总线时钟 PCLK1 或 PLL_CLK 时钟经过预分频之后产生，且不能超过 24MHz。

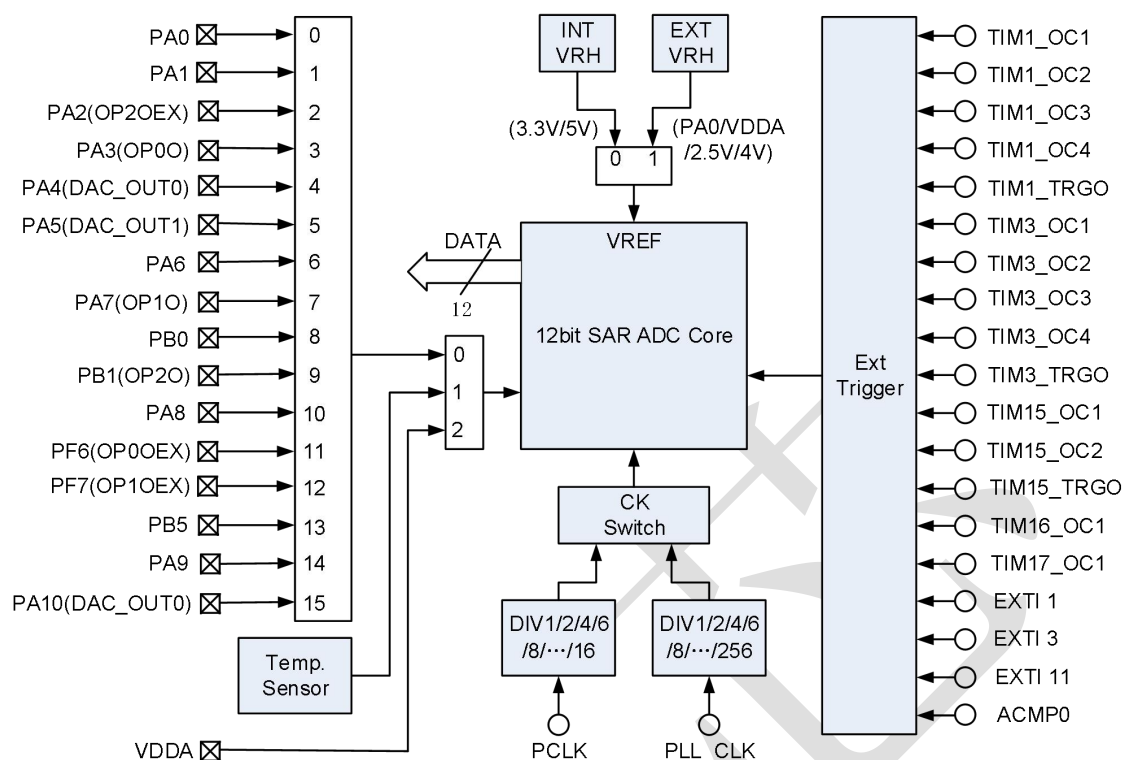


图 1-4 ADC 框图

注1: OP0OEX/OP1OEX/OP2OEX 的输出直接连到 ADC 的输入通道，I/O 无须配置成模拟模式，模拟通道不需要使能；I/O 空闲，可以用作其他功能。

注2: VRH/OP0O/OP1O/OP2O/ DAC_OUT0/DAC_OUT1 输出可以通过 I/O 的两个模拟通道环路到 ADC 的输入通道。I/O 必须配置成模拟模式，两个模拟通道都要使能；外部高阻；I/O 被占用，不得用作其他功能。

1.1.14 数模转换器（DAC）、模拟比较器（ACMP）和反向电动势采样控制器（HALL_MID）

LCM32F037 包含 2 个 10 位 DAC 模块，可用于将输入的 2 路数字信号转换成 2 个模拟电压输出到 I/O 或者 3 个模拟比较器的输入。每个 DAC 参考电压可选为 2.5V、4V 或 VDDA。每个 DAC 都支持硬件触发和 DMA 传输功能。每个 DAC 都支持硬件产生可配置的伪随机噪声波形和三角波形。

LCM32F037 包含 3 个快速的轨到轨模拟比较器，比较器的输入来自内部 DAC 输出、HALL_MID 输出或者外部端口。比较器的外部触发、迟滞、速度、滤波、极性和消隐都可以通过软件配置。所有的比较器都可以产生中断，支持将系统从停机模式唤醒。所有的比较器都可以和定时器联动。两个比较器可以组合成一个窗口比较器。

LCM32F037 包含 1 个反向电动势采样控制器（HALL_MID），可以和 DAC、ACMP 联动工作。

I/O 端口、反向电动势采样控制电路、DAC 和比较器之间的互联如图 1-5 所示。

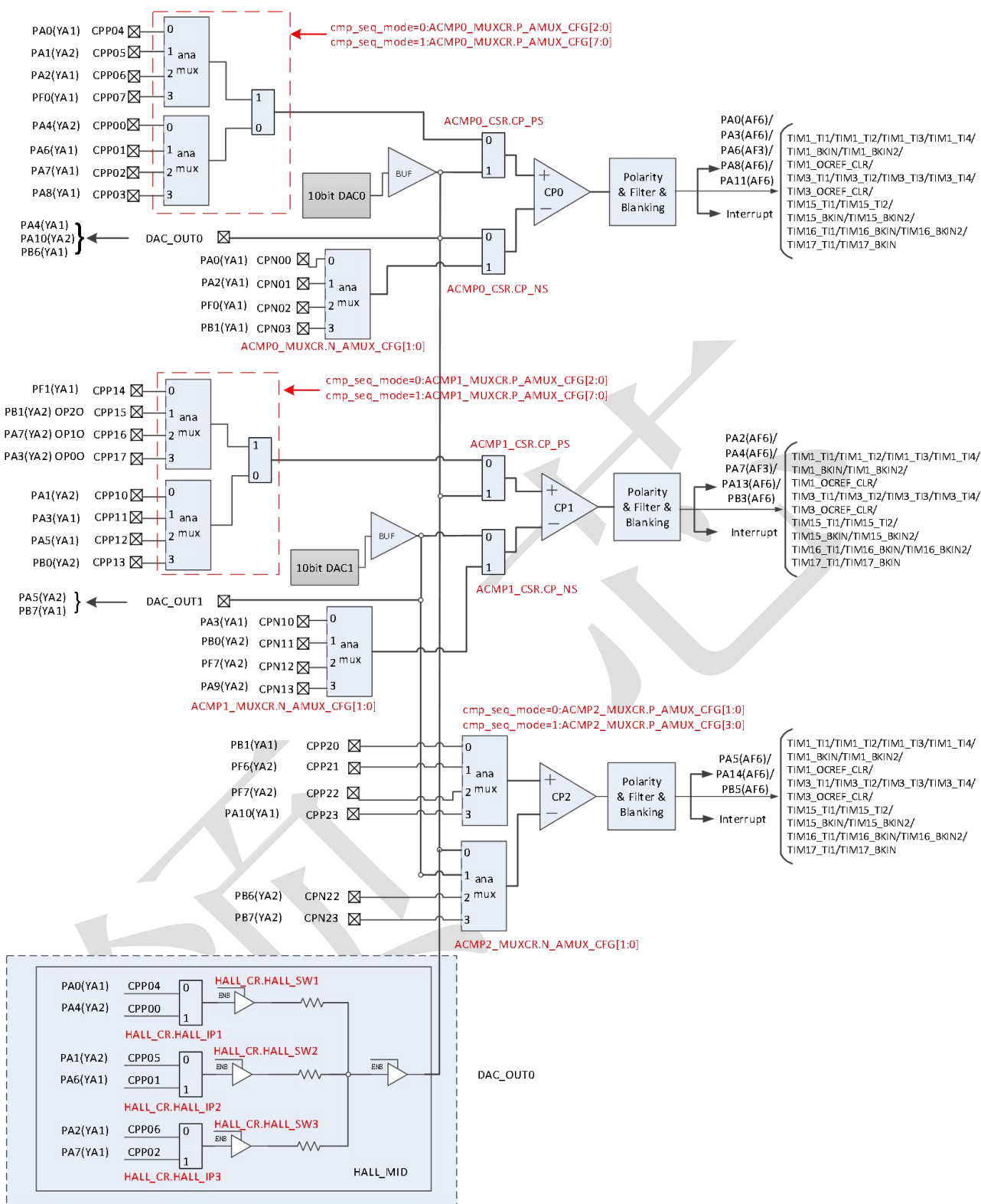


图 1-5 DAC、HALL_MID 和 ACMP 互联

注：当模拟通道环路到ADC的输入通道时，I/O 必须配置成模拟模式，两个模拟通道都要使能；外部高阻；I/O 被占用，不得用作其他功能。

1.1.15 运算放大器（OPA）

OPA 内部结构和外部互联如图 1-6 所示。

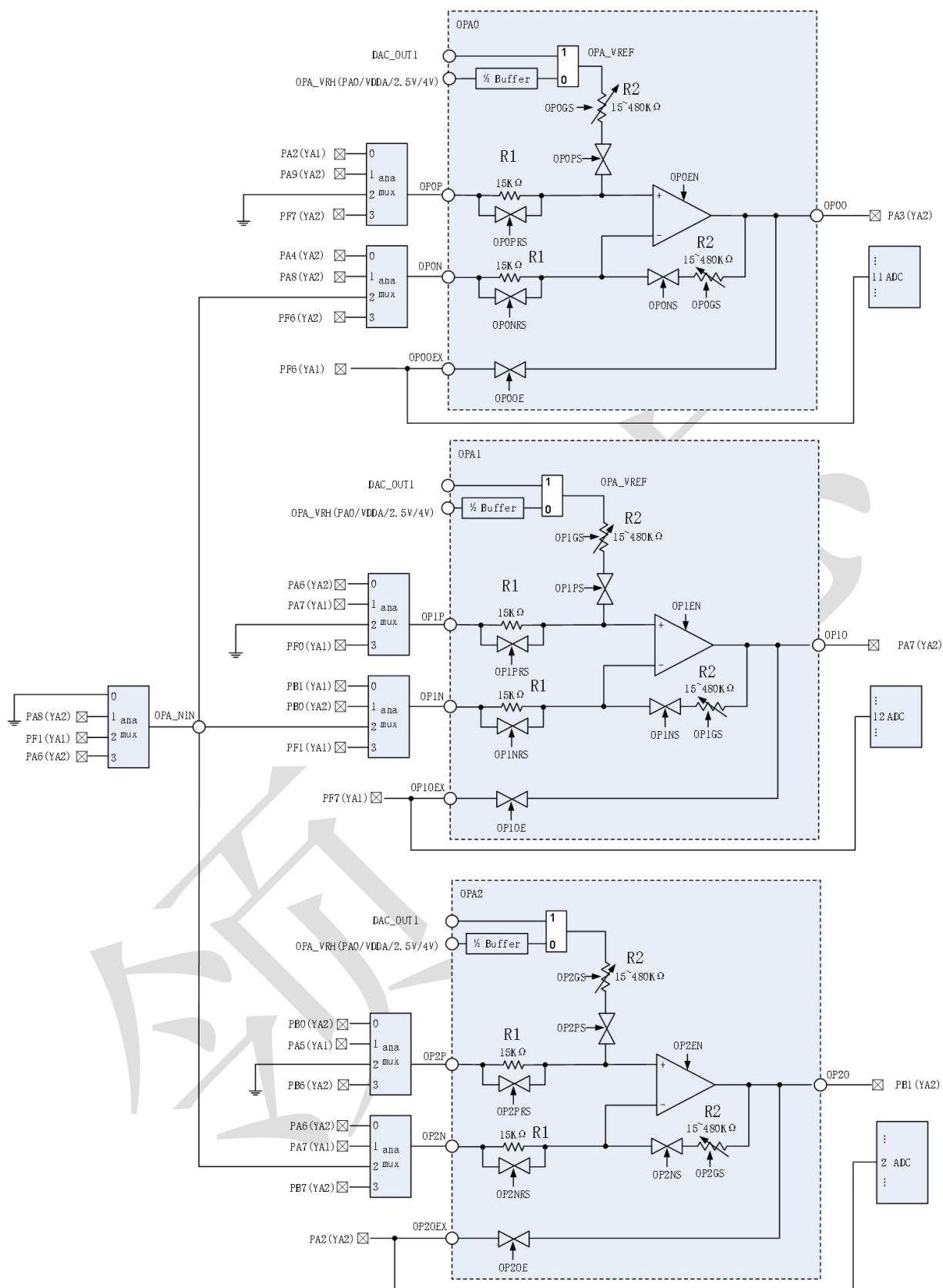


图 1- 6 OPA 内部结构和外部互联

LCM32F037 内置 3 个运算放大器，放大倍数均为 1/2/6/8/10/16/20/32，输出偏置为 OPA_VRH/2 或 DAC_OUT1。三个运算放大器具有如下特性：

- 输入共模电压：0V ~ VDDA
- 输入失调电压：-/+ 5mV（未校准）；-/+ 1mV（校准后）

- 转换速率：5V/us
- 电源电压抑制比：60（min），80（typ）
- 增益系数精度：+/- 1%
- 运放的温度漂移：0.1%
- CMRR：90dB
- 运放的温度特性：温度越高，放大倍数略大，即放大曲线上翘，严禁下曲

注 1： OP00/OP10/OP20 输出可以通过 I/O 的两个模拟通道环路到 ADC 的输入通道。I/O 必须配置成模拟模式，两个模拟通道都要使能；外部高阻；I/O 被占用，不得用作其他功能。

1.1.16 定时器和看门狗

LCM32F037 包括 1 个高级控制定时器、5 个通用定时器、1 个基本定时器、2 个看门狗定时器和 1 个系统基定时器。在调试模式下，可以冻结所有定时器计数器。

表 2-2 比较了高级控制定时器、通用定时器和基本定时器的特性。

表 1-2 定时器特性比较

定时器类型	名称	计数器精度	计数器方向	预分频系数	DMA 请求	捕获/比较通道	互补输出
高级定时器	TIM1	16-bit	Up, Down, Up/down	1~65536	Yes	4	3
通用定时器	TIM3	16-bit	Up, Down, Up/down	1~65536	Yes	4	0
	TIM14	16-bit	Up	1~65536	No	1	0
	TIM15	16-bit	Up, Down, Up/down	1~65536	Yes	2	2
	TIM16	16-bit	Up, Down, Up/down	1~65536	Yes	1	1
	TIM17	16-bit	Up, Down, Up/down	1~65536	Yes	1	1
基础定时器	TIM6	16-bit	Up	1~65536	Yes	0	0

1.1.16.1 高级控制定时器（TIM1）

高级定时器 TIM1 是一个 16 位的定时器/计数器，由一个可编程的预分频器驱动，有四路不同的捕获/比较通道。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）和产生输出波形（输出比较，PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、刹车、触发）的中断以及与其它定时器或外部信号（外部时钟、复位、触发和使能信号）同步。

TIM1 可以看作是一个复用 6 个通道的 3 相 PWM，支持互补的 PWM 输出，能插入可编程的死区时间。也可以看做是一个完整的通用定时器。4 个独立的通道可以被分别用于：

- 输入捕获
- 输出比较
- PWM 生成（边沿或中央对称模式）
- 单脉冲模式输出

如果配置为一个标准的 16 位定时器，TIM1 具有 TIMx 定时器的所有特性。如果配置为 16 位 PWM 生成器，TIM1 具有全调制能力（0 到 100%）。TIM1 支持延时触发和防误触发机制。在调试模式下，计数器可以被冻结。TIM1 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

1.1.16.2 通用定时器（TIM3/14/15/16/17）

LCM32F037 内置有 5 个可同步的通用定时器，具体差异参见上面的表 1-2。

TIM3

通用定时器 TIM3 是一个 16 位的定时器/计数器，由一个可编程的预分频器驱动，有四路不同的捕获/比较通道。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）产生输出波形（输出比较，PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、触发）的中断以及与其它定时器或外部信号（外部时钟、复位、触发和使能信号）同步。

TIM3 的 4 个独立的通道可以被分别用于：

- 输入捕获
- 输出比较
- PWM生成（边沿或中央对称模式）
- 单脉冲模式输出

TIM3 没有互补输出。如果配置为 16 位 PWM 生成器，TIM3 具有全调制能力（0 到 100%）。在调试模式下，计数器可以被冻结。TIM3 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

TIM14

通用定时器 TIM14 是一个 16 位的定时器/计数器，由一个可编程的预分频器驱动，有一路捕获/比较通道。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）产生输出波形（输出比较和 PWM），对应于不同事件（捕获、比较和溢出）的中断。

TIM14 的 1 个独立的通道可以被分别用于：

- 输入捕获
- 输出比较
- PWM生成（边沿模式）

TIM14 没有互补输出，也没有 DMA 功能。在调试模式下，计数器可以被冻结。TIM14 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

TIM15、TIM16、TIM17

通用定时器 TIM15/16/17 是 16 位的定时器/计数器，由一个可编程的预分频器驱动。主要用于基本定时，测量输入信号的脉冲宽度（输入捕获）产生输出波形（输出比较，PWM 和单脉冲模式），对应于不同事件（捕获、比较、溢出、刹车、触发）的中断以及与其它定时器或外部信号（外部时钟、复位、触发和使能信号）同步。

TIM15/16/17 是完全独立的，不共享任何资源。TIM15/16/17 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

TIM15 支持互补的 PWM 输出，能插入可编程的死区时间。TIM15 的 2 个独立的通道可以被分别用于：

- 输入捕获
- 输出比较
- PWM生成（边沿或中央对称模式）
- 单脉冲模式输出

如果配置为 16 位 PWM 生成器，TIM15 具有全调制能力（0 到 100%）。在调试模式下，计数器可以被冻结。TIM15 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。

TIM16/17 支持互补的 PWM 输出，能插入可编程的死区时间。TIM16/17 的 1 个独立的通道可以被用于：

- 输入捕获
- 输出比较
- PWM生成（边沿或中央对称模式）
- 单脉冲模式输出

如果配置为 16 位 PWM 生成器，TIM16/17 具有全调制能力（0 到 100%）。在调试模式下，计数器可以被冻结。TIM16/17 可以通过定时器联动机制与其他定时器共同工作，提供同步或事件联接功能。TIM16 和 TIM17 的 OC1 输出可以产生 IR_OUT 信号并从 I/O 输出，用来模拟红外发射功能。

1.1.16.3 基本定时器（TIM6）

基础定时器 TIM6 是一个 16 位的定时器/计数器，由一个可编程的预分频器驱动，主要用于基本定时。在计数器上溢时能够产生中断和 DMA 请求。

1.1.16.4 独立看门狗（IWDG）

独立看门狗 IWDG 基于一个 12 位的递减计数器和一个 8 位的预分频器，包含一个用户定义的刷新窗口。它由内部独立的 RCL 振荡器提供时钟，可以工作在低功耗模式下。它可以被当成看门狗在发生问题时复位整个系统，或者作为一个自由运行的定时器为应用程序提供超时管理。通过选项字节可以配置成软件或硬件启动 IWDG，一旦启动后就不能停止。在调试模式下，计数器可以被冻结。

1.1.16.5 窗口看门狗（WWDG）

窗口看门狗 WWDG 基于一个 7 位的递减计数器，可以被设置成自由运行。它可以被当成看门狗在发生问题时复位整个系统。它由 APB0 时钟驱动，具有早期预警中断功能。在调试模式下，计数器可以被冻结。

1.1.16.6 系统时基定时器（SysTick）

系统时基定时器专用于实时操作系统，也可用作一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重载功能
- 当计数器计为 0 时，能产生一个可屏蔽的系统中断
- 可编程时钟源（HCLK 或者 HCLK/8）

1.1.17 钟表定时器（WT）

WT 在超低功耗停机模式时，由低功耗 LDO 供电；在其他模式下由内核 LDO 供电。只有配置 WT 时钟并使能 WT 时钟后，用户才能正常访问 WT。WT 可以被软件复位。WT 主要用于产生实时中断，同时还作为蜂鸣器输出，主要特性如下：

- WT 的时钟源有 3 种可选：RCL、OSCL、OSCH 的 128 分频
- 8 位定时器有 4 个频率的时钟源 T8CK：4KHz，64Hz，1Hz，1/60Hz
- 可产生 8 位定时器溢出中断
- 为可输出周期为 0.5s 中断
- 可输出八种 BUZ 信号频率：高频四种 8192Hz、4096Hz、2048Hz、1024Hz，低频四种 2Hz、1Hz、0.5Hz、0.25Hz，并可输出对应的反向 nBUZ 信号

WT 的驱动时钟源如下（工作过程中不能切换时钟源）：

- 32.768KHz 的外部晶体振荡器（OSCL）
- 内部 RC 振荡器，典型频率为 24KHz（RCL）
- 高速外部时钟 OSCH 的 128 分频

1.1.18 I2C 接口

LCM32F037 内置了 1 个 I2C 接口，主要包含如下特性：

- 能够工作于多主机模式或从机模式
- 支持标准模式（最高 100Kbps）、快速模式（最高 400Kbps）和超快速模式（最高 1Mbps）
- 支持 7 位或 10 位寻址模式，7 位从模式时支持双从地址寻址
- 支持批量传输模式
- 独立的工作时钟，高达 96MHz
- 带有 8Bytes 的发送和接收 FIFO，支持 DMA 操作
- 可编程的 SDA 保持时间

1.1.19 UART 接口

LCM32F037 内置了 2 个 UART 接口（UART0、UART1），主要包含如下特性：

- 全双工，异步通讯
- NRZ 标准格式（mark/space）
- 支持接收和发送单独使能
- 8×8bit 发送 FIFO 和 8×12bit 接收 FIFO，减少 CPU 中断，支持 FIFO 功能关闭
- 发送和接收 FIFO 中断触发阈值可选：FIFO 1/8、1/4、1/2、3/4、7/8
- 波特率发生器：带有 16 位的整数分频寄存器，可将外设时钟经（1×16）到（65535×16）分频获得波特率时钟。带有 6 位小数分频寄存器可用频率超过 3.6864MHz 的任意时钟作为参考时钟
- 标准的异步通讯位（start、stop、parity），这些位在传输前添加，在接收后移除
- 独立的中断屏蔽位，包括发送 FIFO、接收 FIFO、接收停止、错误条件等中断
- 支持 DMA 连续数据通讯
- 支持硬件流控制
- 支持数据格式的灵活配置
 - 停止位个数可设置：支持 1 个或 2 个停止位
 - 数据字长可编程（5 或 6 位或 7 或 8 位）
 - 校验控制（发送产生和接收检查）：不带奇偶校验位，奇校验或偶校验，校验位固定为 0 或 1
- 通讯线上 break 信号的产生和检测
- UART 工作模式下支持的最大波特率：921600 bps
- 五种错误检测：溢出错误、帧错误、校验错误、接收停止错误和 Break 检测错误
- 多个中断源和中断标志：溢出错误、帧错误、奇偶错误、打断错误、接收停止、发送完成和接收完成

1.1.20 SSP 接口

LCM32F037 内置 2 个 SSP 接口（SSP0、SSP2），主要包含如下特性：

- 支持主机和从机模式
- 支持 Motorola SPI、TI SSI、National Semiconductor Microwire 三种接口协议
- 帧长度 4 到 16 位可配
- 独立的工作时钟，高达 96MHz
- 可编程的预分频系数和传输比特率
- 在主机模式时，最高通信速率可达 32Mbps；在从机模式时，最高通信速率可达 8Mbps
- 支持内部回环测试模式
- 独立的 8×16bit 发送和接收 FIFO
- 支持 DMA 操作

1.1.21 循环冗余校验（CRC）计算单元

CRC（循环冗余校验）计算单元使用一个可配置的多项式发生器，从一个 8 位/16 位/32 位的数据字产生一个 CRC 码。

在众多的应用中，基于 CRC 的技术被用于验证数据传输或存储的一致性。在 EN/IEC 60335-1 标准的范围内，它提供了一种检测闪存存储器错误的手段，CRC 计算单元可以用于实时地计算软件的签名，并与在链接和生成该软件时产生的签名对比。

1.1.22 除法器（DIV）

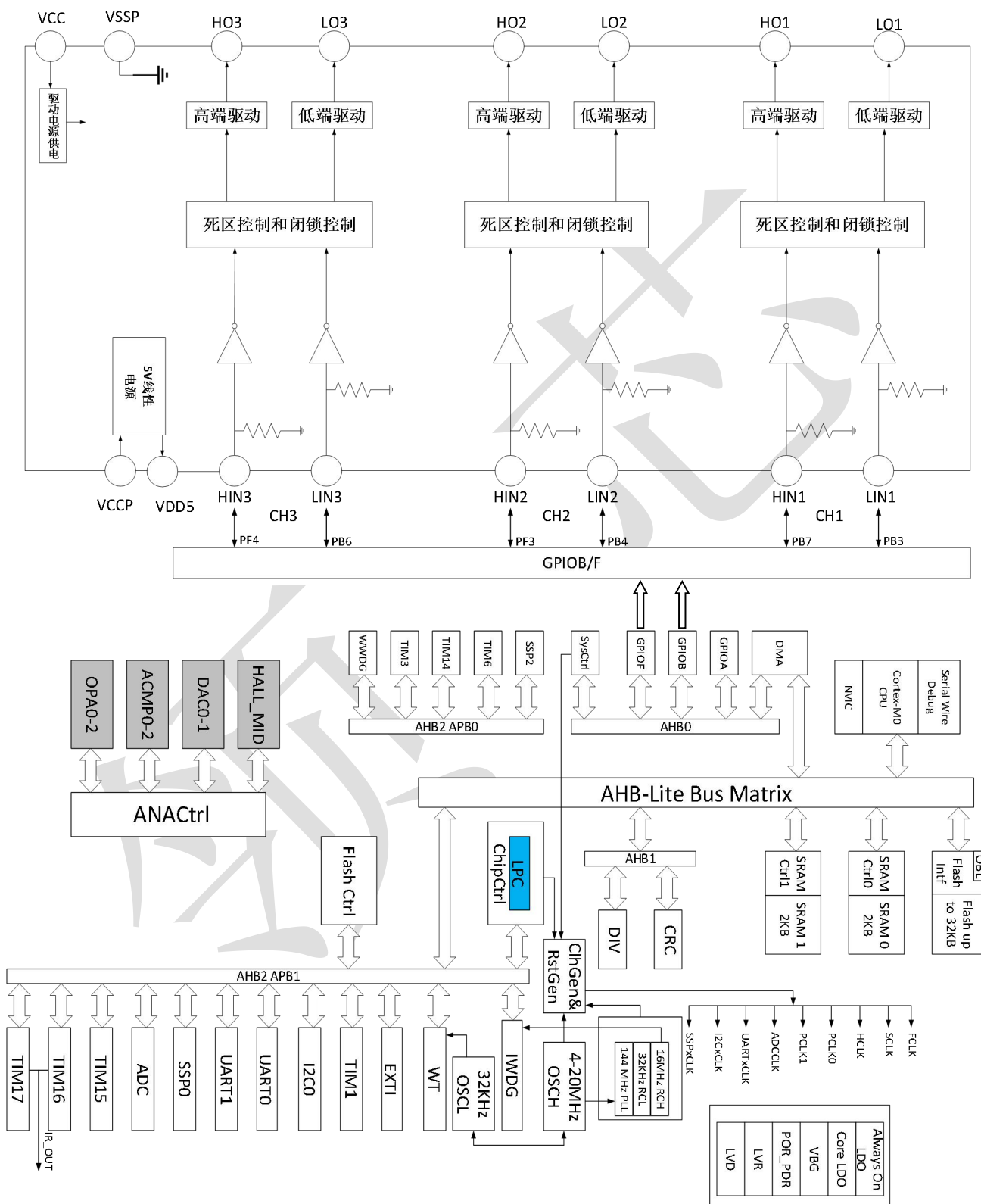
支持 64/32 的有符号操作，32 个周期完成；向下支持 32/32 的有符号除法。将数据写入除数寄存器后开始计算，待 32 个周期后读取计算结果。

1.1.23 串行线调试口（SW-DP）

内置的 ARM SW-DP 调试口可以实现串行线调试工具连接到目标设备，仅使用 2 个 I/O（SWDIO 和 SWCLK）执行调试，共一组 GPIO 功能复用。

1.2 LCP037A 系列

LCP037A 系列是集成 Cortex-M0 内核的面向电机控制等应用领域的高性能处理器，同时集成了三个独立 PMOS、三个独立 NMOS 栅极驱动模块和输出为 5.0V，50mA LDO 集成模块。



1.2.1 主要特性

- 性能
 - 96MHz 32 位 M0 内核
 - 支持三种低功耗模式：睡眠模式、停机模式、超低功耗停机模式
 - 三相 P/N MOS 管栅极驱动模块
 - 工业级工作温度
- 存储器
 - 32KBytes 嵌入式 Flash（位宽 32bit），支持预取功能和读/写保护
 - 4KBytes SRAM（位宽 32bit），分为两个独立分区，每个分区 2Kbytes
- 复位和电源
 - 1.8V 到 5.5V 供电和 I/O
 - 两个 LDO，一个用于低功耗的常开/备份电源域，一个用于系统运行的内核电源域
 - 高精度上电、掉电复位（POR_PDR）
 - 可编程低压复位（LVR），8 个低压复位点：1.6V、1.8V、2.0V、2.5V、2.8V、3.0V、3.5V、4.0V
 - 可编程电压监测器（LVD），8 个电压监测点：2.0V、2.2V、2.4V、2.7V、2.9V、3.1V、3.6V、4.5V
- 时钟
 - 4MHz 到 16MHz 的高速晶振（OSCH）
 - 内置出厂校准过的 16MHz RC 振荡器（RCH，1%精度）
 - 32KHz 低速晶振（OSCL）
 - 内置出厂校准过的 24KHz RC 振荡器（RCL，10%精度）
 - 内置 PLL，最高输出 144MHz，抖动小于 100ps
- 外设模块
 - 两路 UART
 - 两路 SPI，支持主从模式
 - 一路 I2C，支持主从模式
 - 1 个 16 位高级控制定时器 TIM1
 - 5 个 16 位通用定时器，TIM3、TIM14、TIM15、TIM16、TIM17
 - 1 个 16 位基本定时器 TIM6
 - 1 个独立看门狗定时器
 - 1 个窗口看门狗定时器
 - 1 个 24 位自减型系统时基定时器
 - 1 个 WT 钟表定时器
 - LCP037AK31EU(V)8 多达 20 个快速 I/O 端口，LCP037AH31ES8 多达 14 个快速 I/O 端口
- 模拟模块
 - 1 个 12 位 A/D 转换器，最高转换速率为 1.5MSPS，最多支持 18 个通道，内置温度传感器
 - 集成 3 个运算放大器
 - 集成三路比较器
 - 集成两个 10 位 DAC 数模转换器
 - 反电动势采样电路（HALL_MID）

1.2.2 预驱模块概述

1.2.2.1 LCP037Ax31E 预驱模块

LCP037Ax31E 预驱模块是一款高性价比三相 PMOS、NMOS 管栅极驱动专用模块，内部集成了 LDO、死区时控制电路、欠压关断电路、闭锁电路、输出驱动电路，用于电机控制器、电源的驱动电路。电源电压范围 6V~36V，静态功耗小于 1mA。内部集成 5V 输出 LDO，可为外部 MCU 等器件供电。当输入电压超过 12V 时，为了更好的匹配 P/N MOS 管，LO 输出最高电压为 11V，HO 输出最低电压为 VCC 减去 11V。LO 输出电流能力 IO+/- 0.045/0.28A，HO 输出电流能力 IO+/- 0.26/0.04A。

特性：

- 三相 P/N MOS 管栅极驱动
- 电源电压输入范围：6V-36V
- 适应 3V-30V 输入电压
- 具有 VCC 欠压保护
- 内置 5V/50mA 输出 LDO
- 内建死区控制电路
- 自带闭锁功能
- LIN1/2/3 输入通道高电平有效，控制 LO 输出
- HIN1/2/3 输入通道高电平有效，控制 HO 输出

1.2.2.2 LCP037Ax31G 预驱模块

LCP037Ax31G 预驱模块是三相高速功率 MOSFET 驱动器，具有 6 个通道，最高工作电压可达 40V。采用高低压兼容工艺使得高、低侧栅驱动电路可以单芯片集成。逻辑兼容 CMOS 或 LSTTL 输出，低至 3.3V 逻辑输入。

此外，采用内置死区功能来避免高压侧交叉导通。预驱模块为 PMOS 和 NMOS 输出 10V 门电源电压，为了简化 PCB 设计，预驱模块中集成了一个 5V/40mA 的 LDO，用于为 MCU 供电。此外出于安全考虑，预驱模块还集成了热关闭保护。

特性：

- P/N MOS 半桥式三相输出
- 最高工作电压可达 40 V
- 兼容 3.3V、5V 和 15V 输入逻辑
- dv/dt 耐受能力可达 ± 50 V/ns
- P/NMOS |VGS| 可达 10V
- 内置 5V/40mA LDO
- 内置过温保护功能
- 栅极驱动电压：
 - 5 V 至 40 V
- 宽温度范围 -40~125° C
- 防直通逻辑
 - 内置 130ns 死区时间
- 芯片开通关断延时特性
 - Ton/Toff = 80ns/30ns
 - 高低侧延时匹配
- 驱动电流能力：
 - 拉电流/灌电流 = 50mA/300mA
- 内置欠压锁定电路

-
- 欠压锁定正向阈值 4.5V
 - 欠压锁定负向阈值 4.3V
 - 符合 RoSH 标准

1.3 LCP037B 系列

LCP037B 系列是集成 Cortex-M0 内核的面向电机控制等应用领域的高性能处理器，同时集成了三相半桥栅极驱动模块，可直接驱动 6 个 N 型 MOSFET。

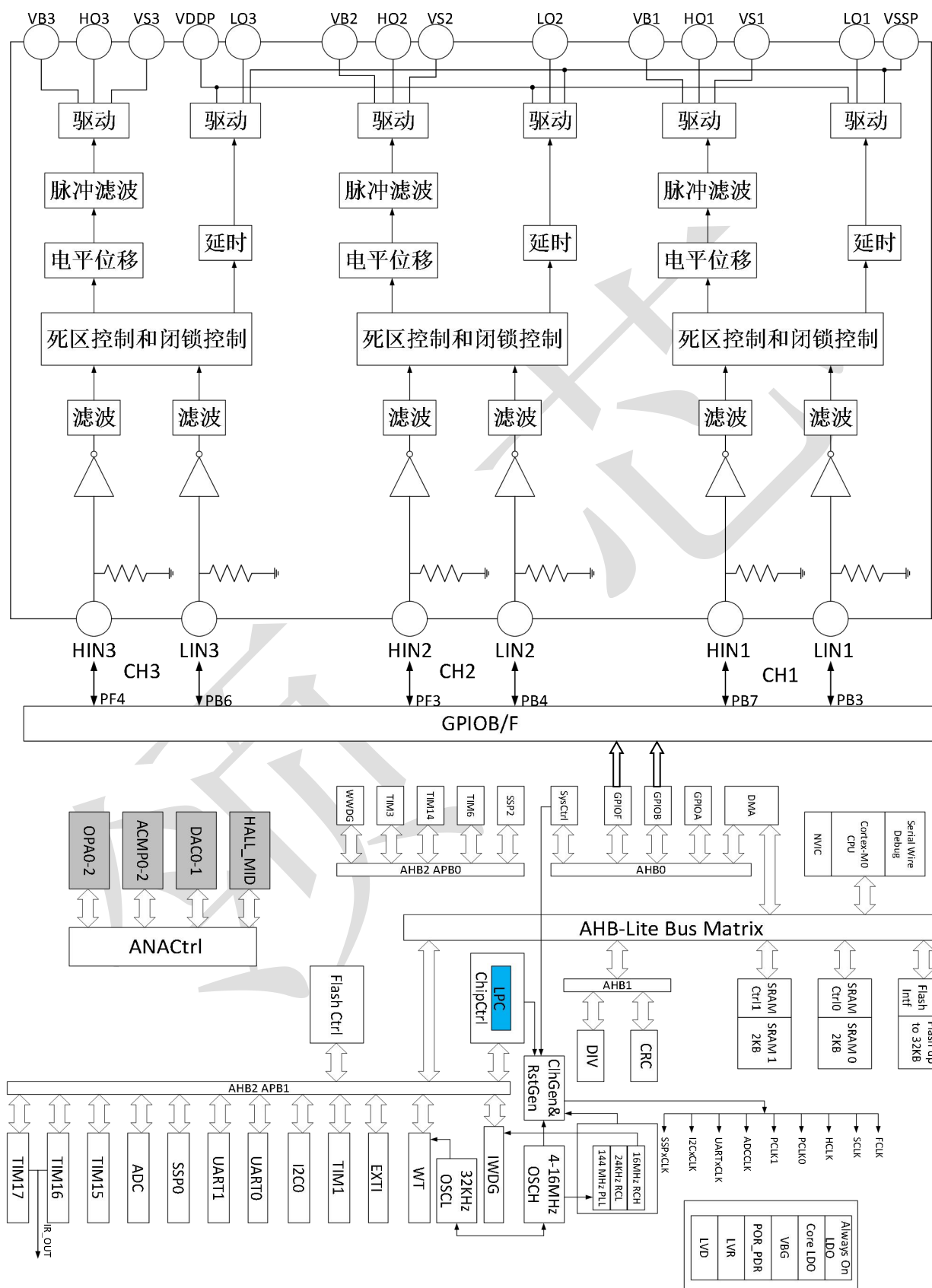


图 1-8 LCP037B 系列功能框图

1.3.1 主要特性

- 性能

- 96MHz 32 位 M0 内核
- 支持三种低功耗模式：睡眠模式、停机模式、超低功耗停机模式
- 三相半桥栅极驱动模块
- 工业级工作温度

- 存储器

- 32KBytes 嵌入式 Flash（位宽 32bit），支持预取功能和读/写保护
- 4KBytes SRAM（位宽 32bit），分为两个独立分区，每个分区 2Kbytes

- 复位和电源

- 1.8V 到 5.5V 供电和 I/O
- 两个 LDO，一个用于低功耗的常开/备份电源域，一个用于系统运行的内核电源域
- 高精度上电、掉电复位（POR_PDR）
- 可编程低压复位（LVR），8 个低压复位点：1.6V、1.8V、2.0V、2.5V、2.8V、3.0V、3.5V、4.0V
- 可编程电压监测器（LVD），8 个电压监测点：2.0V、2.2V、2.4V、2.7V、2.9V、3.1V、3.6V、4.5V

- 时钟

- 4MHz 到 16MHz 的高速晶振（OSCH）
- 内置出厂校准过的 16MHz RC 振荡器（RCH，1%精度）
- 32KHz 低速晶振（OSCL）
- 内置出厂校准过的 24KHz RC 振荡器（RCL，10%精度）
- 内置 PLL，最高输出 144MHz，抖动小于 100ps

- 外设模块

- 两路 UART
- 两路 SPI，支持主从模式
- 一路 I2C，支持主从模式
- 1 个 16 位高级控制定时器 TIM1
- 5 个 16 位通用定时器，TIM3、TIM14、TIM15、TIM16、TIM17
- 1 个 16 位基本定时器 TIM6
- 1 个独立看门狗定时器
- 1 个窗口看门狗定时器
- 1 个 24 位自减型系统时基定时器
- 1 个 WT 钟表定时器
- LCP037BT32EU8 多达 23 个快速 I/O 端口，LCP037BK32EU(T)8 多达 16 个快速 I/O 端口

- 模拟模块

- 1 个 12 位 A/D 转换器，最高转换速率为 1.5MSPS，最多支持 18 个通道，内置温度传感器
- 集成 3 个运算放大器
- 集成三路比较器
- 集成两个 10 位 DAC 数模转换器
- 反电动势采样电路（HALL_MID）

1.3.2 预驱模块概述

预驱模块是一款高性价比的大功率 MOS 管、IGBT 管栅极驱动专用模块，内部集成了逻辑信号输入处理电路、死区时控制电路、欠压保护电路、闭锁电路、电平位移电路、脉冲滤波电路及输出驱动电路。模块高端的工作电压可达 260V，低端 VDDP 的电源电压范围宽 4.5V~20V。该模块具有闭锁功能防止输出功率管同时导通，输入通道 HIN 和 LIN 内建了下拉电阻，在输入悬空时使上、下功率 MOS 管处于关闭状态，输出电流能力 IO +0.8A/-1.2A。

特性：

- 高端悬浮自举电源设计，耐压高达 260V
- 集成三路独立半桥驱动
- 适应 5V、3.3V 输入电压
- 最高频率支持 500KHz
- 低端 VDDP 电压范围 4.5V-20V
- 输出电流能力 IO+0.8A/-1.2A
- VDDP 和 VB 带欠压保护
- 内建死区控制电路
- 自带闭锁功能，彻底杜绝上、下管输出同时导通
- HIN 输入通道高电平有效，控制高端 HO 输出
- LIN 输入通道高电平有效，控制低端 LO 输出

1.4 LCP037C 系列

LCP037CC32EU8 是集成 Cortex-M0 内核的面向电机控制等应用领域的高性能处理器，同时集成了三相独立半桥驱动模块。

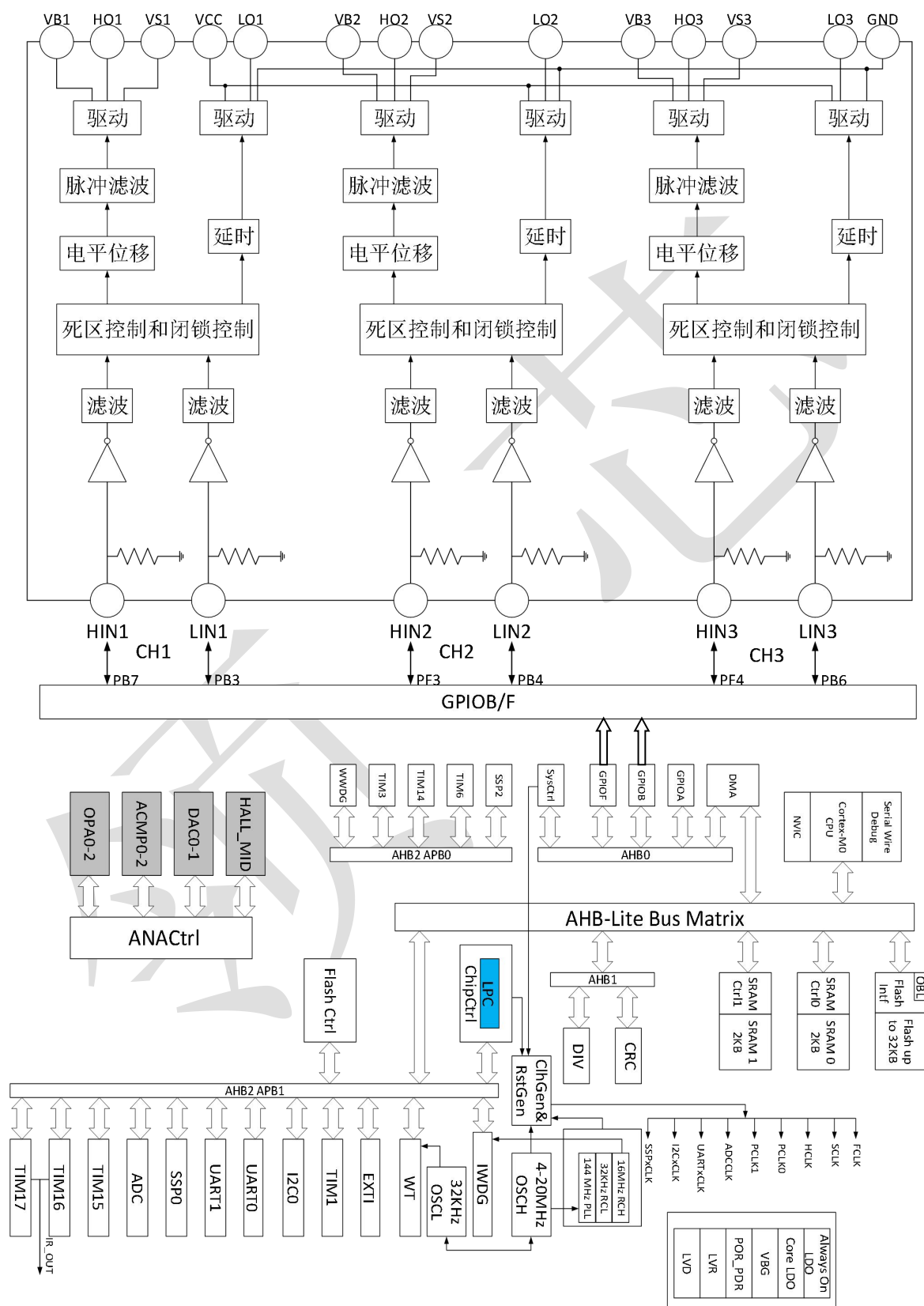


图 1-9 LCP037C 系列功能框图

1.4.1 主要特性

- **性能**
 - 96MHz 32 位 M0 内核
 - 支持三种低功耗模式：睡眠模式、停机模式、超低功耗停机模式
 - 三相独立半桥驱动模块
 - 工业级工作温度
- **存储器**
 - 32KBytes 嵌入式 Flash（位宽 32bit），支持预取功能和读/写保护
 - 4KBytes SRAM（位宽 32bit），分为两个独立分区，每个分区 2Kbytes
- **复位和电源**
 - 1.8V 到 5.5V 供电和 I/O
 - 两个 LDO，一个用于低功耗的常开/备份电源域，一个用于系统运行的内核电源域
 - 高精度上电、掉电复位（POR_PDR）
 - 可编程低压复位（LVR），8 个低压复位点：1.6V、1.8V、2.0V、2.5V、2.8V、3.0V、3.5V、4.0V
 - 可编程电压监测器（LVD），8 个电压监测点：2.0V、2.2V、2.4V、2.7V、2.9V、3.1V、3.6V、4.5V
- **时钟**
 - 4MHz 到 20MHz 的高速晶振（OSCH）
 - 内置出厂校准过的 16MHz RC 振荡器（RCH，1%精度）
 - 32KHz 低速晶振（OSCL）
 - 内置出厂校准过的 24KHz RC 振荡器（RCL，10%精度）
 - 内置 PLL，最高输出 144MHz，抖动小于 100ps
- **外设模块**
 - 两路 UART
 - 两路 SPI，支持主从模式
 - 一路 I2C，支持主从模式
 - 1 个 16 位高级控制定时器 TIM1
 - 5 个 16 位通用定时器，TIM3、TIM14、TIM15、TIM16、TIM17
 - 1 个 16 位基本定时器 TIM6
 - 1 个独立看门狗定时器
 - 1 个窗口看门狗定时器
 - 1 个 24 位自减型系统时基定时器
 - 1 个 WT 钟表定时器
 - 多达 22 个快速 I/O 端口
- **模拟模块**
 - 1 个 12 位 A/D 转换器，最高转换速率为 1.5MSPS，最多支持 18 个通道，内置温度传感器
 - 集成 3 个运算放大器
 - 集成三路比较器
 - 集成两个 10 位 DAC 数模转换器
 - 反电动势采样电路（HALL_MID）

1.4.2 预驱模块概述

预驱模块是高性价比的大功率 MOS 管、IGBT 管栅极驱动专用预驱模块，内部集成了逻辑信号输入处理电路、死区时控制电路、欠压保护电路、闭锁电路、电平位移电路、脉冲滤波电路及输出驱动电路。预驱模块高端的工作电压可达 600V，低端 VDDP 的电源电压范围宽 4.5V~20V。该模块具有闭锁功能防止输出功率管同时导通，输入通道 HIN 和 LIN 内建了下拉电阻，在输入悬空时使上、下功率 MOS 管处于关闭状态，输出电流能力 IO +1.2A/-1.4A。

特性：

- 高端悬浮自举电源设计，耐压高达 600V
- 集成三路独立半桥驱动
- 适应 5V、3.3V 输入电压
- 最高频率支持 500KHz
- 低端 VDDP 电压范围 4.5V-20V
- 输出电流能力 IO+1.2A/-1.4A
- 内建死区控制电路
- 自带闭锁功能，彻底杜绝上、下管输出同时导通
- HIN 输入通道高电平有效，控制高端 HO 输出
- LIN 输入通道高电平有效，控制低端 LO 输出
- 无铅无卤符合 RHOS 标准

2. 引脚排列和引脚说明

2.1 LCM32F037 系列

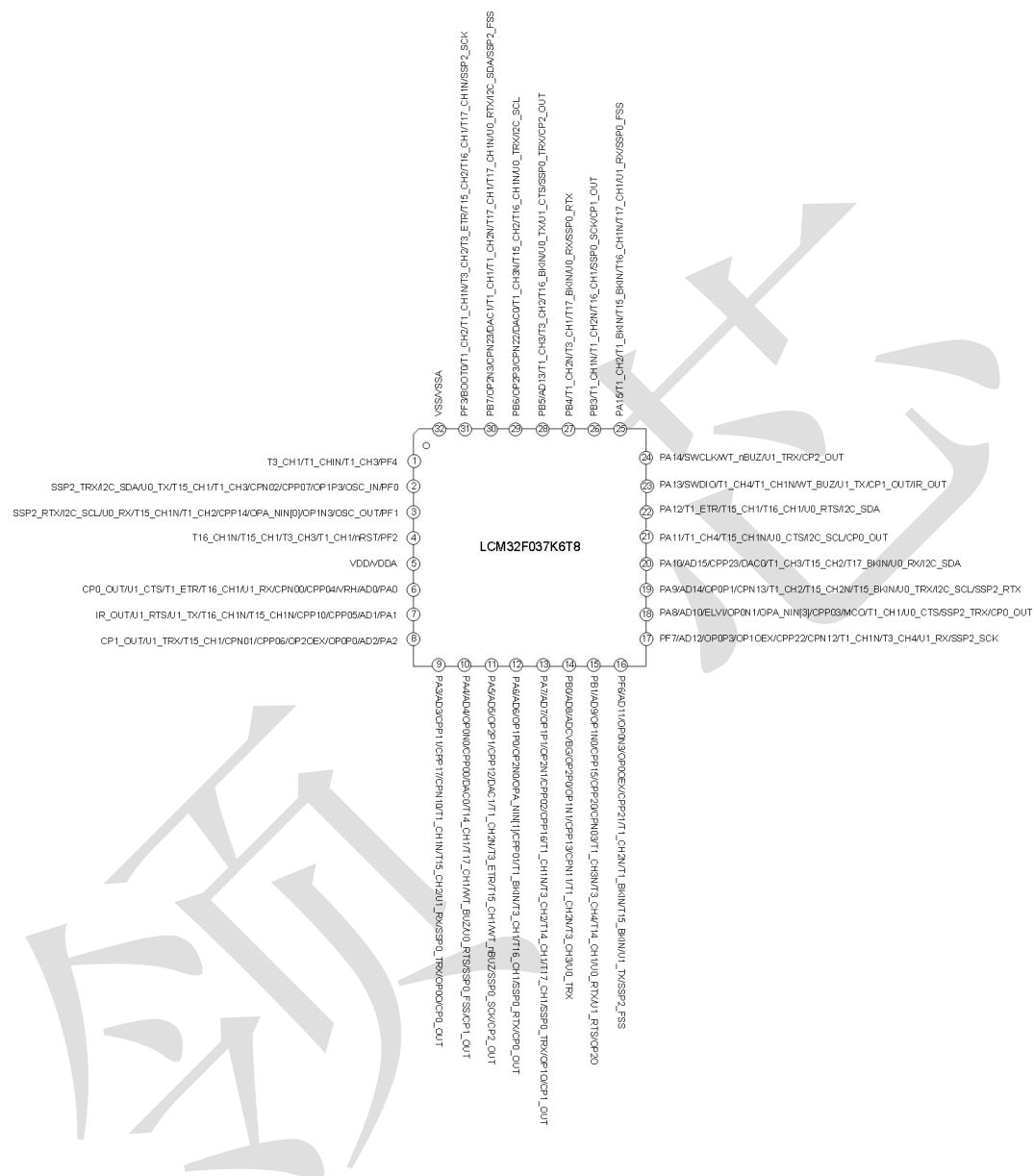


图 2-1 LCM32F037K6T8 LQFP32 封装引脚排列
(具体引脚功能定义参见表 2-2)

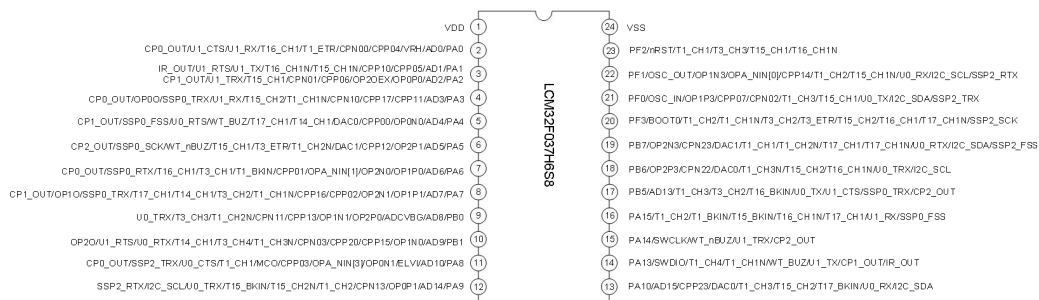


图 2-2 LCM32F037H6S8 SSOP24 封装引脚排列
(具体引脚功能定义参见表 2-2)

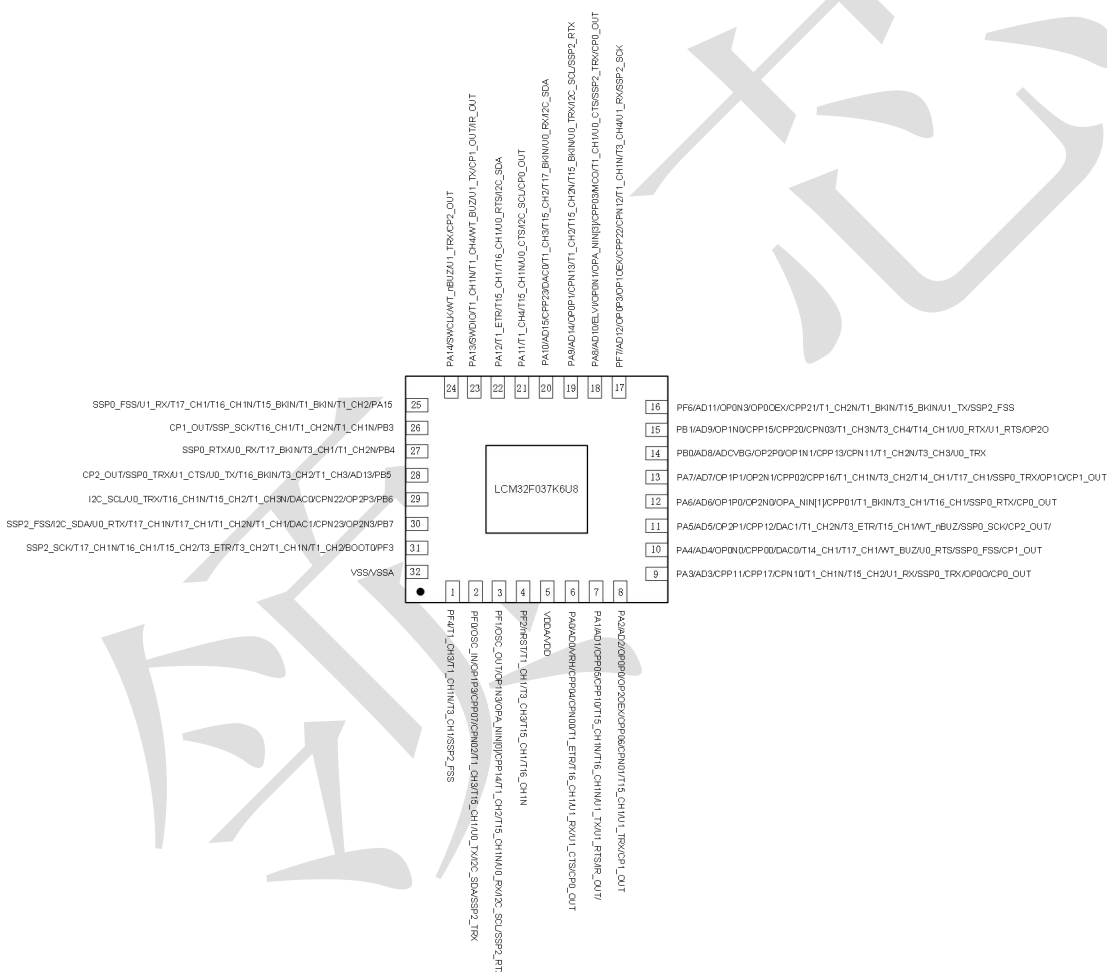


图 2-3 LCM32F037K6U8 QFN32 (5*5*0.75-P0.5) 封装引脚排列
(具体引脚功能定义参见表 2-2)

表 2-1 引脚排列表中使用的图例/缩略语

名称	缩写	定义
引脚名称	除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同	
引脚类型	S	电源引脚
	I	仅输入引脚
	I/O	输入/输出引脚
I/O结构	1ANA	只包含一路复用模拟通道
	2ANA	包含两路复用模拟通道，两路普通模拟开关（PAD经过ESD电阻后接到模拟开关）
	2OP	包含两路复用模拟通道，两路低内阻模拟开关（PAD直接接到模拟开关，用于运放）
	ANA_OP	包含两路复用模拟通道，一路普通模拟开关和一路低内阻模拟开关
注释	除非特别注释说明，否则在复位期间和复位后所有 I/O 都设为浮空输入	
引脚功能	可选复用功能	通过 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的功能（数字复用）
	外部复用功能	通过系统寄存器选择的功能，优先级高于可选复用功能（数字复用）
	模拟复用功能1	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 1
	模拟复用功能2	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 2

表 2-2 LCM32F037 引脚定义

引脚号			引脚名 (复位后的功能)	引脚类型	I/O 结构	可选复用功能	外部功能	模拟复用功能 (AN)	
LQFP32 QFN32	SSOP24	QFN24						AN1	AN2
			TESTEN				测试功能		
1		5	PF4	I/O	1ANA	SSP2_FSS/TIM1_CH1N/ TIM1_CH3/TIM3_CH1/			
2	21	6	PF0	I/O	2OP	SSP2_TXD/I2C0_SDA/ TIM1_CH3/TIM15_CH1/ UART0_TX/SSP2_RXD		CPN02/ OP1P3/ CPP07 ¹	OSCL_IN/ OSCH_IN
3	22	7	PF1	I/O	2OP	SSP2_RXD/I2C0_SCL/ TIM1_CH2/TIM15_CH1N/ URAT0_RX/SSP2_TXD		CPP14/ OP1N3/ OPA_NIN2	OSCL_OUT/ OSCH_OUT
4	23	4	PF2 (nRST)	I/O	1ANA	TIM1_CH1/TIM3_CH3/ TIM15_CH1/TIM16_CH1N	nRST ²		
	24	2	VSS/ VSSA	S					
5	1	1	VDDA	S					
5	1	1	VDDH	S					
6	2	8	PA0	I/O	2ANA	UART1_CTS/TIM1_ETR/ TIM16_CH1/UART1_RX/ CP0_OUT		ADCIN[0]/ CPP04/ CPN00	PMU_VRH
7	3	9	PA1	I/O	2ANA	EVENTOUT/UART1_RTS/ TIM16_CH1N/UART1_TX/		ADCIN[1]	CPP05/ CPP10

						TIM15_CH1N/IR_OUT			
8		10	PA2	I/O	2OP	TIM15_CH1/UART1_TX/ CP1_OUT/UART1_RX		CPN01/ OP0P0/ CPP06	OP2OEX/ ADCIN[2]
9	4	11	PA3	I/O	ANA_OP	TIM15_CH2/UART1_RX/ TIM1_CH1N/SSP0_TXD/ CP0_OUT/SSP0_RXD		ADCIN[3]/ CPN10/ CPP11	OP0O/ CPP17
10	5	12	PA4	I/O	2OP	SSP0_FSS/UART0_RTS/ TIM17_CH1/TIM14_CH1/ WT_BUZ/CP1_OUT		DAC_OUT0	ADCIN[4]/ OP0N0/ CPP00
11	6	13	PA5	I/O	2OP	SSP0_SCK/TIM15_CH1/ TIM1_CH2N/WT_nBuz/ CP2_OUT/TIM3_ETR		ADCIN[5]/ OP2P1/ CPP12	DAC_OUT1
12	7	14	PA6	I/O	ANA_OP	SSP0_RXD/TIM3_CH1/ TIM1_BKIN/CP0_OUT/ TIM16_CH1/EVENTOUT/ SSP0_TXD		ADCIN[6]/ CPP01	OP1P0/ OP2N0/ OPA_NIN3
13	8	15	PA7	I/O	2OP	SSP0_TXD/TIM3_CH2/ TIM1_CH1N/CP1_OUT/ TIM14_CH1/TIM17_CH1/ EVENTOUT/SSP0_RXD		ADCIN[7]/ OP1P1/ OP2N1/ CPP02	OP1O/ CPP16
14	9	16	PB0	I/O	ANA_OP	EVENTOUT/TIM3_CH3/ TIM1_CH2N/UART0_TX/ UART0_RX			ADCIN[8]/ CPP13/ OP2P0/ CPN11/ OP1N1
15	10	17	PB1	I/O	2OP	TIM14_CH1/TIM3_CH4/ TIM1_CH3N/UART1_RTS/ UART0_RX/UART0_TX		ADCIN[9]/ CPP20/ OP1N0/ CPN03	OP2O/ CPP15
16		18	PF6	I/O	ANA_OP	SSP2_FSS/TIM1_CH2N/ TIM1_BKIN/UART1_TX/ TIM15_BKIN/EVENTOUT		ADCIN[11]/ OP0OEX	OP0N3/ CPP21
17		19	PF7	I/O	ANA_OP	SSP2_SCK/TIM1_CH1N/ TIM3_CH4/URAT1_RX		ADCIN[12]/ OP1OEX	OP0P3/ CPN12/ CPP22
18	11		PA8	I/O	ANA_OP	MCO/UART0_CTS/ TIM1_CH1/EVENTOUT/ SSP2_TXD/SSP2_RXD/ CP0_OUT		ADCIN[10]/ ELVi ³ / CPP03	OP0N1/ OPA_NIN1
19	12	20	PA9	I/O	ANA_OP	TIM15_CH2N/ TIM15_BKIN/ UART0_TX/TIM1_CH2/ I2C0_SCL/SSP2_RXD/ SSP2_TXD/UART0_RX		ADCIN[14]	CPN13/ OP0P1
20	13	21	PA10	I/O	2ANA	TIM15_CH2/TIM17_BKIN/		ADCIN[15]/	DAC_OUT0

						UART0_RX/TIM1_CH3/ I2C0_SDA		CPP23	
21		22	PA11	I/O	2ANA	EVENTOUT/UART0_CTS/ TIM1_CH4/TIM15_CH1N/ CP0_OUT/I2C0_SCL			
22			PA12	I/O	1ANA	EVENTOUT/UART0_RTS/ TIM1_ETR/TIM16_CH1/ TIM15_CH1/I2C0_SDA/			
23	14	23	PA13	I/O	1ANA	IR_OUT/TIM1_CH1N/ TIM1_CH4/UART1_TX/ WT_BUZ/CP1_OUT	SWDI O ⁴		
24	15	24	PA14	I/O	1ANA	UART1_TX/WT_nBUZ/ CP2_OUT/UART1_RX	SWCLK ⁴		
25	16		PA15	I/O	1ANA	SSPO_FSS/UART1_RX/ TIM17_CH1/EVENTOUT/ TIM1_CH2/TIM16_CH1N/ TIM1_BKIN/TIM15_BKIN			
26			PB3	I/O	1ANA	SSPO_SCK/TIM1_CH1N/ TIM1_CH2N/TIM16_CH1/ CP1_OUT			
27			PB4	I/O	1ANA	SSPO_RXD/TIM3_CH1/ TIM1_CH2N/UART0_RX/ TIM17_BKIN/SSPO_TXD			
28	17		PB5	I/O	1ANA	SSPO_TXD/TIM3_CH2/ TIM16_BKIN/TIM1_CH3/ UART0_TX/UART1_CTS/ CP2_OUT/SSPO_RXD		ADCIN[13] VBG_BUFOUT	
29	18		PB6	I/O	ANA_OP	UART0_TX/I2C0_SCL/ TIM16_CH1N/TIM15_CH2/ TIM1_CH3N/UART0_RX		DAC_OUT0	OP2P3/ CPN22
30	19		PB7	I/O	ANA_OP	UART0_RX/I2C0_SDA/ TIM17_CH1N/TIM1_CH2N/ UART0_TX/TIM1_CH1/ TIM17_CH1/SSP2_FSS		DAC_OUT1	OP2N3/ CPN23
31	20	3	PF3 (BOOT0)	I/O	1ANA	SSP2_SCK/TIM1_CH1N/ TIM1_CH2/TIM3_CH2/ TIM15_CH2/TIM16_CH1/ TIM17_CH1N/TIM3_ETR	BOOT O ⁵		
32			VSS/VSSA	S					

注1: ACMP 与 OPA 输入引脚格式。ACMP: CP 序号 + 引脚正负端 + 输入端口; OPA: OP 序号 + 引脚正负端 + 输入端口。

例如: CPP11 表示 ACMP1 正端输入 端口 1; OP2N3 表示 OPA2 负端输入 端口 3。

注2: 上电复位后, 这个引脚缺省配置为外部复位引脚 nRST。

注3: ELVI 为外部输入低压检测。

注4: 系统复位后, 这些引脚配置为可选复用功能SWDIO和SWCLK, SWDIO 引脚内部上拉, SWCLK 引脚内部下拉。

注5：根据选项字节配置，在系统复位期间可以作为BOOT0引脚，以选择启动模式；后续为正常功能。

注6：I/O驱动强度分为两档，3.3V供电时为4mA/8mA；5V供电时为8mA/16mA。

表 2-3 端口 A 可选复用功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	UART1_CTS	TIM1_ETR	TIM16_CH1	UART1_RX	-	CP0_OUT	-
PA1	EVENTOUT	UART1_RTS	TIM16_CH1N	-	UART1_TX	TIM15_CH1N	-	IR_OUT
PA2	TIM15_CH1	UART1_TX	-	-	-	-	CP1_OUT	UART1_RX
PA3	TIM15_CH2	UART1_RX	-	-	TIM1_CH1N	SSP0_TXD	CP0_OUT	SSP0_RXD
PA4	SSP0_FSS	UART0_RTS	-	TIM17_CH1	TIM14_CH1	WT_BUZ	CP1_OUT	-
PA5	SSP0_SCK	-	-	TIM15_CH1	TIM1_CH2N	WT_nBuz	CP2_OUT	TIM3_ETR
PA6	SSP0_RXD	TIM3_CH1	TIM1_BKIN	CP0_OUT	-	TIM16_CH1	EVENTOUT	SSP0_TXD
PA7	SSP0_TXD	TIM3_CH2	TIM1_CH1N	CP1_OUT	TIM14_CH1	TIM17_CH1	EVENTOUT	SSP0_RXD
PA8	MCO	UART0_CTS	TIM1_CH1	EVENTOUT	SSP2_TXD	SSP2_RXD	CP0_OUT	-
PA9	TIM15_CH2N	TIM15_BKIN	UART0_TX	TIM1_CH2	I2C0_SCL	SSP2_RXD	SSP2_TXD	UART0_RX
PA10	TIM15_CH2	TIM17_BKIN	UART0_RX	TIM1_CH3	I2C0_SDA	-	-	-
PA11	EVENTOUT	UART0_CTS	TIM1_CH4	TIM15_CH1N	-	-	CP0_OUT	I2C0_SCL
PA12	EVENTOUT	UART0_RTS	TIM1_ETR	TIM16_CH1	TIM15_CH1	-	-	I2C0_SDA
PA13	SWDIO	IR_OUT	TIM1_CH1N	TIM1_CH4	UART1_TX	WT_Buz	CP1_OUT	-
PA14	SWCLK	UART1_TX	-	-	-	WT_nBuz	CP2_OUT	UART1_RX
PA15	SSP0_FSS	UART1_RX	TIM17_CH1	EVENTOUT	TIM1_CH2	TIM16_CH1N	TIM1_BKIN	TIM15_BKIN

表 2-4 端口 B 可选复用功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PB0	EVENTOUT	TIM3_CH3	TIM1_CH2N	-	UART0_TX	-	UART0_RX	-
PB1	TIM14_CH1	TIM3_CH4	TIM1_CH3N	-	UART1_RTS	UART0_RX	-	UART0_TX
PB3	SSP0_SCK	TIM1_CH1N	TIM1_CH2N	TIM16_CH1	-	-	CP1_OUT	-
PB4	SSP0_RXD	TIM3_CH1	TIM1_CH2N	UART0_RX	-	TIM17_BKIN	-	SSP0_TXD
PB5	SSP0_TXD	TIM3_CH2	TIM16_BKIN	TIM1_CH3	UART0_TX	UART1_CTS	CP2_OUT	SSP0_RXD
PB6	UART0_TX	I2C0_SCL	TIM16_CH1N	TIM15_CH2	TIM1_CH3N	-	-	UART0_RX
PB7	UART0_RX	I2C0_SDA	TIM17_CH1N	TIM1_CH2N	UART0_TX	TIM1_CH1	TIM17_CH1	SSP2_FSS

表 2-5 端口 F 可选复用功能映射

引脚	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PF0	SSP2_TXD	I2C0_SDA	TIM1_CH3	TIM15_CH1	UART0_TX	-	-	SSP2_RXD
PF1	SSP2_RXD	I2C0_SCL	TIM1_CH2	TIM15_CH1N	URAT0_RX	-	-	SSP2_TXD
PF2	-	-	TIM1_CH1	TIM3_CH3	TIM15_CH1	TIM16_CH1N	-	-
PF3	SSP2_SCK	TIM1_CH1N	TIM1_CH2	TIM3_CH2	TIM15_CH2	TIM16_CH1	TIM17_CH1N	TIM3_ETR
PF4	SSP2_FSS	TIM1_CH1N	TIM1_CH3	TIM3_CH1	-	-	-	-
PF6	SSP2_FSS	TIM1_CH2N	TIM1_BKIN	-	UART1_TX	TIM15_BKIN	EVENTOUT	-
PF7	SSP2_SCK	TIM1_CH1N	TIM3_CH4	-	URAR1_RX	-	-	-

2.2 LCP037A 系列

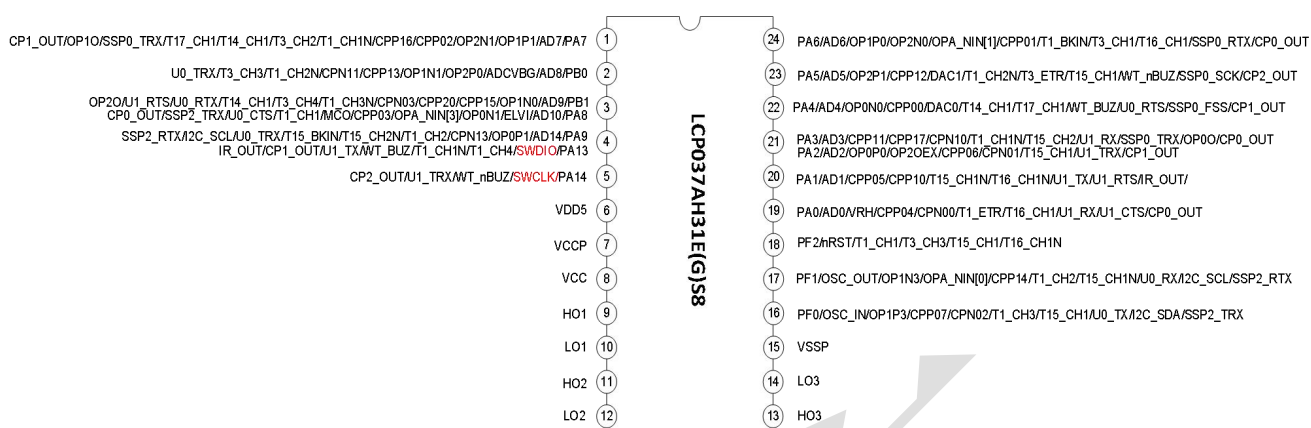


图 2-5 LCP037AH31E(G)S8 SSOP24 封装引脚排列
(具体引脚功能定义参见表 2-7)



图 2-6 LCP037AK31EU(V)8 QFN32 封装引脚排列
(具体引脚功能定义参见表 2-7)

表 2-6 引脚排列表中使用的图例/缩略语

名称	缩写	定义
引脚名称	除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同	
引脚类型	S	电源引脚
	I	仅输入引脚
	I/O	输入/输出引脚
I/O结构	1ANA	只包含一路复用模拟通道
	2ANA	包含两路复用模拟通道，两路普通模拟开关（PAD经过ESD电阻后接到模拟开关）
	2OP	包含两路复用模拟通道，两路低内阻模拟开关（PAD直接接到模拟开关，用于运放）
	ANA_OP	包含两路复用模拟通道，一路普通模拟开关和一路低内阻模拟开关
注释	除非特别注释说明，否则在复位期间和复位后所有 I/O 都设为浮空输入	
引脚功能	可选复用功能	通过 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的功能（数字复用）
	外部复用功能	通过系统寄存器选择的功能，优先级高于可选复用功能（数字复用）
	模拟复用功能1	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 1
	模拟复用功能2	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 2

表 2-7 LCP037A 系列引脚定义

引脚名(复位后的功能)		引脚类型	I/O 结构		可选复用功能	外部功能	模拟复用功能(AN)	
QFN32	SSOP24						AN1	AN2
		TESTEN				测试功能		
		PF4	I/O	1ANA	SSP2_FSS/TIM1_CH1N/ TIM1_CH3/TIM3_CH1/			
2	16	PF0	I/O	2OP	SSP2_TXD/I2C0_SDA/ TIM1_CH3/TIM15_CH1/ UART0_TX/SSP2_RXD		CPN02 ¹ /OP1P3/ CPP07	OSCL_IN/ OSCH_IN
3	17	PF1	I/O	2OP	SSP2_RXD/I2C0_SCL/ TIM1_CH2/TIM15_CH1N/ URAT0_RX/SSP2_TXD		CPP14/OP1N3/ OPA_NIN2	OSCL_OUT/ OSCH_OUT
4	18	PF2(nRST)	I/O	1ANA	TIM1_CH1/TIM3_CH3/ TIM15_CH1/TIM16_CH1N	nRST ²		
5		VSS/VSSA	S					
6	6	VDD/VDDA	S					
7	19	PA0	I/O	2ANA	UART1_CTS/TIM1_ETR/ TIM16_CH1/UART1_RX/ CP0_OUT		ADCIN[0]/ CPP04/CPN00	PMU_VRH
8	20	PA1	I/O	2ANA	EVENTOUT/UART1_RTS/ TIM16_CH1N/UART1_TX/ TIM15_CH1N/IR_OUT		ADCIN[1]	CPP05/CPP10
9	21	PA2	I/O	2OP	TIM15_CH1/UART1_TX/ CP1_OUT/UART1_RX		CPN01/ OP0P0/ CPP06	OP2OEX/ ADCIN[2]

		PA3	I/O	ANA_OP	TIM15_CH2/UART1_RX/TIM1_CH1N/SSP0_TXD/CP0_OUT/SSP0_RXD		ADCIN[3]/CPN10/CPP11	OP00/CPP17
10	22	PA4	I/O	2OP	SSP0_FSS/UART0_RTS/TIM17_CH1/TIM14_CH1/WT_BUZ/CP1_OUT		DAC_OUT0	ADCIN[4]/OP0N0/CPP00
11	23	PA5	I/O	2OP	SSP0_SCK/TIM15_CH1/TIM1_CH2N/WT_nBuz/CP2_OUT/TIM3_ETR		ADCIN[5]/OP2P1/CPP12	DAC_OUT1
12	24	PA6	I/O	ANA_OP	SSP0_RXD/TIM3_CH1/TIM1_BKIN/CP0_OUT/TIM16_CH1/EVENTOUT/SSP0_TXD		ADCIN[6]/CPP01	OP1P0/OP2N0/OPA_NIN3
13	1	PA7	I/O	2OP	SSP0_TXD/TIM3_CH2/TIM1_CH1N/CP1_OUT/TIM14_CH1/TIM17_CH1/EVENTOUT/SSP0_RXD		ADCIN[7]/OP1P1/OP2N1/CPP02	OP10/CPP16
14	2	PB0	I/O	ANA_OP	EVENTOUT/TIM3_CH3/TIM1_CH2N/UART0_TX/UART0_RX			ADCIN[8]/CPP13/OP2P0/CPN11/OP1N1
15	3	PB1	I/O	2OP	TIM14_CH1/TIM3_CH4/TIM1_CH3N/UART1_RTS/UART0_RX/UART0_TX		ADCIN[9]/CPP20/OP1N0/CPN03	OP20/CPP15
16		PF6	I/O	ANA_OP	SSP2_FSS/TIM1_CH2N/TIM1_BKIN/UART1_TX/TIM15_BKIN/EVENTOUT		ADCIN[11]/OP0OEX	OP0N3/CPP21
17		PF7	I/O	ANA_OP	SSP2_SCK/TIM1_CH1N/TIM3_CH4/URAT1_RX		ADCIN[12]/OP1OEX	OP0P3/CPN12/CPP22
18	3	PA8	I/O	ANA_OP	MCO/UART0_CTS/TIM1_CH1/EVENTOUT/SSP2_TXD/SSP2_RXD/CP0_OUT		ADCIN[10]/ELVI ³ /CPP03	OP0N1/OPA_NIN1
19	4	PA9	I/O	ANA_OP	TIM15_CH2N/TIM15_BKIN/UART0_TX/TIM1_CH2/I2C0_SCL/SSP2_RXD/SSP2_TXD/UART0_RX		ADCIN[14]	CPN13/OP0P1
20		PA10	I/O	2ANA	TIM15_CH2/TIM17_BKIN/UART0_RX/TIM1_CH3/I2C0_SDA		ADCIN[15]/CPP23	DAC_OUT0
		PA11	I/O	2ANA	EVENTOUT/UART0_CTS/TIM1_CH4/TIM15_CH1N/CP0_OUT/I2C0_SCL			
		PA12	I/O	1ANA	EVENTOUT/UART0_RTS/TIM1_ETR/TIM16_CH1/TIM15_CH1/I2C0_SDA/			

21	4	PA13	I/O	1ANA	IR_OUT/TIM1_CH1N/ TIM1_CH4/UART1_TX/ WT_BUZ/CP1_OUT	SWDIO ⁴		
22	5	PA14	I/O	1ANA	UART1_TX/WT_nBUZ/ CP2_OUT/UART1_RX	SWCLK ⁴		
23		PA15	I/O	1ANA	SSP0_FSS/UART1_RX/ TIM17_CH1/EVENTOUT/ TIM1_CH2/TIM16_CH1N/ TIM1_BKIN/TIM15_BKIN			
		PB3	I/O	1ANA	SSP0_SCK/TIM1_CH1N/ TIM1_CH2N/TIM16_CH1/ CP1_OUT			
		PB4	I/O	1ANA	SSP0_RXD/TIM3_CH1/ TIM1_CH2N/UART0_RX/ TIM17_BKIN/SSP0_TXD			
		PB5	I/O	1ANA	SSP0_TXD/TIM3_CH2/ TIM16_BKIN/TIM1_CH3/ UART0_TX/UART1_CTS/ CP2_OUT/ SSP0_RXD		ADCIN[13] VBG_BUFOUT	
		PB6	I/O	ANA_OP	UART0_TX/I2C0_SCL/ TIM16_CH1N/TIM15_CH2/ TIM1_CH3N/UART0_RX		DACOUT0	OP2P3/CPN22
		PB7	I/O	ANA_OP	UART0_RX/I2C0_SDA/ TIM17_CH1N/TIM1_CH2N/ UART0_TX/TIM1_CH1/ TIM17_CH1/SSP2_FSS		DACOUT1	OP2N3/CPN23
		PF3(BOOT0)	I/O	1ANA	SSP2_SCK/TIM1_CH1N/ TIM1_CH2/TIM3_CH2/ TIM15_CH2/TIM16_CH1/ TIM17_CH1N/TIM3_ETR	BOOT0 ⁵		
24	6	VDD5	P				预驱模块 5V 输出口	
25	7	VCCP	P				预驱模块 5V 电源输入端	
26	8	VCC	O				预驱模块驱动电源输入端	
27	9	HO1	O				预驱模块 1 通道高端输出口，控制 PMOS 管的导通与截止	
28	10	LO1	O				预驱模块 1 通道低端输出口，控制 NMOS 管的导通与截止	
29	11	HO2	O				预驱模块 2 通道高端输出口，控制 PMOS 管的导通与截止	
30	12	LO2	O				预驱模块 2 通道低端输出口，控制 NMOS 管的导通与截止	
31	13	HO3	O				预驱模块 3 通道高端输出口，控制 PMOS 管的导通与截止	
32	14	LO3	O				预驱模块 3 通道低端输出口，控制 NMOS 管的导通与截止	
1	15	VSSP	P				预驱模块地	

注1：ACMP 与 OPA 输入引脚格式。ACMP：CP 序号 + 引脚正负端 + 输入端口；OPA：OP 序号 + 引脚正负端 + 输入端口。

例如：CPP11 表示 ACMP1 正端输入 端口1；OP2N3 表示 OPA2 负端输入 端口3。

注2：上电复位后，这个引脚缺省配置为外部复位引脚 nRST。

注3：ELVI 为外部输入低压检测。

注4：系统复位后，这些引脚配置为可选复用功能SWDIO和SWCLK，SWDIO引脚内部上拉，SWCLK引脚内部下拉。

注5：根据选项字节配置，在系统复位期间可以作为BOOT0引脚，以选择启动模式；后续为正常功能。

注6：I/O驱动强度分为两档，3.3V供电时为4mA/8mA；5V供电时为8mA/16mA。

表 2-8 预驱引脚描述

驱动模块引脚	复用功能	I/O 类型	引脚描述	引脚位置
HIN1	TIM1_CH1	I	逻辑输入控制信号高电平有效，控制高端功率 MOS 管的导通与截止 “0”是关闭功率 MOS 管；“1”是开启功率 MOS 管	与主控 MCU PB7 引脚相连
HIN2	TIM1_CH2	I		与主控 MCU PF3 引脚相连
HIN3	TIM1_CH3	I		与主控 MCU PF4 引脚相连
LIN1	TIM1_CH1N	I	逻辑输入控制信号低电平有效，控制低端功率 MOS 管的导通与截止 “0”是关闭功率 MOS 管；“1”是开启功率 MOS 管	与主控 MCU PB3 引脚相连
LIN2	TIM1_CH2N	I		与主控 MCU PB4 引脚相连
LIN3	TIM1_CH3N	I		与主控 MCU PB6 引脚相连



2.3 LCP037B 系列

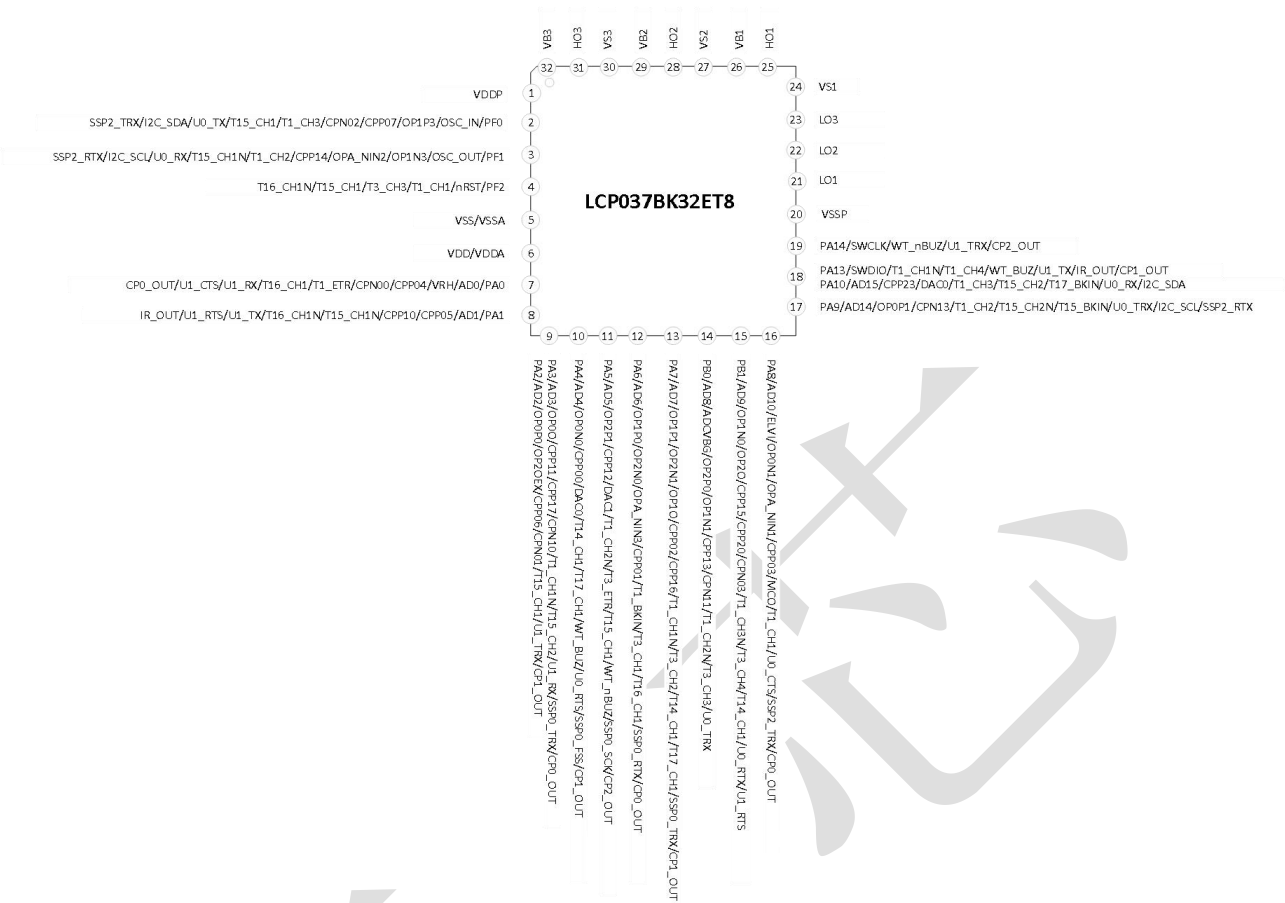


图 2-7 LCP037BK32ET8 LQFP32 封装引脚排列
(具体引脚功能定义参见表 2-10)

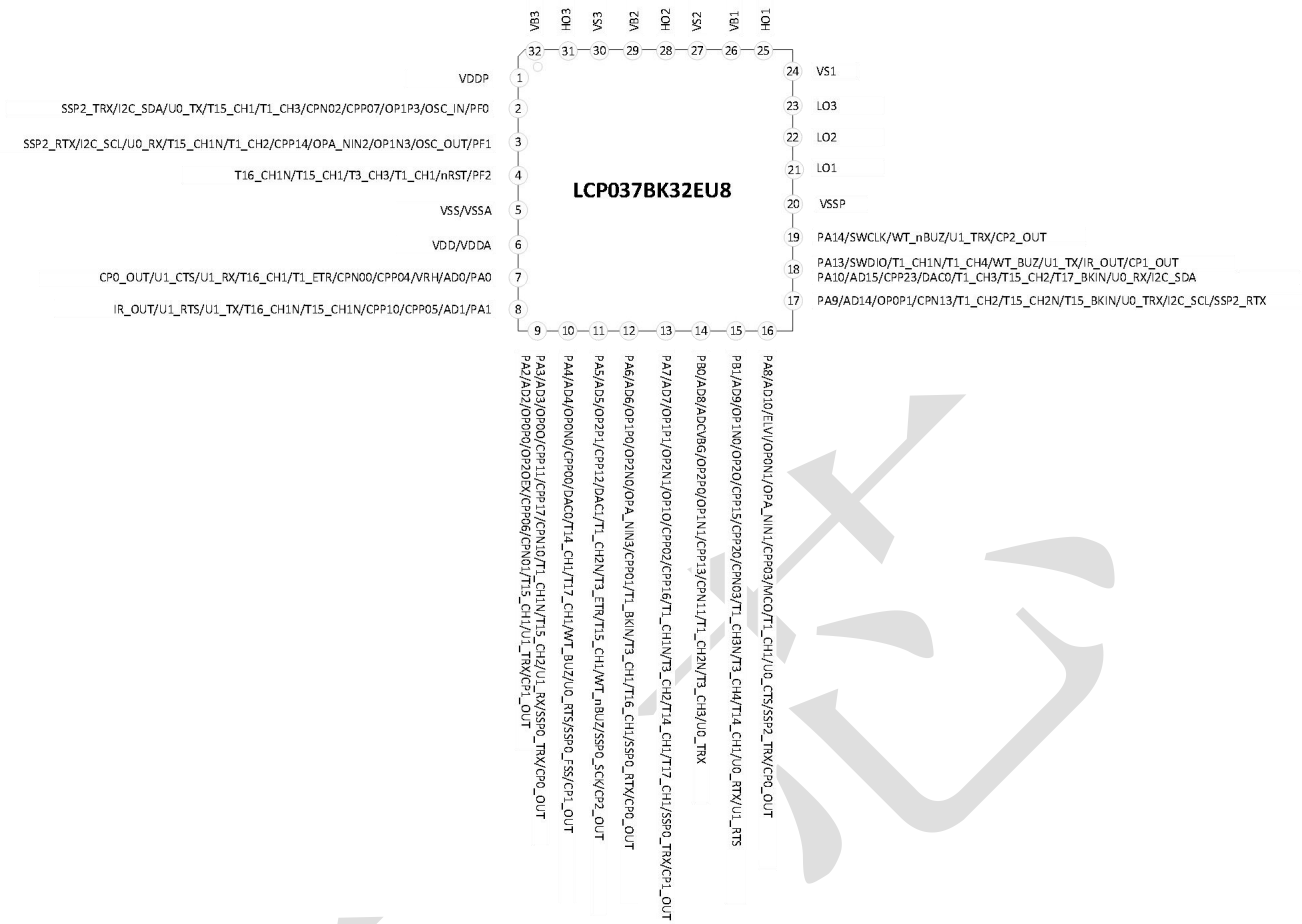


图 2-8 LCP037BK32EU8 QFN32 (5*5*0.75-P0.5) 封装引脚排列
(具体引脚功能定义参见表 2-10)

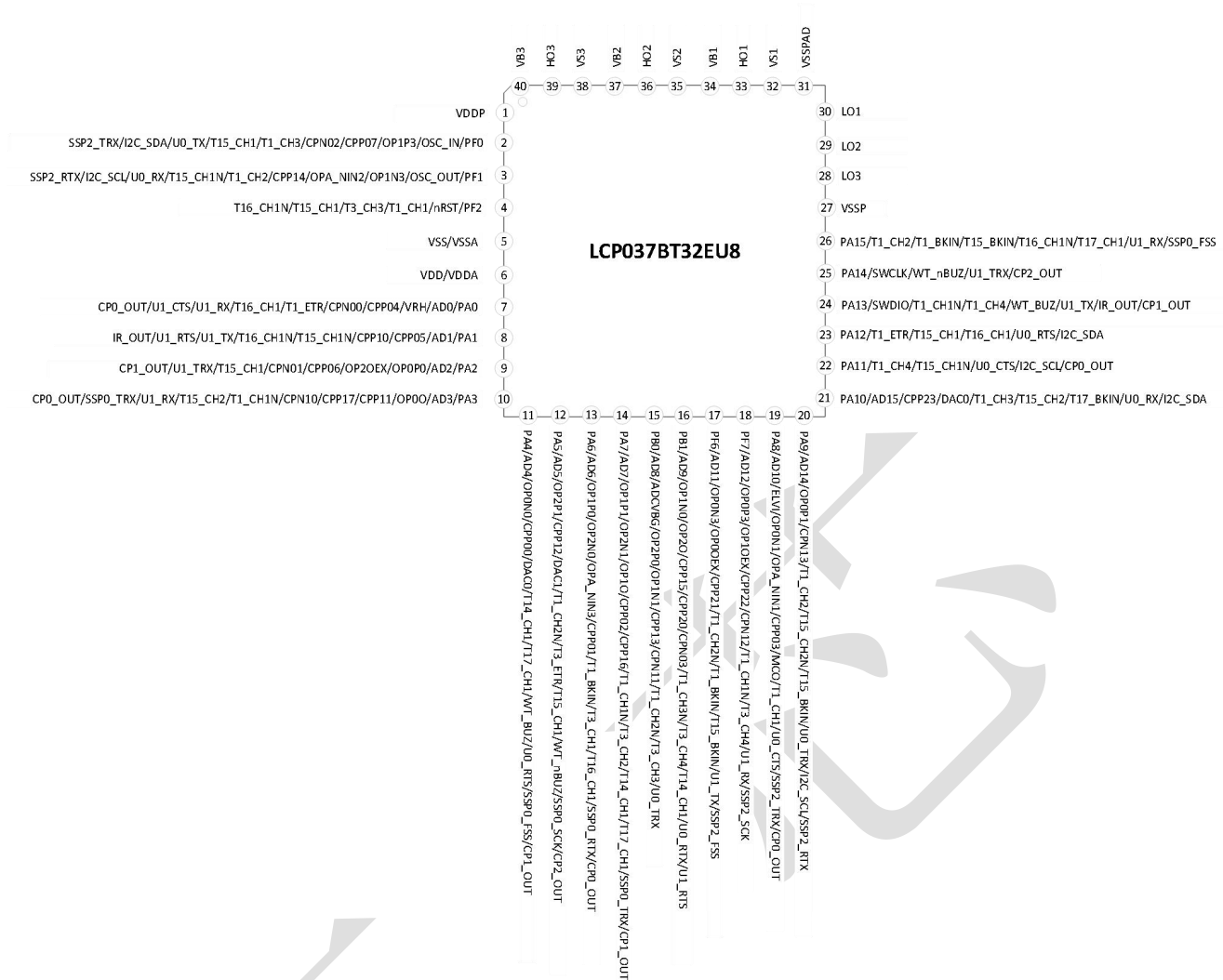


图 2-9 LCP037BT32EU8 QFN40 封装引脚排列
(具体引脚功能定义参见表 2-10)

表 2-9 引脚排列表中使用的图例/缩略语

名称	缩写	定义
引脚名称	除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同	
引脚类型	S	电源引脚
	I	仅输入引脚
	I/O	输入/输出引脚
I/O结构	1ANA	只包含一路复用模拟通道
	2ANA	包含两路复用模拟通道，两路普通模拟开关（PAD经过ESD电阻后接到模拟开关）
	2OP	包含两路复用模拟通道，两路低内阻模拟开关（PAD直接接到模拟开关，用于运放）
	ANA_OP	包含两路复用模拟通道，一路普通模拟开关和一路低内阻模拟开关
注释	除非特别注释说明，否则在复位期间和复位后所有 I/O 都设为浮空输入	
引脚功能	可选复用功能	通过 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的功能（数字复用）
	外部复用功能	通过系统寄存器选择的功能，优先级高于可选复用功能（数字复用）
	模拟复用功能1	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 1
	模拟复用功能2	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 2

表 2-10 LCP037B 系列引脚定义

引脚名(复位后的功能)			引脚类型	I/O 结构		可选复用功能	外部功能	模拟复用功能(AN)	
QFN40	QFN32	LQFP32						AN1	AN2
			TESTEN				测试功能		
			PF4	I/O	1ANA	SSP2_FSS/TIM1_CH1N/ TIM1_CH3/TIM3_CH1/			
2	2	2	PF0	I/O	2OP	SSP2_TXD/I2C0_SDA/ TIM1_CH3/TIM15_CH1/ UART0_TX/SSP2_RXD		CPN02/OP1P3/ CPP07 ¹	OSCL_IN / OSCH_IN
3	3	3	PF1	I/O	2OP	SSP2_RXD/I2C0_SCL/ TIM1_CH2/TIM15_CH1N/ URAT0_RX/SSP2_TXD		CPP14/OP1N3/ OPA_NIN2	OSCL_OUT/ OSCH_OUT
4	4	4	PF2 (nRST)	I/O	1ANA	TIM1_CH1/TIM3_CH3/ TIM15_CH1/TIM16_CH1N	nRST ²		
5	5	5	VSS/VSSA	S					
6	6	6	VDDA/VDDH	S					
7	7	7	PA0	I/O	2ANA	UART1_CTS/TIM1_ETR/ TIM16_CH1/UART1_RX/ CP0_OUT		ADCIN[0]/ CPP04/CPN00	PMU_VRH
8	8	8	PA1	I/O	2ANA	EVENTOUT/UART1_RTS/ TIM16_CH1N/UART1_TX/ TIM15_CH1N/IR_OUT		ADCIN[1]	CPP05/CPP10
9	9	9	PA2	I/O	2OP	TIM15_CH1/UART1_TX/		CPN01/	OP2OEX/

						CP1_OUT/UART1_RX		OP0P0/ CPP06	ADCIN[2]
10			PA3	I/O	ANA_OP	TIM15_CH2/UART1_RX/ TIM1_CH1N/SSP0_TXD/ CP0_OUT/SSP0_RXD		ADCIN[3]/ CPN10/CPP11	OP0O/CPP17
11	10	10	PA4	I/O	2OP	SSP0_FSS/UART0_RTS/ TIM17_CH1/TIM14_CH1/ WT_BUZ/CP1_OUT		DAC_OUT0	ADCIN[4]/ OP0N0/CPP00
12	11	11	PA5	I/O	2OP	SSP0_SCK/TIM15_CH1/ TIM1_CH2N/WT_nBuz/ CP2_OUT/TIM3_ETR		ADCIN[5]/ OP2P1/CPP12	DAC_OUT1
13	12	12	PA6	I/O	ANA_OP	SSP0_RXD/TIM3_CH1/ TIM1_BKIN/CP0_OUT/ TIM16_CH1/EVENTOUT/ SSP0_TXD		ADCIN[6]/ CPP01	OP1P0/OP2N0/ OPA_NIN3
14	13	13	PA7	I/O	2OP	SSP0_TXD/TIM3_CH2/ TIM1_CH1N/CP1_OUT/ TIM14_CH1/TIM17_CH1/ EVENTOUT/SSP0_RXD		ADCIN[7]/OP1P1/ OP2N1/CPP02	OP1O/CPP16
15	14	14	PB0	I/O	ANA_OP	EVENTOUT/TIM3_CH3/ TIM1_CH2N/UART0_TX/ UART0_RX			ADCIN[8]/ CPP13/OP2P0/ CPN11/OP1N1
16	15	15	PB1	I/O	2OP	TIM14_CH1/TIM3_CH4/ TIM1_CH3N/UART1_RTS/ UART0_RX/UART0_TX		ADCIN[9]/CPP20/ OP1N0/CPN03	OP2O/CPP15
17			PF6	I/O	ANA_OP	SSP2_FSS/TIM1_CH2N/ TIM1_BKIN/UART1_TX/ TIM15_BKIN/EVENTOUT		ADCIN[11]/ OP0OEX	OP0N3/ CPP21
18			PF7	I/O	ANA_OP	SSP2_SCK/TIM1_CH1N/ TIM3_CH4/URAT1_RX		ADCIN[12]/ OP1OEX	OP0P3/CPN12/ CPP22
19	16	16	PA8	I/O	ANA_OP	MCO/UART0_CTS/ TIM1_CH1/EVENTOUT/ SSP2_TXD/SSP2_RXD/ CP0_OUT		ADCIN[10]/ ELVi ³ /CPP03	OP0N1/ OPA_NIN1
20	17	17	PA9	I/O	ANA_OP	TIM15_CH2N/TIM15_BKIN/ UART0_TX/TIM1_CH2/ I2C0_SCL/SSP2_RXD/ SSP2_TXD/UART0_RX		ADCIN[14]	CPN13/OP0P1
21	18	18	PA10	I/O	2ANA	TIM15_CH2/TIM17_BKIN/ UART0_RX/TIM1_CH3/ I2C0_SDA		ADCIN[15]/ CPP23	DAC_OUT0
22			PA11	I/O	2ANA	EVENTOUT/UART0_CTS/ TIM1_CH4/TIM15_CH1N/ CP0_OUT/I2C0_SCL			
23			PA12	I/O	1ANA	EVENTOUT/UART0_RTS/ TIM1_ETR/TIM16_CH1/			

						TIM15_CH1/I2C0_SDA/ IR_OUT/TIM1_CH1N/ TIM1_CH4/UART1_TX/ WT_BUZ/CP1_OUT			
24	18	19	PA13	I/O	1ANA		SWDIO ⁴		
25	19	19	PA14	I/O	1ANA	UART1_TX/WT_nBUZ/ CP2_OUT/UART1_RX	SWCLK ⁴		
26			PA15	I/O	1ANA	SSP0_FSS/UART1_RX/ TIM17_CH1/EVENTOUT/ TIM1_CH2/TIM16_CH1N/ TIM1_BKIN/TIM15_BKIN			
			PB3	I/O	1ANA	SSP0_SCK/TIM1_CH1N/ TIM1_CH2N/TIM16_CH1/ CP1_OUT			
			PB4	I/O	1ANA	SSP0_RXD/TIM3_CH1/ TIM1_CH2N/UART0_RX/ TIM17_BKIN/SSP0_TXD			
			PB5	I/O	1ANA	SSP0_TXD/TIM3_CH2/ TIM16_BKIN/TIM1_CH3/ UART0_TX/UART1_CTS/ CP2_OUT/ SSP0_RXD		ADCIN[13] VBG_BUFOUT	
			PB6	I/O	ANA_OP	UART0_TX/I2C0_SCL/ TIM16_CH1N/TIM15_CH2/ TIM1_CH3N/ UART0_RX		DACOUT0	OP2P3/CPN22
			PB7	I/O	ANA_OP	UART0_RX/I2C0_SDA/ TIM17_CH1N/TIM1_CH2N/ UART0_TX/TIM1_CH1/ TIM17_CH1/SSP2_FSS		DACOUT1	OP2N3/CPN23
			PF3 (BOOT0)	I/O	1ANA	SSP2_SCK/TIM1_CH1N/ TIM1_CH2/TIM3_CH2/ TIM15_CH2/TIM16_CH1/ TIM17_CH1N/TIM3_ETR	BOOT0 ⁴		
1	1	1	VDDP	S				预驱模块供电电源	
27	20	20	VSSP	S				预驱模块驱动地	
28	23	23	LO3	O				预驱模块低端驱动输出 3	
29	22	22	LO2	O				预驱模块低端驱动输出 2	
30	21	21	LO1	O				预驱模块低端驱动输出 1	
31			VSSPAD	S				封装框架地	
32	24	24	VS1	-				预驱模块高端悬浮地 1	
33	25	25	HO1	O				预驱模块高端驱动输出 1	
34	26	26	VB1	-				预驱模块高端悬浮电源 1	
35	27	27	VS2	-				预驱模块高端悬浮地 2	
36	28	28	HO2	O				预驱模块高端驱动输出 2	
37	29	29	VB2	-				预驱模块高端悬浮电源 2	
38	30	30	VS3	-				预驱模块高端悬浮地 3	

39	31	31	HO3	O				预驱模块高端驱动输出 3
40	32	32	VB3	-				预驱模块高端悬浮电源 3

注1：ACMP 与 OPA 输入引脚格式。ACMP：CP 序号 + 引脚正负端 + 输入端口；OPA：OP 序号 + 引脚正负端 + 输入端口。

例如：CPP11 表示 ACMP1 正端输入 端口 1；OP2N3 表示 OPA2 负端输入 端口 3。

注2：上电复位后，这个引脚缺省配置为外部复位引脚 nRST。

注3：ELVI 为外部输入低压检测。

注4：系统复位后，这些引脚配置为可选复用功能SWDIO和SWCLK，SWDIO引脚内部上拉，SWCLK引脚内部下拉。

注5：根据选项字节配置，在系统复位期间可以作为BOOT0引脚，以选择启动模式；后续为正常功能。

注6：I/O驱动强度分为两档，3.3V供电时为4mA/8mA；5V供电时为8mA/16mA。

表 2-11 预驱引脚描述

驱动模块引脚	复用功能	I/O 类型	引脚描述	引脚位置
HIN1	TIM1_CH1	I	逻辑输入控制信号高电平有效，控制高端功率 MOS 管的导通与截止	与主控 MCU PB7 引脚相连
HIN2	TIM1_CH2	I		与主控 MCU PF3 引脚相连
HIN3	TIM1_CH3	I		与主控 MCU PF4 引脚相连
LIN1	TIM1_CH1N	I	逻辑输入控制信号低电平有效，控制低端功率 MOS 管的导通与截止	与主控 MCU PB3 引脚相连
LIN2	TIM1_CH2N	I		与主控 MCU PB4 引脚相连
LIN3	TIM1_CH3N	I		与主控 MCU PB6 引脚相连

2.4 LCP037C 系列

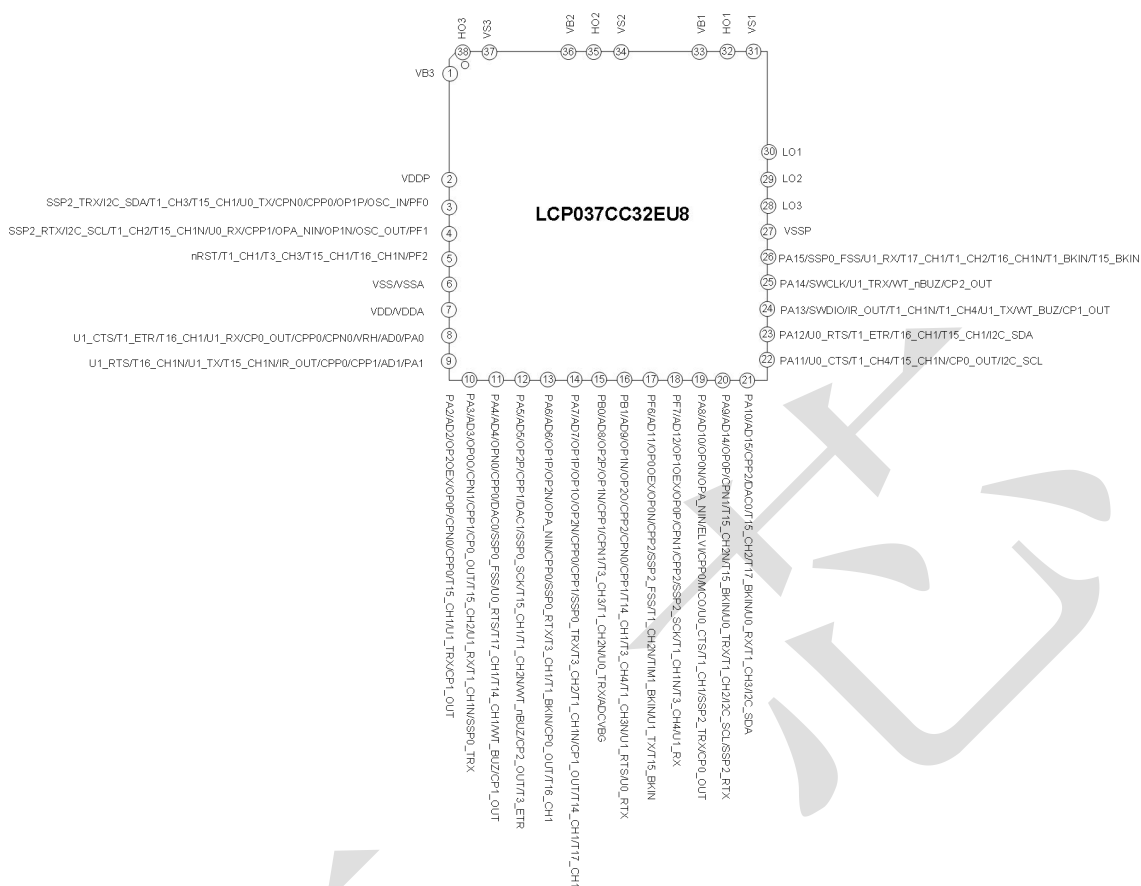


图 2-10 LCP037CC32EU8 QFN38封装引脚排列
(具体引脚功能定义参见表 2-13)

表 2-12 引脚排列表中使用的图例/缩略语

名称	缩写	定义
引脚名称	除非在引脚名下面的括号中特别说明，复位期间和复位后的引脚功能与实际引脚名相同	
引脚类型	S	电源引脚
	I	仅输入引脚
	I/O	输入/输出引脚
I/O结构	1ANA	只包含一路复用模拟通道
	2ANA	包含两路复用模拟通道，两路普通模拟开关（PAD经过ESD电阻后接到模拟开关）
	2OP	包含两路复用模拟通道，两路低内阻模拟开关（PAD直接接到模拟开关，用于运放）
	ANA_OP	包含两路复用模拟通道，一路普通模拟开关和一路低内阻模拟开关
注释	除非特别注释说明，否则在复位期间和复位后所有 I/O 都设为浮空输入	
引脚功能	可选复用功能	通过 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的功能（数字复用）
	外部复用功能	通过系统寄存器选择的功能，优先级高于可选复用功能（数字复用）
	模拟复用功能1	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 1
	模拟复用功能2	通过系统寄存器或者 GPIOx_AFL/H、GPIOx_MODE 寄存器选择的模拟功能 2

表 2-13 LCP037C 系列引脚定义

引脚名(复位后的功能)	引脚类型	I/O 结构		可选复用功能	外部功能	模拟复用功能(AN)	
						AN1	AN2
QFN38							
	TESTEN				测试功能		
	PF4	I/O	1ANA	SSP2_FSS/TIM1_CH1N/ TIM1_CH3/TIM3_CH1	WKUP2		
3	PF0	I/O	2OP	SSP2_TXD/I2C0_SDA/ TIM1_CH3/TIM15_CH1/ UART0_TX/SSP2_RXD		CPN02/OP1P3/ CPP07 ¹	OSCL_IN/ OSCH_IN
4	PF1	I/O	2OP	SSP2_RXD/I2C0_SCL/ TIM1_CH2/TIM15_CH1N/ URAT0_RX/SSP2_TXD		CPP14/OP1N3/ OPA_NIN2	OSCL_OUT/ OSCH_OUT
5	PF2(nRST)	I/O	1ANA	TIM1_CH1/TIM3_CH3/ TIM15_CH1/TIM16_CH1N	nRST ²		
6	VSS/VSSA	S				MCU 地	
7	VDDA/VDDH	S				MCU 电源电压	
8	PA0	I/O	2ANA	UART1_CTS/TIM1_ETR/ TIM16_CH1/UART1_RX/ CP0_OUT	WKUP0	ADCIN[0]/ CPP04/CPN00	VRH
9	PA1	I/O	2ANA	EVENTOUT/UART1_RTS/ TIM16_CH1N/UART1_TX/ TIM15_CH1N/IR_OUT		ADCIN[1]	CPP05/CPP10
10	PA2	I/O	2OP	TIM15_CH1/UART1_TX/ CP1_OUT/UART1_RX		CPN01/OP0P0/ CPP06	OP2OEX/ ADCIN[2]
	PA3	I/O	ANA_OP	TIM15_CH2/UART1_RX/ TIM1_CH1N/SSP0_TXD/ CP0_OUT/SSP0_RXD		ADCIN[3]/ CPN10/CPP11	OP00/CPP17

11	PA4	I/O	2OP	SSPO_FSS/UART0_RTS/ TIM17_CH1/TIM14_CH1/ WT_BUZ/CP1_OUT		DAC_OUT0	ADCIN[4]/ OP0N0/CPP00
12	PA5	I/O	2OP	SSPO_SCK/TIM15_CH1/ TIM1_CH2N/WT_nBuz/ CP2_OUT/TIM3_ETR		ADCIN[5]/ OP2P1/CPP12	DAC_OUT1
13	PA6	I/O	ANA_OP	SSPO_RXD/TIM3_CH1/ TIM1_BKIN/CP0_OUT/ TIM16_CH1/EVENTOUT/ SSPO_TXD		ADCIN[6]/ CPP01	OP1P0/OP2N0/ OPA_NIN3
14	PA7	I/O	2OP	SSPO_TXD/TIM3_CH2/ TIM1_CH1N/CP1_OUT/ TIM14_CH1/TIM17_CH1/ EVENTOUT/SSPO_RXD		ADCIN[7]/ OP1P1/ OP2N1/CPP02	OP10/CPP16
15	PB0	I/O	ANA_OP	EVENTOUT/TIM3_CH3/ TIM1_CH2N/UART0_TX/ UART0_RX		ADCVBG	ADCIN[8]/ CPP13/OP2P0/ CPN11/OP1N1
16	PB1	I/O	2OP	TIM14_CH1/TIM3_CH4/ TIM1_CH3N/UART1_RTS/ UART0_RX/UART0_TX		ADCIN[9]/ CPP20/ OP1N0/CPN03	OP20/CPP15
17	PF6	I/O	ANA_OP	SSP2_FSS/TIM1_CH2N/ TIM1_BKIN/UART1_TX/ TIM15_BKIN/EVENTOUT		ADCIN[11]/ OP0OEX	OP0N3/ CPP21
18	PF7	I/O	ANA_OP	SSP2_SCK/TIM1_CH1N/ TIM3_CH4/URAT1_RX		ADCIN[12]/ OP1OEX	OP0P3/CPN12/ CPP22
19	PA8	I/O	ANA_OP	MCO/UART0_CTS/ TIM1_CH1/EVENTOUT/ SSP2_TXD/SSP2_RXD/ CP0_OUT		ADCIN[10]/ ELVI/CPP03	OP0N1/ OPA_NIN1
20	PA9	I/O	ANA_OP	TIM15_CH2N/TIM15_BKIN/ UART0_TX/TIM1_CH2/ I2C0_SCL/SSP2_RXD/ SSP2_TXD/UART0_RX		ADCIN[14]	CPN13/OP0P1
21	PA10	I/O	2ANA	TIM15_CH2/TIM17_BKIN/ UART0_RX/TIM1_CH3/ I2C0_SDA		ADCIN[15]/ CPP23	DAC_OUT0
22	PA11	I/O	2ANA	EVENTOUT/UART0_CTS/ TIM1_CH4/TIM15_CH1N/ CP0_OUT/I2C0_SCL			
23	PA12	I/O	1ANA	EVENTOUT/UART0_RTS/ TIM1_ETR/TIM16_CH1/ TIM15_CH1/I2C0_SDA/			
24	PA13	I/O	1ANA	IR_OUT/ TIM1_CH1N/ TIM1_CH4/ UART1_TX/ WT_BUZ/ CP1_OUT	SWDIO ⁴		

25	PA14	I/O	1ANA	UART1_TX/WT_nBUZ/ CP2_OUT/UART1_RX	SWCLK ⁴		
26	PA15	I/O	1ANA	SSP0_FSS/UART1_RX/ TIM17_CH1/EVENTOUT/ TIM1_CH2/TIM16_CH1N/ TIM1_BKIN/TIM15_BKIN	WKUP1		
2	VDDP	S				预驱模块模拟电源	
27	VSSP	S				驱动模块地	
28	LO3	O				驱动模块低端驱动输出 3	
29	LO2	O				驱动模块低端驱动输出 2	
30	LO1	O				驱动模块低端驱动输出 1	
	VSSPAD	S				封装框架地	
31	VS1	-				驱动模块高端悬浮地 1	
32	HO1	O				驱动模块高端驱动输出 1	
33	VB1	-				驱动模块高端悬浮电源 1	
34	VS2	-				驱动模块高端悬浮地 2	
35	HO2	O				驱动模块高端驱动输出 2	
36	VB2	-				驱动模块高端悬浮电源 2	
37	VS3	-				驱动模块高端悬浮地 3	
38	HO3	O				驱动模块高端驱动输出 3	
1	VB3	-				驱动模块高端悬浮电源 3	
	PB3	I/O	1ANA	SSP0_SCK/TIM1_CH1N/ TIM1_CH2N/TIM16_CH1/ CP1_OUT			
	PB4	I/O	1ANA	SSP0_RXD/TIM3_CH1/ TIM1_CH2N/UART0_RX/ TIM17_BKIN/SSP0_TXD			
	PB5	I/O	1ANA	SSP0_TXD/TIM3_CH2/ TIM16_BKIN/TIM1_CH3/ UART0_TX/UART1_CTS/ CP2_OUT/SSP0_RXD		ADCIN[13]	
	PB6	I/O	ANA_OP	UART0_TX/I2C0_SCL/ TIM16_CH1N/TIM15_CH2/ TIM1_CH3N/UART0_RX		DACOUT0	OP2P3/CPN22
	PB7	I/O	ANA_OP	UART0_RX/I2C0_SDA/ TIM17_CH1N/TIM1_CH2N/ UART0_TX/TIM1_CH1/ TIM17_CH1/SSP2_FSS		DACOUT1	OP2N3/CPN23
	PF3(BOOT0)	I/O	1ANA	SSP2_SCK/TIM1_CH1N/ TIM1_CH2/TIM3_CH2/ TIM15_CH2/TIM16_CH1/ TIM17_CH1N/TIM3_ETR	BOOT0 ⁵		

注 1: ACMP 与 OPA 输入引脚格式。ACMP: CP 序号 + 引脚正负端 + 输入端口; OPA: OP 序号 + 引脚正负端 + 输入端口。

例如: CPP11 表示 ACMP1 正端输入 端口 1; OP2N3 表示 OPA2 负端输入 端口 3。

注 2: 上电复位后, 这个引脚缺省配置为外部复位引脚 nRST。

注 3: ELVI 为外部输入低压检测。

注4：系统复位后，这些引脚配置为可选复用功能SWDIO和SWCLK，SWDIO引脚内部上拉，SWCLK引脚内部下拉。

注5：根据选项字节配置，在系统复位期间可以作为BOOT0引脚，以选择启动模式；后续为正常功能。

注6：I/O驱动强度分为两档，3.3V供电时为4mA/8mA；5V供电时为8mA/16mA。

驱动模块引脚	复用功能	I/O 类型	引脚描述	引脚位置
HIN1	TIM1_CH1	I	逻辑输入控制信号高电平有效，控制高端功率 MOS 管的导通与截止 “0”是关闭功率 MOS 管；“1”是开启功率 MOS 管	与主控 MCU PB7 引脚相连
HIN2	TIM1_CH2	I		与主控 MCU PF3 引脚相连
HIN3	TIM1_CH3	I		与主控 MCU PF4 引脚相连
LIN1	TIM1_CH1N	I	逻辑输入控制信号低电平有效，控制低端功率 MOS 管的导通与截止 “0”是关闭功率 MOS 管；“1”是开启功率 MOS 管	与主控 MCU PB3 引脚相连
LIN2	TIM1_CH2N	I		与主控 MCU PB4 引脚相连
LIN3	TIM1_CH3N	I		与主控 MCU PB6 引脚相连

3. 存储器映射

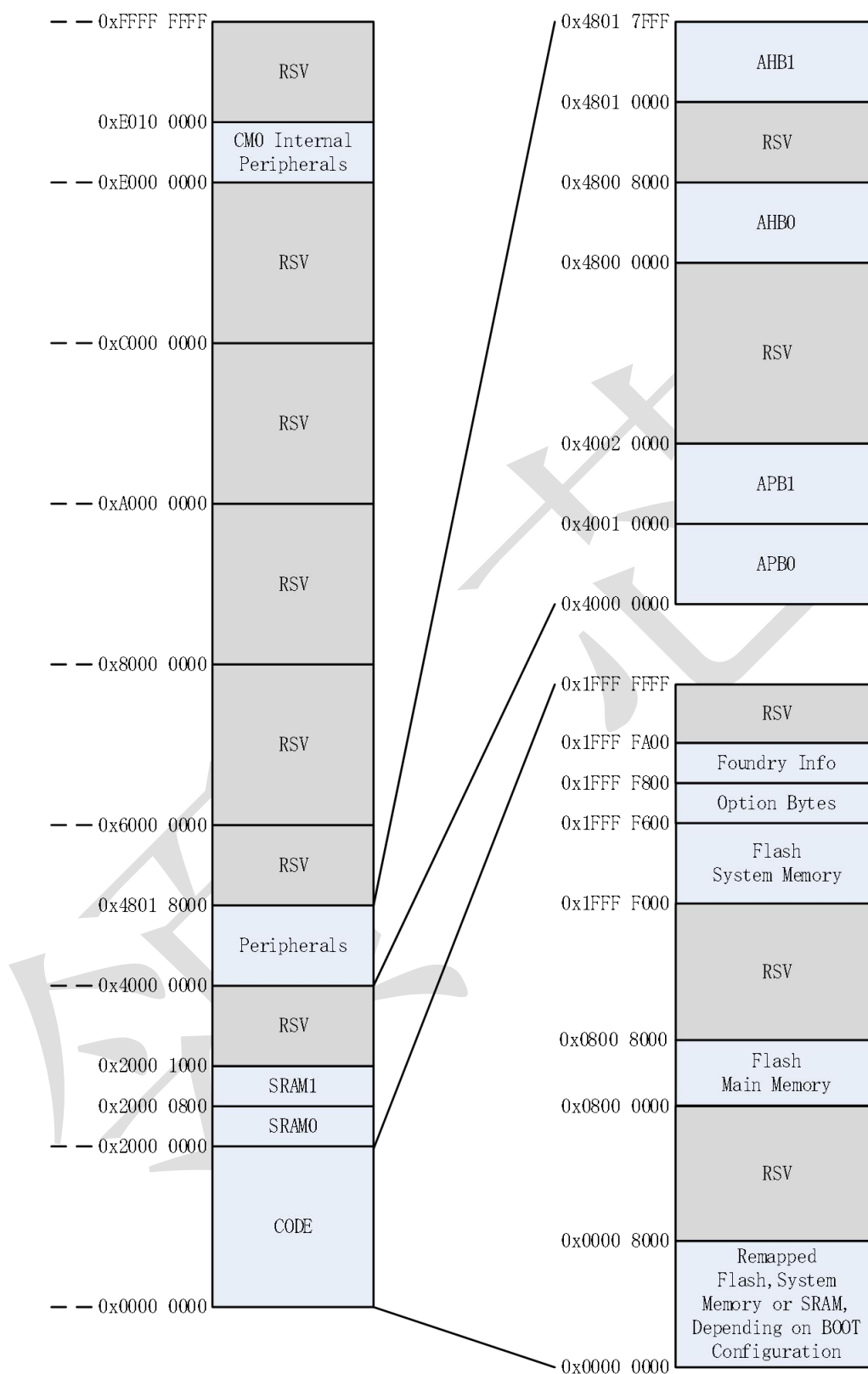


图 3-1 存储器映射

表 3-1 LCM32F037 系列外设寄存器地址空间划分

总线	地址范围	大小	外设
APB0	0x4000 0000 - 0x4000 0FFF	4KB	保留
	0x4000 1000 - 0x4000 1FFF	4KB	保留
	0x4000 2000 - 0x4000 2FFF	4KB	保留
	0x4000 3000 - 0x4000 3FFF	4KB	保留
	0x4000 4000 - 0x4000 4FFF	4KB	保留
	0x4000 5000 - 0x4000 5FFF	4KB	保留
	0x4000 6000 - 0x4000 6FFF	4KB	SSP2
	0x4000 7000 - 0x4000 7FFF	4KB	保留
	0x4000 8000 - 0x4000 8FFF	4KB	保留
	0x4000 9000 - 0x4000 9FFF	4KB	TIM6
	0x4000 A000 - 0x4000 AFFF	4KB	TIM14
	0x4000 B000 - 0x4000 BFFF	4KB	TIM3
	0x4000 C000 - 0x4000 CFFF	4KB	保留
	0x4000 D000 - 0x4000 DFFF	4KB	WWDG
	0x4000 E000 - 0x4000 EFFF	4KB	保留
	0x4000 F000 - 0x4000 FFFF	4KB	保留
APB1	0x4001 0000 - 0x4001 0FFF	4KB	TIM1
	0x4001 1000 - 0x4001 1FFF	4KB	EXTI
	0x4001 2000 - 0x4001 2FFF	4KB	保留
	0x4001 3000 - 0x4001 3FFF	4KB	I2C0
	0x4001 4000 - 0x4001 4FFF	4KB	UART0
	0x4001 5000 - 0x4001 5FFF	4KB	UART1
	0x4001 6000 - 0x4001 6FFF	4KB	保留
	0x4001 7000 - 0x4001 73FF	1KB	CHIPCTRL
	0x4001 7400 - 0x4001 77FF	1KB	IWDG
	0x4001 7800 - 0x4001 7BFF	1KB	WT
	0x4001 7C00 - 0x4001 7FFF	1KB	ANACTRL
	0x4001 8000 - 0x4001 8FFF	4KB	SSP0
	0x4001 9000 - 0x4001 9FFF	4KB	保留
	0x4001 A000 - 0x4001 AFFF	4KB	ADC
	0x4001 B000 - 0x4001 BFFF	4KB	TIM15
	0x4001 C000 - 0x4001 CFFF	4KB	TIM16
	0x4001 D000 - 0x4001 DFFF	4KB	FLASH CTRL
	0x4001 E000 - 0x4001 EFFF	4KB	TIM17
	0x4001 F000 - 0x4001 FFFF	4KB	保留
	0x4002 0000 - 0x47FF FFFF	~128MB	保留
AHB0	0x4800 0000 - 0x4800 01FF	512B	GPIOA
	0x4800 0200 - 0x4800 03FF	512B	GPIOB
	0x4800 0400 - 0x4800 05FF	512B	保留
	0x4800 0600 - 0x4800 07FF	512B	保留
	0x4800 0800 - 0x4800 09FF	512B	保留
	0x4800 0A00 - 0x4800 0BFF	512B	GPIOF

	0x4800 0C00 - 0x4800 0DFF	512B	保留
	0x4800 0E00 - 0x4800 0FFF	512B	保留
	0x4800 1000 - 0x4800 1FFF	4KB	保留
	0x4800 2000 - 0x4800 2FFF	4KB	保留
	0x4800 3000 - 0x4800 3FFF	4KB	保留
	0x4800 4000 - 0x4800 4FFF	4KB	DMA
	0x4800 5000 - 0x4800 5FFF	4KB	保留
	0x4800 6000 - 0x4800 6FFF	4KB	保留
	0x4800 7000 - 0x4800 7FFF	4KB	SYSCTRL
	0x4800 8000 - 0x4800 FFFF	32KB	保留
AHB1	0x4801 0000 - 0x4801 0FFF	4KB	保留
	0x4801 1000 - 0x4801 1FFF	4KB	CRC
	0x4801 2000 - 0x4801 2FFF	4KB	保留
	0x4801 3000 - 0x4801 3FFF	4KB	保留
	0x4801 4000 - 0x4801 4FFF	4KB	DIV
	0x4801 5000 - 0x4801 5FFF	4KB	保留
	0x4801 6000 - 0x4801 6FFF	4KB	保留
	0x4801 7000 - 0x4801 7FFF	4KB	保留

4. 电气特性

4.1 LCP037A 系列预驱特性

4.1.1 LCP037Ax31E 预驱特性

4.1.1.1 极限参数

表 4-1 LCP037Ax31E 预驱模块极限参数

参数名称	符号	测试条件	最小	最大	单位
电源	V_{CC} 、 V_{CCP}	-	-0.3	40	V
5V 输出电压	V_{DD5}	-	-0.3	5.5	V
5V 输出电流	I_{SV}	-	0	80	mA
高端输出	HO1、HO2、HO3	-	$V_{CC}-13$	V_{CC}	V
低端输出	LO1、LO2、LO3	-	-0.3	13	V
高通道逻辑信号输入电平	HIN1、HIN2、HIN3	-	-0.3	30	V
低通道逻辑信号输入电平	LIN1、LIN2、LIN3	-	-0.3	30	V
环境温度	T_A	-	-45	125	°C
储存温度	T_{STG}	-	-55	150	°C
焊接温度	T_L	$T=10s$	-	300	°C

注：超出所列的极限参数可能导致芯片内部永久性损坏，在极限的条件长时间运行会影响芯片的可靠性。

4.1.1.2 典型参数

除非特别指明，否则在 $T_A=25^{\circ}\text{C}$ ， $V_{CCP}=V_{CC}=24\text{V}$ ，负载电容 $C_L=1\text{nF}$ 条件下测试。

表 4-2 LCP037Ax31E 预驱模块典型参数

参数名称	符号	测试条件	最小	典型	最大	单位
5V 电源输入	V_{CCP}	-	5.5	24	36	V
驱动电源输入	V_{CC}	-	6	24	36	V
静态电流	I_{CC}	输入悬空， $V_{CCP}=V_{CC}=15\text{V}$	-	0.5	1	mA
输入逻辑信号高电位	$V_{in(H)}$	所有输入控制信号	2	-	-	V
输入逻辑信号低电位	$V_{in(L)}$	所有输入控制信号	-0.3	0	0.8	V
输入逻辑信号高电平的电流	$I_{in(H)}$	$V_{in}=5\text{V}$	-	-	100	uA
输入逻辑信号低电平的电流	$I_{in(L)}$	$V_{in}=0\text{V}$	-	0	1	uA
V_{CC} 电源欠压关断特性						
V_{CC} 开启电压	$V_{CC(on)}$	-	-	5.8	-	V
V_{CC} 关断电压	$V_{CC(off)}$	-	-	5.2	-	V
5V 线性电源特性						
5V 输出电压	V_{DD5}	$V_{CCP}=5.5-36\text{V}$	4.75	-	5.25	V
5V 输出电流	I_{SV}	$V_{CCP}=7-36\text{V}$	30	-	-	mA
LO1、LO2、LO3 开关时间特性						
开延时	T_{on}	-	-	90	-	ns
关延时	T_{off}	-	-	30	-	ns

上升时间	T_r	-	-	280	-	ns
下降时间	T_f	-	-	60	-	ns
HO1、HO2、HO3 开关时间特性						
开延时	T_{on}	-	-	90	-	ns
关延时	T_{off}	-	-	30	-	ns
上升时间	T_r	-	-	80	-	ns
下降时间	T_f	-	-	300	-	ns
死区时间特性						
死区时间	D_T	无负载电容 $C_L=0$	-	60	-	ns
LO1、LO2、LO3 输出端参数						
LO 最高输出电压	V_{LO}	LIN=5V	-	10	-	V
LO 输出拉电流	I_{LO}^+	$V_{LO}=0V$, LIN=5V, PWD $\leq 10\mu s$	-	45	-	mA
LO 输出灌电流	I_{LO}^-	$V_{LO}=10V$, LIN=0, PWD $\leq 10\mu s$	-	0.28	-	A
HO1、HO2、HO3 输出端参数						
HO 最高输出电压	V_{HO}	HIN=5V	-	$V_{CC}-10$	-	V
HO 输出拉电流	I_{HO}^+	$V_{HO}=V_{CC}$, HIN=0, PWD $\leq 10\mu s$	-	0.26	-	A
HO 输出灌电流	I_{HO}^-	$V_{HO}=V_{CC}-10V$, HIN=5V, PWD $\leq 10\mu s$	-	40	-	mA

4.1.2 LCP037Ax31G 预驱特性

4.1.2.1 极限参数

表 4-3 LCP037Ax31G 预驱模块极限参数

参数名称	符号	测试条件	最小	最大	单位
电源	V_{CC} 、 V_{CCP}	-	-0.3	40	V
5V 输出电压	V_{DD5}	-	-0.3	6	V
5V 输出电流	I_{5V}	-	-0.3	50	mA
高端输出	HO1、HO2、HO3	-	$V_{CC}-15$	V_{CC}	V
低端输出	LO1、LO2、LO3	-	-0.3	15	V
高通道逻辑信号输入电平	HIN1、HIN2、HIN3	-	-0.3	20	V
低通道逻辑信号输入电平	LIN1、LIN2、LIN3	-	-0.3	20	V
环境温度	T_A	-	-40	125	°C
储存温度	T_{STG}	-	-55	150	°C
静电保护	ESD	-	2	-	kV

注：超出所列的极限参数可能导致芯片内部永久性损坏，在极限的条件长时间运行会影响芯片的可靠性。

4.1.2.2 典型参数

除非特别指明，否则在 $T_A=25^\circ\text{C}$ ， $V_{CCP}=V_{CC}=24V$ ，负载电容 $C_L=1\text{nF}$ 条件下测试。

表 4-4 LCP037Ax31G 预驱模块典型参数

参数名称	符号	测试条件	最小	典型	最大	单位
静态参数特性						
高电平输入阈值电压	V_{IH}	-	2.5	-	-	V
低电平输入阈值电压	V_{IL}	-	-	-	0.8	V
逻辑“1”输入偏置电流	I_{IN+}	-	-	36	100	μA
逻辑“0”输入偏置电流	I_{IN-}	-	-	0	1	μA
HO 高电平输出电压	$V_{HO,OH}$	-	-	V_{CC}	-	V

HO 低电平输出电压	V_{HO_OL}	-	$V_{CC-11.5}$	V_{CC-10}	$V_{CC-8.5}$	V
LO 高电平输出电压	V_{LO_OH}	-	8.5	10	11.5	V
LO 低电平输出电压	V_{LO_OL}	-	-	0	-	V
输出高短路脉冲电流	I_{O+}	-	-	50	-	mA
输出低短路脉冲电流	I_{O-}	-	-	300	-	mA
V_{CC} 欠压正向阈值	V_{CCUV+}	-	3.8	4.5	5	V
V_{CC} 欠压负向阈值	V_{CCUV-}	-	3.6	4.3	4.8	V
V_{CC} 欠压迟滞	V_{CCHYS}	-	0.1	0.2	0.4	V
V_{CC} 静态电流	I_{QCC}	-	0.3	0.5	1.0	mA
V_{DD} 输出电压	V_{DD}	-	4.7	5	5.3	V
热关断温度	T_{SD+}	-	-	150	-	°C
热关断后恢复温度	T_{SD-}	-	-	135	-	°C
动态参数特性						
开通传输延时	T_{on}	-	-	80	-	ns
关断传输延时	T_{off}	-	-	30	-	ns
死区时间	DT	-	-	130	-	ns
开启上升时间	T_r	-	-	300	-	ns
关闭下降时间	T_f	-	-	60	-	ns
延迟匹配时间	MT	-	-	80	-	ns

4.2 LCP037B 系列预驱特性

4.2.1 极限参数

表 4-5 LCP037B 系列预驱模块极限参数

参数	符号	测试条件	最小值	最大值	单位
自举高端 VB 电源	VB1、VB2、VB3	-	-0.3	280	V
高端悬浮地端	VS1、VS2、VS3	-	VB-25	VB+0.3	V
高端输出	HO1、HO2、HO3	-	VS-0.3	VB+0.3	V
低端输出	LO1、LO2、LO3	-	-0.3	$V_{DDP}+0.3$	V
电源	V_{DDP}	-	-0.3	25	V
高通道逻辑信号输入电平	HIN1、HIN2、HIN3	-	-0.3	$V_{DDP}+0.3$	V
低通道逻辑信号输入电平	LIN1、LIN2、LIN3	-	-0.3	$V_{DDP}+0.3$	V
环境温度	T_A	-	-40	125	°C
储存温度	T_{STG}	-	-55	150	°C
焊接温度	T_L	T=10s	-	300	°C

注：超出所列的极限参数可能导致芯片内部永久性损坏，在极限的条件长时间运行会影响芯片的可靠性。

4.2.2 典型参数

除非特别指明，否则在 $T_A=25^{\circ}\text{C}$ ， $V_{DDP}=12\text{V}$ ，负载电容 $C_L=1\text{nF}$ 条件下测试。

表 4-6 LCP037B 系列预驱模块典型参数

参数	符号	测试条件	最小值	典型值	最大值	单位
电源	V_{DDP}	-	5	12	20	V

输入逻辑信号高电位	$V_{in(H)}$	所有输入控制信号	2.5	-	-	V
输入逻辑信号低电位	$V_{in(L)}$	所有输入控制信号	-0.3	0	1.0	V
输入逻辑信号高电平的电流	$I_{in(H)}$	$V_{in}=5V$	-	-	20	μA
输入逻辑信号低电平的电流	$I_{in(L)}$	$V_{in}=0V$	-15	-	-	μA
悬浮电源漏电流	I_{LK}	$VB1/2/3=VS1/2/3=300V$	-	0.1	1	μA
VBS 静态电流	I_{QBS}	VIN 悬空	-	20	50	μA
VBS 动态电流	I_{PBS}	$f=16KHz$	-	100	200	μA
VDDP 静态电流	I_{QCC}	VIN 悬空	-	150	350	μA
VDDP 动态电流	I_{PCC}	$f=16KHz$	-	400	600	μA
VS 静态负压	V_{SN}	-	-	-6	-	V
LIN 高电平输入偏置电流	I_{LINH}	$V_{LIN}=5V$	-	20	40	μA
LIN 低电平输入偏置电流	I_{LINL}	$V_{LIN}=0V$	-	-	2	μA
HIN 高电平输入偏置电流	I_{HINH}	$V_{LIN}=5V$	-	20	40	μA
HIN 低电平输入偏置电流	I_{HINL}	$V_{LIN}=0V$	-	-	2	μA
VDDP 电源欠压关断特性						
VDDP 开启电压	$V_{DDP(on)}$	-	-	4.3	-	V
VDDP 关断电压	$V_{DDP(off)}$	-	-	4.2	-	V
VB 电源欠压关断特性						
VB 开启电压	$VB(on)$	-	-	4.1	-	V
VB 关断电压	$VB(off)$	-	-	4.0	-	V
输入下拉电阻	R_{IN}	-	-	240	-	$K\Omega$
HO 下拉电阻	R_{HO}	-	-	70	-	$K\Omega$
LO 下拉电阻	R_{LO}	-	-	70	-	$K\Omega$
低端输出 LO、LO 开关时间特性						
开延时	T_{on}	-	-	320	420	ns
关延时	T_{off}	-	-	120	220	ns
上升时间	T_r	-	-	35	70	ns
下降时间	T_f	-	-	25	50	ns
高端输出 HO、HO 开关时间特性						
开延时	T_{on}	-	-	320	420	ns
关延时	T_{off}	-	-	120	220	ns
上升时间	T_r	-	-	35	70	ns
下降时间	T_f	-	-	25	50	ns
死区时间特性						
死区时间	D_T	无负载电容 $C_L=0$	100	200	300	ns
I/O 输出最大驱动能力						
I/O 输出拉电流	I/O+	$V_O=0V$, $V_{IN}=V_{IH}$, $PW\leq 10\mu S$	-	+0.8	-	A
I/O 输出灌电流	I/O-	$V_O=12V$, $V_{IN}=V_{IL}$, $PW\leq 10\mu S$	-	-1.2	-	A

4.3 LCP037C 系列预驱特性

4.3.1 极限参数

表 4-7 LCP037C 系列预驱模块极限参数

符号	参数名称	测试条件	最小	最大	单位
自举高端VB电源	VB1、VB2、VB3	-	-0.3	600	V
高端悬浮地端	VS1、VS2、VS3	-	VB-25	VB+0.3	V
高端输出	HO1、HO2、HO3	-	VS-0.3	VB+0.3	V
低端输出	LO1、LO2、LO3	-	-0.3	VDDP+0.3	V
电源	VDDP	-	-0.3	25	V
高通道逻辑信号输入电平	HIN1、HIN2、HIN3	-	-0.3	VDDP+0.3	V
低通道逻辑信号输入电平	LIN1、LIN2、LIN3	-	-0.3	VDDP+0.3	V
环境温度	环境温度	-	-40	125	℃
储存温度	储存温度	-	-55	150	℃
焊接温度	焊接温度	T=10s	-	300	℃

注：超出所列的极限参数可能导致芯片内部永久性损坏，在极限的条件长时间运行会影响芯片的可靠性。

4.3.2 典型参数

无另外说明，在 $T_A=25^{\circ}\text{C}$ ， $V_{DDP}=12\text{V}$ ，负载电容 $C_L=1\text{nF}$ 条件下。

表 4-8 LCP037C 系列预驱模块典型参数

参数名称	符号	测试条件	最小	典型	最大	单位
电源	VDDP	-	4.5	12	20	V
静态电流	ICC	输入悬空，VDDP=12V	-	1	5	V
输入逻辑信号高电位	$V_{IN(H)}$	所有输入控制信号	2.5	-	-	V
输入逻辑信号低电位	$V_{IN(L)}$	所有输入控制信号	-0.3	0	1.0	V
输入逻辑信号高电平的电流	$I_{IN(H)}$	$V_{IN}=5\text{V}$	-	-	15	μA
输入逻辑信号低电平的电流	$I_{IN(L)}$	$V_{IN}=0\text{V}$	-15	-	-	μA
悬浮电源漏电流	I_{LK}	$V_{B1,2,3}=V_{S1,2,3}=600\text{V}$	-	0.1	1	μA
V_{BS} 静态电流	I_{QBS}	$V_{IN}=0\text{V}$ 或 $V_{IN}=5\text{V}$	-	0.1	10	μA
V_S 静态负压	V_{SN}	-	-	-6	6	V
LIN高电平输入偏置电流	I_{LINH}	$V_{LIN}=5\text{V}$	-	20	40	μA
LIN低电平输入偏置电流	I_{LINL}	$V_{LIN}=0\text{V}$	-	-	1	μA
HIN高电平输入偏置电流	I_{HINH}	$V_{LIN}=5\text{V}$	-	20	40	μA
HIN低电平输入偏置电流	I_{HINL}	$V_{LIN}=0\text{V}$	-	-	1	μA
IO输出最大驱动能力						
高端输出电压	V_{OH}	IO=100mA	-	0.7	1.0	A
低端输出电压	V_{OL}	IO=100mA	-	0.3	0.45	A
IO输出拉电流	IO+	$V_O=0\text{V}$ ， $V_{IN}=V_{IH}$ $PW\leq 10\mu\text{S}$	-	+1.2	-	A
IO输出灌电流	IO-	$V_O=12\text{V}$ ， $V_{IN}=V_{IL}$	-	-1.4	-	A

		PW≤10uS				
低端输出LO、LO开关时间特性						
开延时	T _{on}	见图4-1	-	300	400	nS
关延时	T _{off}	见图4-1	-	100	200	nS
上升时间	T _r	见图4-1	-	25	200	nS
下降时间	T _f	见图4-1	-	20	100	nS
高端输出HO、HO开关时间特性						
开延时	T _{on}	见图4-2	-	220	400	nS
关延时	T _{off}	见图4-2	-	200	400	nS
上升时间	T _r	见图4-2	-	25	200	nS
下降时间	T _f	见图4-2	-	20	100	nS
死区时间特性						
死区时间	DT	见图4-3 无负载电容C _L =0	50	100	200	nS

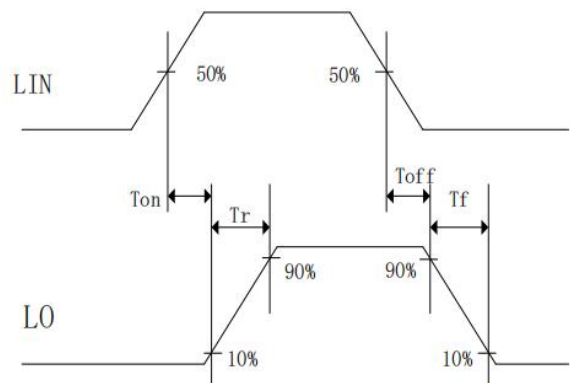


图 4-1 低端输出 LO 开关时间波形图

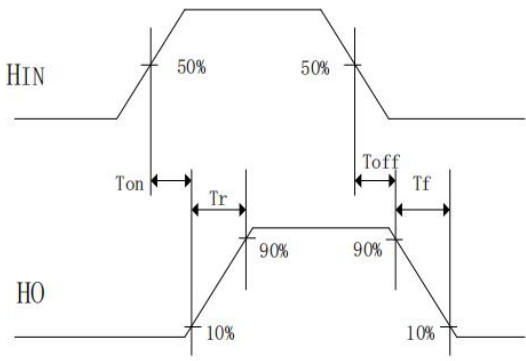


图 4-2 高端输出 HO 开关时间波形图

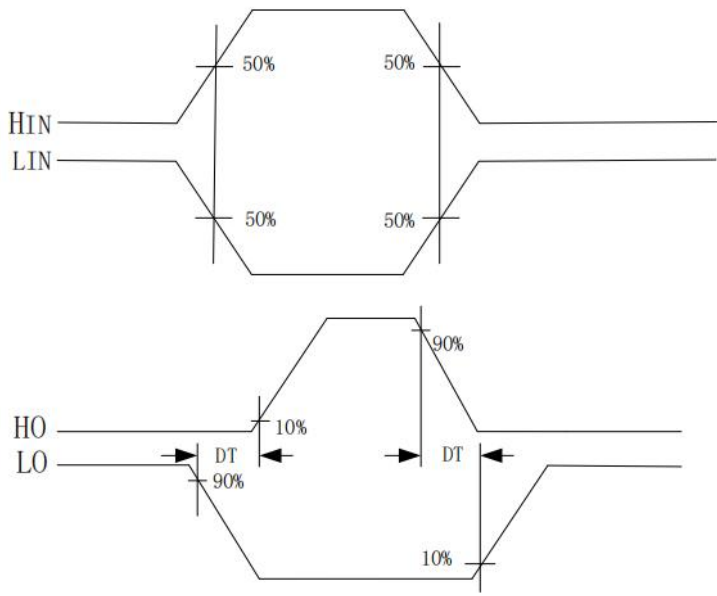


图 4-3 死区时间波形图

4.4 LCM32F037 特性

4.4.1 绝对最大值

如果器件工作条件超过“绝对最大值”，就可能会对器件造成永久性损坏。这些值仅为运行条件极大值，我们建议不要使器件在该规范规定的范围以外运行。器件长时间工作在最大值条件下，其可靠性会受到影响。

表 4-9 电压特性

参数	符号	测试条件	最小值	典型值	最大值	单位
电源电压	V_{DD}/V_{DDA}	-	-0.3	3.3/5	6.5	V
I/O 输入电压	V_{IN}	-	-0.3	3.3/5	5.8	

注：所有电压都以 V_{SS} 为参考。

表 4-10 电流特性

参数	符号	测试条件	最小值	典型值	最大值	单位
流入 V_{DD} 的总电流	ΣI_{VDD}	-	-	-	120	mA
流出 V_{SS} 的总电流	ΣI_{VSS}	-	-	-	-120	
每个 V_{DD} 管脚的最大电流	$I_{VDD}(\text{pin})$	-	-	-	100	
每个 V_{SS} 管脚的最大电流	$I_{VSS}(\text{pin})$	-	-	-	-100	
管脚注入电流	I_{INJ}	$V_{IN} > V_{DD}$ 或 $V_{IN} < V_{SS}$	-10	-	10	
总注入电流	ΣI_{INJ}	-	-20	-	20	

表 4-11 热特性

参数	符号	最小值	典型值	最大值	单位
存储温度范围	T_{STG}	-65	25	150	°C
最大结温	T_J	-	25	150	

4.4.2 工作条件

4.4.2.1 推荐工作条件

表 4-12 工作条件

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V_{DD}	-	2.0	3.3/5	5.5	V
模拟工作电压	V_{DDA}	$\geq V_{DD}$	2.4	3.3/5	5.5	V
I/O 输入电压	V_{IN}	-	-0.3	-	5.5	V
CPU 频率	f_{CPU}	$V_{DD} > 2.8V$	-	-	72	MHz
		$V_{DD} > 4V$	-	-	96	
AHB 时钟频率	f_{AHB}	-	-	-	f_{CPU}	MHz
APB 时钟频率	f_{APB}	-	-	-	f_{CPU}	MHz
V_{DD}/V_{DDA} 上升速率	t_{VRISE}	-	0	-	∞	us/V
V_{DD}/V_{DDA} 下降速率	t_{VFALL}	-	20	-	∞	us/V
耗散功率	P_D	$T_A = 25^\circ\text{C}$	-	-	400	mW
环境温度	T_A	-	-40	-	125	°C

4.4.2.2 系统复位及电压监控

表 4-13 系统监控与复位特性

参数	符号	测试条件	最小值	典型值	最大值	单位
带隙基准电压	V_{BG}	1.8~5.5V, $T_A = -40 \sim 125^\circ\text{C}$	1.24	1.25	1.26	V
上电复位电压	V_{POR}	0V 上电到 V_{DD} , $-40 \sim 125^\circ\text{C}$	1.793	1.825	1.869	V
掉电复位电压	V_{PDR}	V_{DD} 掉电到 0V, $-40 \sim 125^\circ\text{C}$	1.695	1.728	1.77	V
复位延迟时间	$t_{RSTTEMPO}$	上电复位, $RCL = 24\text{KHz}$	-	2	-	ms
		外部复位	-	2	-	us
低压复位电压	V_{LVR}	LVRs=000	-	1.6	-	V
		LVRs=001	-	1.8	2	
		LVRs=010	-	2	2.2	
		LVRs=011	-	2.5	2.7	
		LVRs=100	-	2.8	3	
		LVRs=101	-	3	3.2	
		LVRs=110	-	3.5	3.7	
		LVRs=111	-	4	4.2	
LVR 释放迟滞电压	$V_{HYS(LVR)}$	$V_{DDA} = 3.3\text{V}$, $T_A = 30^\circ\text{C}$	-	0.1	0.2	V
LVR 模块工作电流	I_{LVR}	$V_{DDA} = 3.3\text{V}$, $T_A = 30^\circ\text{C}$	-	15	-	uA
LVD 检测电压	V_{LVD}	LVLS= 000	-	2.0	2.2	V
		LVLS= 001	-	2.2	2.4	
		LVLS= 010	-	2.4	2.6	
		LVLS= 011	-	2.7	2.9	
		LVLS= 100	-	2.9	3.1	
		LVLS= 101	-	3.1	3.3	
		LVLS= 110	-	3.6	3.9	
		LVLS= 111	-	4.5	4.8	
LVD 释放迟滞电压	$V_{HYS(LVD)}$	$V_{DDA} = 3.3\text{V}$, $T_A = 30^\circ\text{C}$	-	0.1	-	V
LVD 模块工作电流	I_{LVD}	$V_{DDA} = 3.3\text{V}$, $T_A = 30^\circ\text{C}$	-	15	-	uA

4.4.2.3 内部参考电压

表 4-14 内部参考电压特性

参数	符号	测试条件	最小值	典型值	最大值	单位
内部参考电压	V_{REFINT}	$T_A = -40 \sim 125^\circ\text{C}$, $VRH_SEL=0$	2.4	2.5	2.6	V
内部参考电压	V_{REFINT}	$T_A = -40 \sim 125^\circ\text{C}$, $VRH_SEL=1$	3.9	4	4.1	V
内部参考电压建立时间	t_{START}	-	1.4	2	4.5	us
内部参考电压在温度范围内的分布	ΔV_{REFINT}	$V_{DDA}=3.3\text{V}$, $T_A = -40 \sim 125^\circ\text{C}$, $VRH_SEL=0$	-	4	-	mV
		$V_{DDA}=5\text{V}$, $T_A = -40 \sim 125^\circ\text{C}$, $VRH_SEL=0$	-	7	-	mV
温度系数	T_{coeff}	$V_{DDA} = 3.3\text{V}$, $T_A = 30^\circ\text{C}$	-	12	-	ppm/ $^\circ\text{C}$

4.4.2.4 电流特性

本芯片典型工作电压 3.3V / 5.0V，除非特别指明，否则典型值是在 $T_A=25^{\circ}\text{C}$ 条件的测试结果。直流电气特性还在不断完善中。

表 4-15 工作电流特性

参数	符号	外设状态	运行条件	最小值	典型值 3.3V	典型值 5V	最大值	单位
工作 电流	I_{RUN}	禁止	MCLK=8MHz, RCH/2	-	1.21	1.34	-	mA
			MCLK=16MHz, RCH	-	1.93	2.05	-	
			MCLK=24MHz, RCH+PLL ON	-	4.61	5.12	-	
			MCLK=48MHz, RCH+PLL ON	-	8.82	9.44	-	
			MCLK=72MHz, RCH+PLL ON	-	11.71	12.58	-	
			MCLK=96MHz, RCH+PLL ON	-	16.62	17.93	-	
		全部打 开, ADC 采样开	MCLK=8MHz, RCH/2	-	5.36	6.34	-	
			MCLK=16MHz, RCH	-	7.51	8.46	-	
			MCLK=24MHz, RCH+PLL ON	-	10.38	11.77	-	
			MCLK=48MHz, RCH+PLL ON	-	17.21	18.80	-	
			MCLK=72MHz, RCH+PLL ON	-	22.82	24.76	-	
			MCLK=96MHz, RCH+PLL ON	-	27.54	31.38	-	
睡眠 电流	I_{SLEEP}	关闭	MCLK=8MHz, RCH/2	-	0.87	0.98	-	mA
			MCLK=16MHz, RCH	-	1.21	1.32	-	
			MCLK=24MHz, RCH+PLL ON	-	2.55	3.04	-	
			MCLK=48MHz, RCH+PLL ON	-	4.43	5.08	-	
			MCLK=72MHz, RCH+PLL ON	-	6.31	7.23	-	
			MCLK=96MHz, RCH+PLL ON	-	8.35	9.37	-	
		全部打 开, ADC 采样开	MCLK=8MHz, RCH/2	-	4.57	5.62	-	
			MCLK=16MHz, RCH	-	5.96	6.93	-	
			MCLK=24MHz, RCH+PLL ON	-	8.31	9.71	-	
			MCLK=48MHz, RCH+PLL ON	-	13.34	14.85	-	
			MCLK=72MHz, RCH+PLL ON	-	18.29	20.13	-	
			MCLK=96MHz, RCH+PLL ON	-	22.79	25.39	-	

注：测量电流特性时遵循下列条件：

*所有 IO 都设置成输出低电平，无负载。

*除非特别指明，所有模块只打开时钟，无负载工作。

表 4-16 低功耗电流特性

模式	说明	供电电压	内核电压	最小值	典型值	最大值	单位
停机电流	关闭 CPU 时钟以及所有外 设时钟, 内核 LDO 设置为低 功耗模式	3.3V	1.5V	-	80	-	uA
		5V		-	100	-	
超级停机电流	关闭所有高频时钟和 PLL, 切换到低功耗 LDO, 并输出 不同电压	3.3V	1.5V	-	1.82	-	
		5V		-	2.27	-	
		3.3V	1.2V	-	1.79	-	

		5V	1.0V	-	2.25	-	
		3.3V		-	1.77	-	
		5V		-	2.23	-	

4.4.2.5 退出低功耗时间

表 4-17 低功耗唤醒特性

参数	符号	最小值	典型值	最大值	单位
停机唤醒时间	t_{STOP}	-	20	-	us
超级停机唤醒时间	$t_{ULTSTOP}$	-	25	-	

4.4.2.6 外部时钟特性

表 4-18 外部时钟特性

参数	符号	最小值	典型值	最大值	单位
OSCH 时钟频率	f_{OSCH_ext}	4	16	16	MHz
OSCH_IN 输入管脚高电平电压	V_{OSCHH}	-	0.7	-	V
OSCH_IN 输入管脚低电平电压	V_{OSCHL}	-	0	-	
OSCL 时钟频率	f_{OSCL_ext}	-	32.768	-	kHz
OSCL_IN 输入管脚高电平电压	V_{OSCLH}	-	0.7	-	V
OSCL_IN 输入管脚低电平电压	V_{OSCLL}	-	0	-	

表 4-19 外部晶振特性

参数	符号	测试条件	最小值	典型值	最大值	单位
OSCH 晶振频率	f_{OSCH}	-	4	16	16	MHz
OSCH 反馈电阻	R_F	-	1000	-	-	kΩ
OSCH 电流	I_{OSCH}	3.3V, GAIN=000	-	163	-	uA
		5V, GAIN=000	-	206	-	
		3.3V, GAIN=100	-	606	-	
		5V, GAIN=100	-	710	-	
OSCH 启动时间	$t_{SU(OSCH)}$	3.3V, GAIN=000	-	1300	-	us
		5V, GAIN=000	-	850	-	
		3.3V, GAIN=100	-	160	-	
		5V, GAIN=100	-	180	-	
OSCL 电流	I_{OSCL}	3.3V, GAIN=00	0.53	0.61	1.05	uA
		3.3V, GAIN=01	0.86	0.93	1.38	
		3.3V, GAIN=10	-	1.32	-	
		3.3V, GAIN=11	-	1.7	-	
OSCL 启动时间	$t_{SU(OSCL)}$	V_{DD} 稳定, GAIN=00	0.15	0.23	0.37	s
		V_{DD} 稳定, GAIN=01	0.1	0.11	0.13	

4.4.2.7 内部时钟特性

表 4-20 内部时钟特性

参数	符号	测试条件	最小值	典型值	最大值	单位
RCH 频率	F_{RCH}	校准后	15.84	16	16.16	MHz

RCH TRIM	TRIM _{RCH}	V _{DDA} = 3.3V, T _A = 30°C	-	1	-	%
RCH 占空比	DuCy _{RCH}	-	-	50	-	%
RCH 精度	ACC _{RCH}	全电压、全温度范围	-	1	-	%
RCH 启动时间	t _{SU(RCH)}	-	2.8	5	7.5	us
RCH 工作电流	I _{RCH}	-	105	134	240	uA
RCL 频率	F _{RCL}	V _{DDA} = 5V	-	21	-	kHz
		V _{DDA} = 3.3V	-	24	-	
RCL TRIM	TRIM _{RCL}	V _{DDA} = 3.3V, T _A = 30°C	-	2	-	%
RCL 占空比	DuCy _{RCL}	-	40	-	60	%
RCL 精度	ACC _{RCL}	全电压、全温度范围	-	-	10	%
RCL 启动时间	t _{SU(RCL)}	V _{DDA} = 3.3V, T _A = 30°C	33	146	280	us
RCL 工作电流	I _{RCL}	V _{DDA} = 3.3V, T _A = 30°C	225	340	480	nA

4.4.2.8 PLL 特性

表 4-21 PLL 特性

参数	符号	最小值	典型值	最大值	单位
PLL 输入频率	f _{PLL_IN}	4	16	16	MHz
PLL 输入时钟占空比	DuCy _{PLL}	30	50	70	%
PLL 输出频率	f _{PLL_OUT}	30	72	144	MHz
PLL 锁定时间	t _{LOCK}	2.3	5.5	17	us
PLL 周期抖动	Jitter _{PLL}	-	45	185	ps

4.4.2.9 Flash 存储特性

表 4-22 Flash 存储特性

参数	符号	测试条件	最小值	典型值	最大值	单位
16-bit 编程时间	t _{prog}	T _A = -40~125°C	12	-	15	us
Page 擦除时间	t _{ERASE}	T _A = -40~125°C	4	-	5	ms
全擦除时间	t _{ME}	T _A = -40~125°C	20	-	40	ms
编程时电流	I _{prog}	T _A = -40~125°C	-	-	3.5	mA
擦除时电流	I _{ERASE}	T _A = -40~125°C	-	-	2	mA
耐久度	N _{END}	T _A = -40~125°C	20000	100000	-	Cycles
数据保持能力	t _{RET}	T _A = 25°C	100	-	-	Years
		T _A = 85°C	25	-	-	
		T _A = 125°C	10	-	-	

4.4.2.10 ESD 特性

表 4-23 ESD 保护和 Latch-up 免疫特性

参数	符号	测试条件	最小值	典型值	最大值	单位
HBM	V _{HBM}	MIL-STD-883H	±4000	-	-	V
MM	V _{MM}	JESD22-A115	±200	-	-	
CDM	V _{CDM}	JESD22-C101E	±1000	-	-	
Latch-up 触发电流	I _{LAT}	JEDEC standard NO.78D 2011.11	±100	-	-	mA

参数	符号	测试条件	最小值	典型值	最大值	单位
V _{DD} 过压	V _{LAT}		6.5	-	-	V

4.4.2.11 I/O 管脚特性

表 4-24 I/O 特性

参数	符号	测试条件		最小值	典型值	最大值	单位
IO 输入 高电平电压	V _{IH}	V _{DDH} = 5V		0.7*V _{DDH}	1.8	-	V
		V _{DDH} = 3.3V		2.0	1.3	-	
IO 输入 低电平电压	V _{IL}	V _{DDH} = 5V		-	1.25	0.3* V _{DDH}	
		V _{DDH} = 3.3V		-	0.95	0.8	
输入迟滞	V _{HYS}	V _{DDH} = 5V 或 V _{DDH} = 3.3V		0.1*V _{DDH}	-	-	V
输出管脚拉电流	I _{OH}	V _{DDH} =3.3V, V _{OH} =0.7*V _{DDH}	弱驱动 (DS=1)	-	14	-	mA
			强驱动 (DS=0)	-	25	-	mA
		V _{DDH} =5V, V _{OH} =0.7*V _{DD}	弱驱动 (DS=1)	-	28	-	mA
			强驱动 (DS=0)	-	50	-	mA
输出管脚灌电流	I _{OL}	V _{DDH} =3.3V, V _{OL} =0.4V	弱驱动 (DS=1)	-	10	-	mA
			强驱动 (DS=0)	-	19	-	mA
		V _{DDH} =5V, V _{OL} =0.6V	弱驱动 (DS=1)	-	21	-	mA
			强驱动 (DS=0)	-	38	-	mA
IO 输入 高电平电流	I _{IH}	V _{DDH} = 5V		-	-	1	uA
		V _{DDH} = 3.3V		-	-	-	
IO 输入 低电平电流	I _{IL}	V _{DDH} = 5V		-1	-	-	uA
		V _{DDH} = 3.3V		-	-	-	
IO 输出 高电平电压	V _{OH}	V _{DDH} = 5V	高驱动 I _{min} = 16mA 低驱动 I _{min} = 8mA	V _{DDH} - 0.8	-	-	V
		V _{DDH} = 3.3V	高驱动 I _{min} = 16mA 低驱动 I _{min} = 8mA	2.4	-	-	V
IO 输出 低电平电压	V _{OL}	V _{DDH} = 5V	高驱动 I _{min} = 16mA 低驱动 I _{min} = 8mA	-	-	0.5	V
		V _{DDH} = 3.3V	高驱动 I _{min} = 16mA 低驱动 I _{min} = 8mA	-	-	0.4	V
总电流（输出）	I _{total}	所有端口		-	100	-	mA
上拉电阻	R _{pu}	V _{IN} =NULL		20	53	100	kΩ
下拉电阻	R _{pd}	V _{IN} =NULL			33		
滤波宽度	T _{PW(IO)}	外部复位脚		-	2	-	us
I/O 管脚电容	C _{IO}	-		-	-	10	pF

4.4.2.12 ADC 特性参数

表 4-25 ADC 特性

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V _{DDA}	V _{fs} =5V	4.5	5	5.5	V
		V _{fs} =3.3V	2	3.3	5	
参考电压	V _{ref}	V _{DDA} > 2.5V	2.5	-	V _{DDA}	V
		V _{DDA} < 2.5V	V _{DDA}			
工作电流	I _{ADC}	1MSPS (16MHz) ¹	-	3.6	-	mA
工作频率	f _{ADC}	-	-	24 ²	40	MHz
采样率	F _s	V _{DDA} >2.0V, 精度>10bits	-	1.5	2	MSPS
采样电压范围	V _{AIN}	V _{fs} = 5V	0	-	5 或 V _{DDA}	V
		V _{fs} = 3.3V	0	-	3.3 或 V _{DDA}	
外部输入电阻	R _{AIN}	T _s /(f _{adc} * C _{adc} * 9) - R _{adc}	-	1	11	kΩ
采样切换电阻	R _{ADC}	-	-	500	-	kΩ
内部采样电容	C _{ADC}	-	-	1.2	-	pF
数据准备延迟	W _{LATENCY}	-	-	2	-	1/f _{pclk}
触发采样延迟	t _{latr}	F _{pclk} = 2 * f _{ADC}	-	2.5	-	1/f _{ADC}
采样时间	t _{samp}	-	1	6	-	1/f _{ADC}
转换时间	t _{conv}	-	-	13	-	1/f _{ADC}
上电时间	t _{STAB}	计算公式: (ADJUST+1)*2*30+32	92	212	572	1/f _{ADC}

注: 1. 测试的 16MHz 频率为测试典型值, 并非工作典型值。

2. 工作频率典型值为 24MHz, 采样频率可达 1.5MSPS。

表 4-26 TS 特性

参数	符号	最小值	典型值	最大值	单位
V_{SENSE} 与温度的线性度	T_L	-	± 3	-	$^{\circ}C$
平均温敏精度	Avg_slope	-	6	-	mV/ $^{\circ}C$
ADC 读取温度的采样时间	t_{s_temp}	-	1	-	μs
30 $^{\circ}C$ ($\pm 5^{\circ}C$) 的电压	V_{30}	-	1.6	-	V

表 4-27 ADC 精度

参数	符号	测试条件	典型值	最大值	单位
未调整的总误差	ET	-	+/-2	+/-4	LSB
偏移误差	EO	-	+/-1	+/-2	
增益误差	EG	-	+/-1	+/-2	
微分线性误差	ED	-	+/-0.8	+/-1	
积分线性误差	EL	-	+/-1	+/-2	

4.4.2.13 OPA 特性参数

表 4-28 OPA 特性

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V_{DDA}	$V_{DDA} = 1.8\sim 5.5V$, $T_A = -40\sim 125^{\circ}C$	1.8	3.3	5.5	V

共模输入范围	CMIR	$V_{DDA} = 1.8 \sim 5.5V$, $T_A = -40 \sim 125^\circ C$	0.1	1.25	$V_{DDA}-0.1$	V
输入失调电压	$V_{I\text{OFFSET}}$	未校准, $T_A = -40 \sim 125^\circ C$	-5	-	5	mV
		校准后, $T_A = -40 \sim 125^\circ C$	-1	0.8	1	mV
输入失调电压偏移	$\Delta V_{I\text{OFFSET}}$	-	-	1.4	-	$\mu V/^\circ C$
驱动电流	I_{LOAD}	-	-	10	-	mA
消耗电流	I_{DD}	无负载	-	100	-	μA
共模抑制比	CMRR	$V_{DDA} = 3.3V$, $T_A = 30^\circ C$, $C_L = 30pF$	-	90	-	dB
电源抑制比	PSRR	$V_{DDA} = 3.3V$, $T_A = 30^\circ C$, $C_L = 30pF$	-	85	-	dB
带宽	GBW	$V_{DDA} = 3.3V$, $T_A = 30^\circ C$, $C_L = 100pF$, $R_L = 1M$	-	4.8	-	MHz
压摆率	SR	$V_{DDA} = 5V$, $T_A = 30^\circ C$, $C_L = 30pF$	-	5	10	V/ μs
电阻负载	R_{LOAD}	-	0.1	-	-	$k\Omega$
电容负载	C_{LOAD}	-	-	-	100	pF
高饱和电压	VOH_{SAT}	-	-	200	-	mV
低饱和电压	VOL_{SAT}	-	-	200	-	mV
相位裕度	ϕ_m	$V_{DDA} = 3.3V$, $T_A = 30^\circ C$, $C_L = 50pF$	-	40	-	$^\circ$
偏置校正时间: 校准时, 达到 1mv 的精度所需的最小时间	$t_{OFFTRIM}$	-	-	6.5	-	ms
从关闭状态启动的时间	t_{WAKEUP}	$V_{DDA} = 3.3V$, $T_A = 30^\circ C$, $C_L = 30pF$	-	0.5	-	μs
输入偏置电流	I_{bias}	$V_{DDA} = 1.8 \sim 5.5V$, $T_A = -40 \sim 125^\circ C$	-	-	50	μA

4.4.2.14 ACMP 特性参数

表 4- 29 ACMP 特性

参数		符号	测试条件	最小值	典型值	最大值	单位
工作电压		V_{DDA}	-	1.8	-	5	V
输入失调电压 (CPP 上升沿)		V_{OS}	-	-	-	10	mV
输入共模电压		V_{cm}	响应时间 $<160ns$	0.2	-	$V_{DDA}-0.2$	V
比较器迟滞电压		V_{hyster}	HYS=0 为最小值; HYS=1 为最大值	0.4	-	23.4	mV
转换延迟时间		T_{str}	CPDLY = 00, $V_{DDA} = 5V$	-	13.5	20	ns
			CPDLY = 00, $V_{DDA} = 3.6V$	-	19	30	
			CPDLY = 00, $V_{DDA} = 2.5V$	-	30	40	
			CPDLY = 01, $V_{DDA} = 5V$	-	68	80	
			CPDLY = 01, $V_{DDA} = 3.6V$	-	94	110	
			CPDLY = 01, $V_{DDA} = 2.5V$	-	140	170	
			CPDLY = 10, $V_{DDA} = 5V$	-	760	810	us
			CPDLY = 10, $V_{DDA} = 3.6V$	-	1	1.1	
			CPDLY = 10, $V_{DDA} = 2.5V$	-	1.4	1.55	
			CPDLY = 11, $V_{DDA} = 5V$	-	1.5	1.55	
			CPDLY = 11, $V_{DDA} = 3.6V$	-	1.98	2.1	
			CPDLY = 11, $V_{DDA} = 2.5V$	-	2.8	3	
响应时间	上升沿	T_{rt}	V_{DD} 做分压电阻基准	-	40	84	ns
	下降沿			-	60		
工作电流		I_{cmp}	$V_{DDA}=5V$, 一路 ACMP 工作	-	30	-	μA
误差偏移系数		dV_{offset}/dT	-	-	3	-	$\mu V/^\circ C$

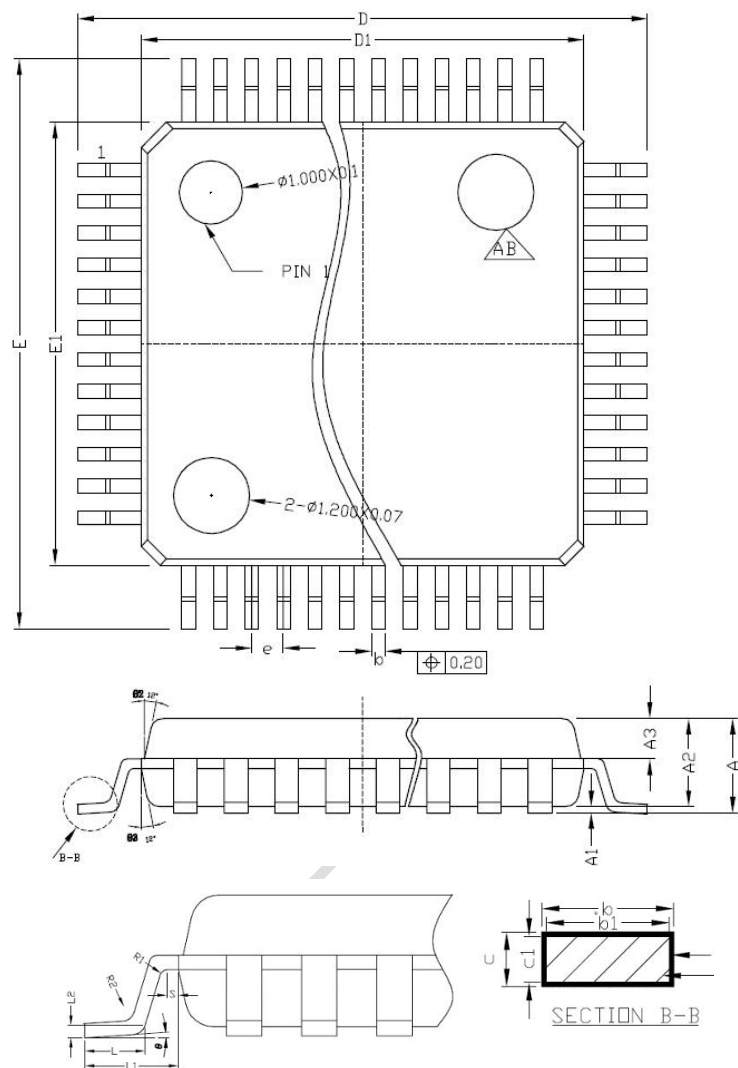
4.4.2.15 DAC 特性参数

表 4-30 DAC 特性

参数	符号	测试条件	最小值	典型值	最大值	单位
工作电压	V_{DDA}	-	1.8	-	5	V
参考电压	V_{ref+}	$V_{DDA} > 4V$, DABUFI_VSEL = 1	-	4V	-	V
		$V_{DDA} > 2.5V$, DABUFI_VSEL = 0	-	2.5V	-	V
最小转换时间	t_{conv}	1LSB 的输出变化输出稳定时间, 8bit DAC, 负载电容 1pF	-	800	-	ns
最大转换时间	t_{settle}	3.3V, 从 0V 输出到最大满幅值, 8-bit, 负载电容 1pF	-	1	-	us
		3.3V, 从 0V 输出到最大满幅值, 12-bit, 负载电容 1pF	-	5	-	us
输出电压范围	V_{AIN}	-	0.02		4.98	V
工作电流	I_{DAC}	-	-	100	-	uA
电阻负载	R_{load}	-	-	-	1	kΩ
容性负载	C_{load}	-	-	-	10	pF
最低输出电压	DACOUT_min	-	-	3	-	mV
最高输出电压	DACOUT_max	-	-	4.98	-	V
微分非线性误差	INL	-	-	0.5	-	LSB
积分非线性误差	DNL	-	-	0.5	-	LSB
偏移误差	Offset	-	-	0.8	-	mV
增益误差	Gain error	-	-	0.05	-	%
从关闭状态启动的时间	t_{WAKEUP}	-	-	5	-	us
电源抑制比	PSRR	最小值为 1KHz; 最大值为 1MHz	33	-	95	dB

5. 封装特性

5.1 LQFP32 封装外形尺寸



LQFP32			
DIM	MIN	NOM	MAX
SYMBOL			
A	-	-	1.60
A1	0.05	0.10	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.32	-	0.43
b1	0.31	0.35	0.39
c	0.13	-	0.18
c1	0.12	0.13	0.14
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.80BSC		
L	0.45	-	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.20
S	0.20	-	-
θ	0°	3.5°	7°
$\theta 1$	0°	-	-
$\theta 2$	11°	12°	13°
$\theta 3$	11°	12°	13°

注：封装外形图为 LQFP32&48 的通用封装外形图，请按需删减引脚。

图 5-1 LQFP32（7*7*1.4-P0.8）封装外形尺寸

5.2 SSOP24 封装外形尺寸

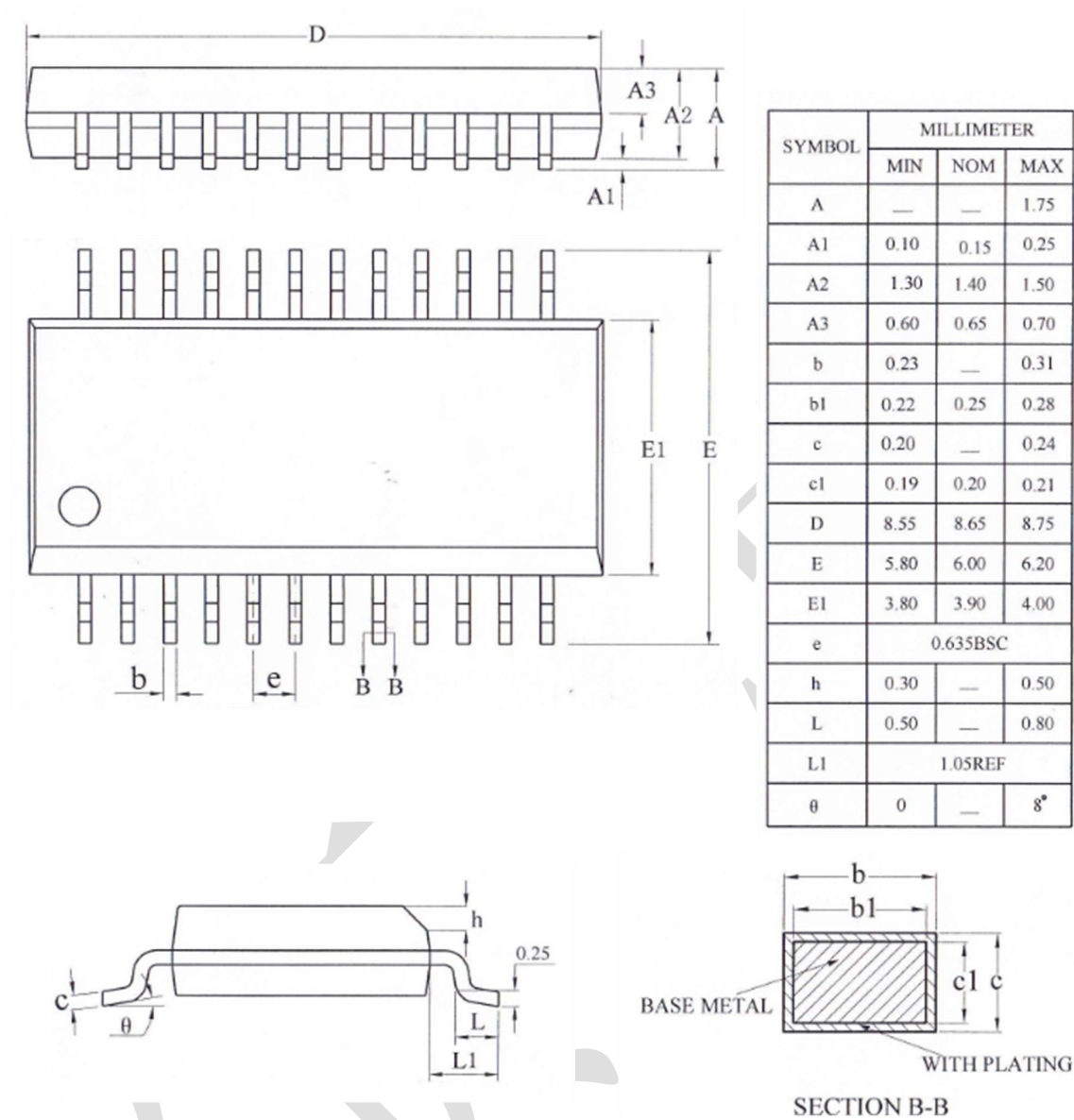


图 5-2 SSOP24 封装外形尺寸

5.3 QFN32 封装外形尺寸

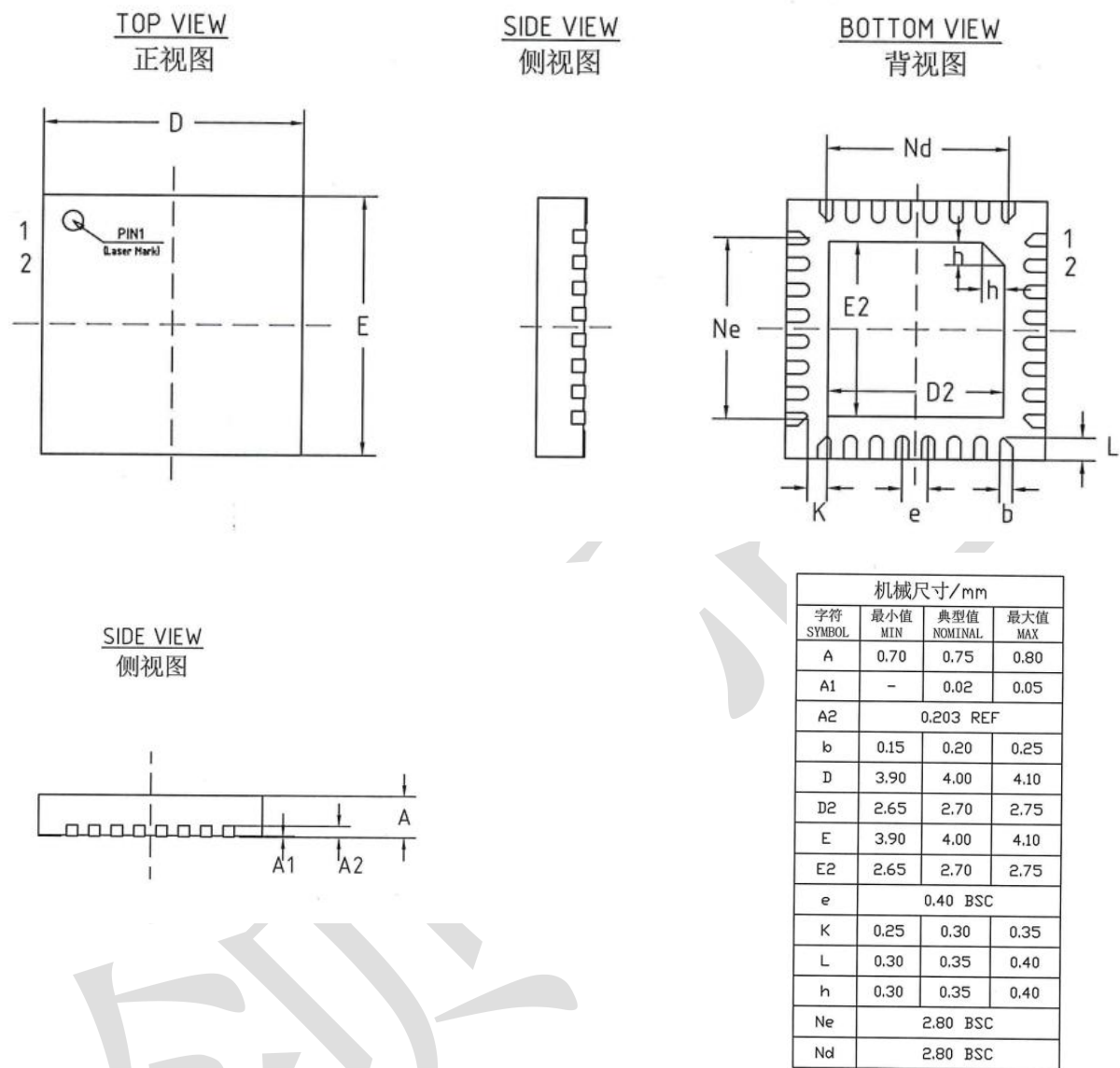


图 5-3 QFN32 (4*4*0.75-P0.4) 封装外形尺寸

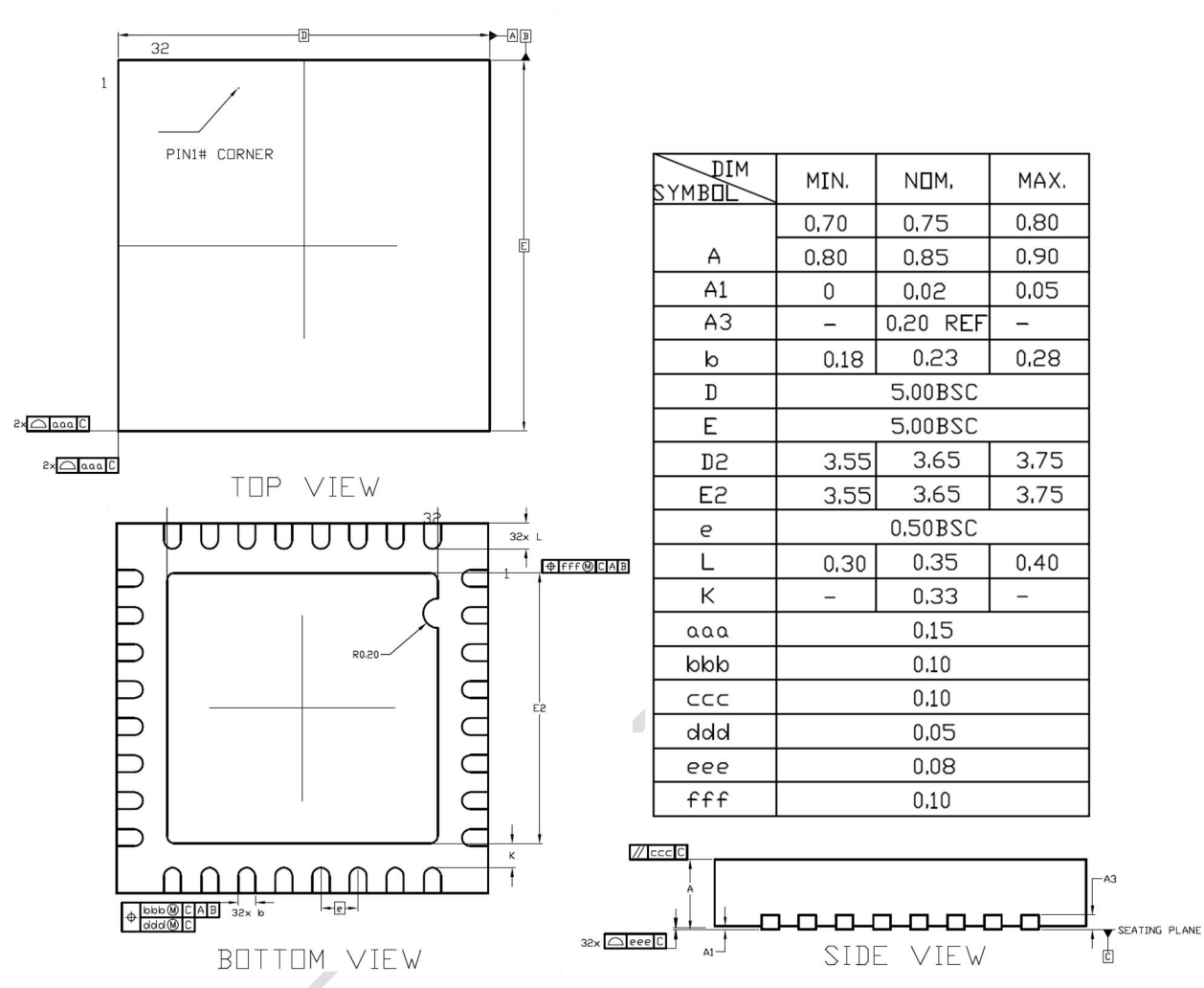
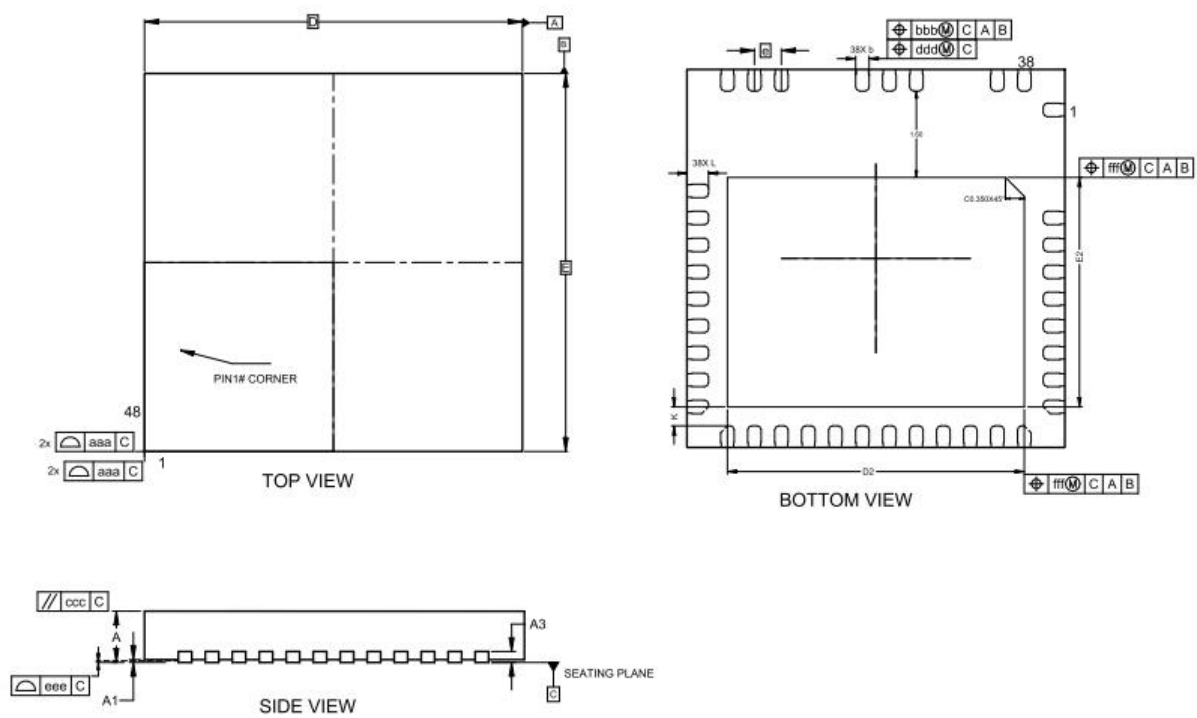


图 5-4 QFN32 (5*5*0.75-P0.5) 封装外形尺寸

5.4 QFN38 封装外形尺寸



DIM SYMBOL	MIN.	NOM.	MAX.
	0.70	0.75	0.80
A	0.80	0.85	0.90
A1	0	0.02	0.05
A3	-	0.20 REF	-
b	0.20	0.25	0.30
D	7.00BSC		
E	7.00BSC		
D2	5.40	5.50	5.60
E2	1.15	4.25	1.35
e	0.50BSC		
L	0.35	0.40	0.45
K	0.50	-	-
aaa	0.15		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

图 5-5 QFN38 (7*7*0.75-P0.5) 封装外形尺寸

5.5 QFN40 封装外形尺寸

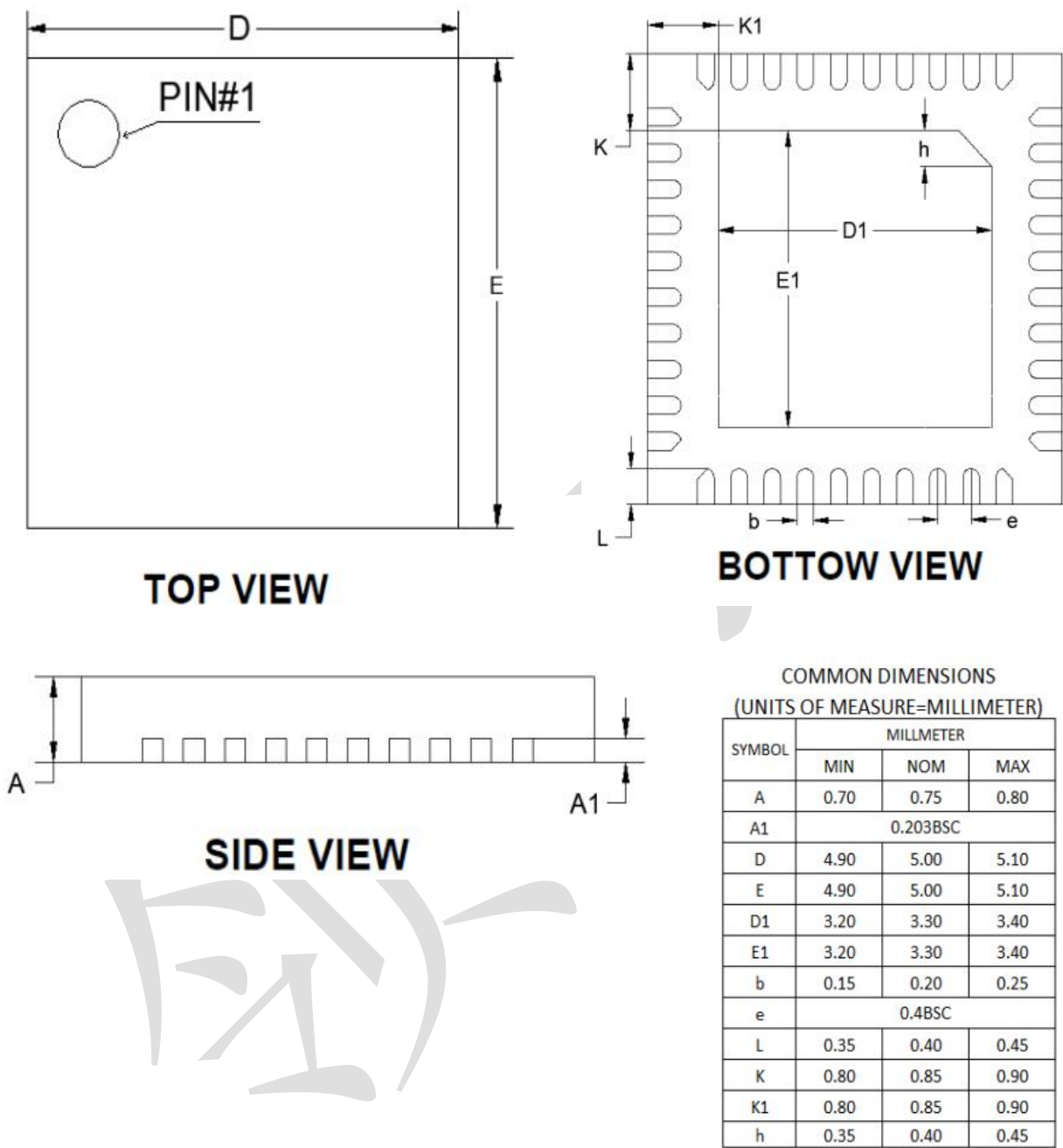
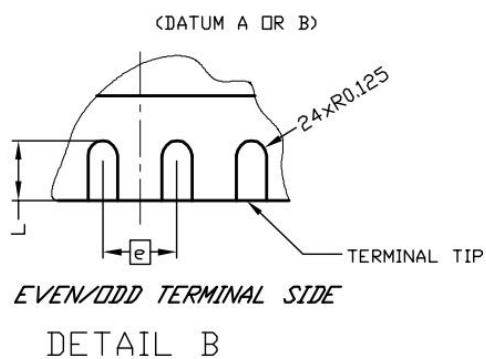
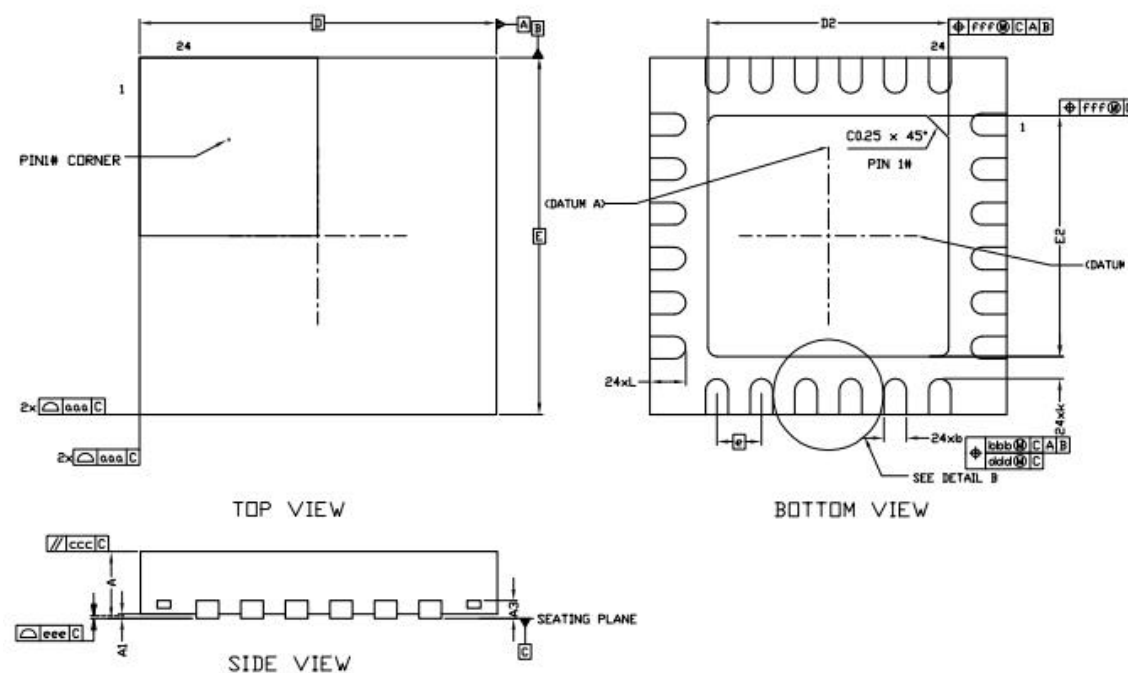


图 5-6 QFN40 (5*5*0.75-P0.4) 封装外形尺寸

5.6 QFN24 封装外形尺寸

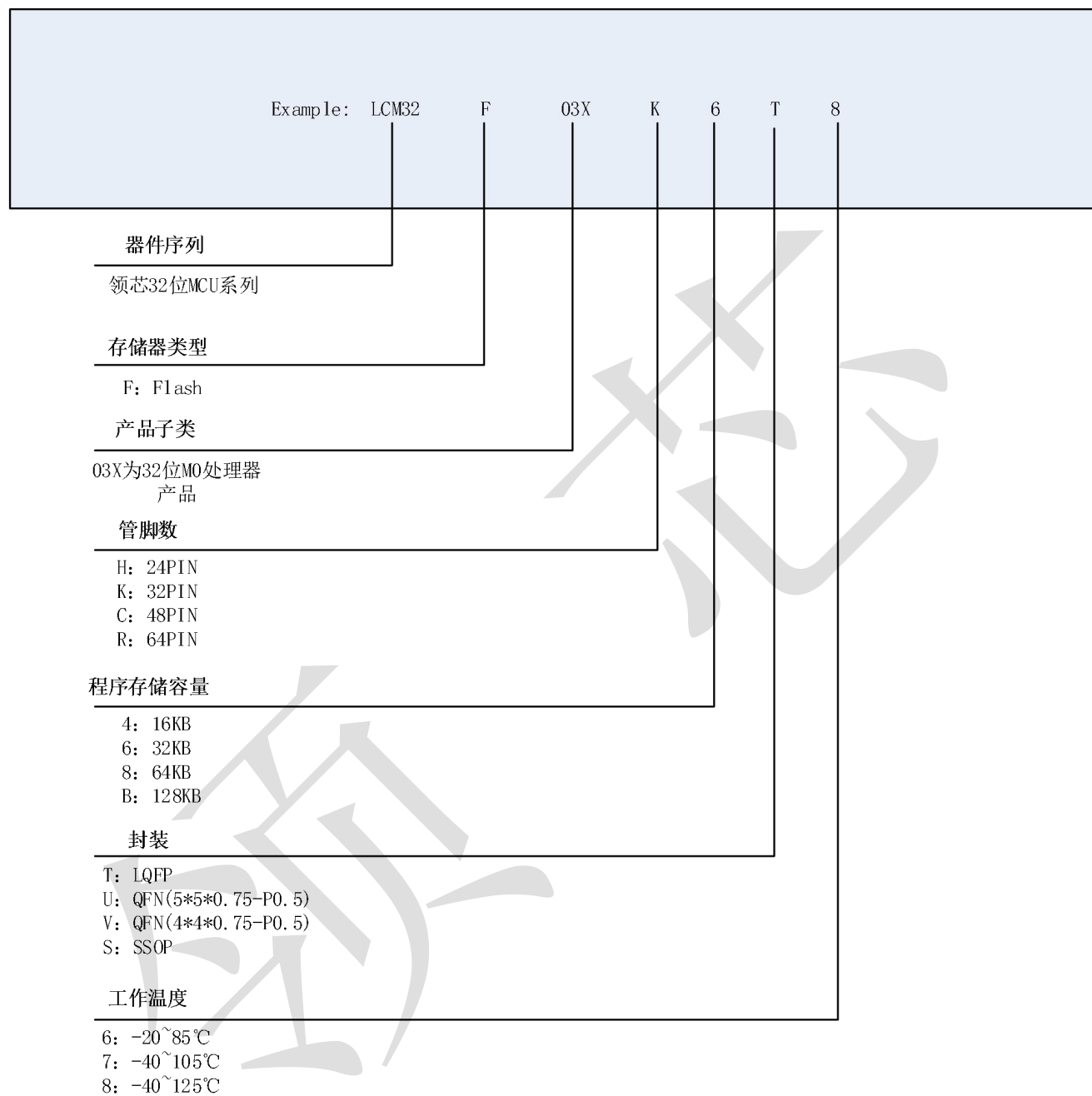


DIM SYMBOL	MIN.	NOM.	MAX.
A	0.70	0.75	0.80
	0.85	0.90	0.95
A1	0	0.02	0.05
A3	—	0.20 REF	—
b	0.18	0.25	0.30
D	4.00BSC		
E	4.00BSC		
D2	2.60	2.70	2.80
E2	2.60	2.70	2.80
e	0.50BSC		
L	0.35	0.40	0.45
K	0.20	—	—
aaa	0.10		
bbb	0.10		
ccc	0.10		
ddd	0.05		
eee	0.08		
fff	0.10		

图 5-7 QFN24L (4*4*0.75-P0.5) 封装外形尺寸

6. 命名规则

6.1 LCM32F037 系列产品命名规则



6.2 LCP037A/B/C 系列产品命名规则

Example: LCP037AK31EU8 (可省略)									
器件序列		MCU+预驱芯片		MCU型号		电压范围		管脚数	
		A: 小于100V B: 100~300V C: 大于300V		H: 24Pin K: 32Pin C: 38Pin T: 40Pin		Phase数量		预驱类型	
		1: NP预驱 2: NN预驱		预驱芯片代号		封装		工作温度	
		T: LQFP S: SSOP U: QFN(5*5*0.75-P0.5) V: QFN(4*4*0.75-P0.4)		6: -20~85℃ 7: -40~105℃ 8: -40~125℃					

7. 修订历史

版本	修改日期	修改历史	修改人
1	2019.03.21	初始版本 V0.1，芯片产出，需要补充电特性和封装说明	
0.3	2019.07.11	补充完善封装信息	
0.4	2019.07.24	补充性能参数，补充 SSOP24 封装，补充封装外形	
0.5	2020.03	补充 SSOP24 的管脚列表说明	
0.6	2020.07.07	增加产品命名规则	
2.0	2020.08.14	ECO 调整运放 OPA 和比较器 ACMP 的复用情况	
2.1	2020.08.15	调整 SSOP24 封装，PA1 和 PA2 合封为 PIN3	
2.2	2020.09.25	调整 ACMP 功能框图、GPIO 模拟复用、封装图	
2.3	2020.12.22	WT 替换 RTC，删去 UART3，添加 SSP2，对 TIM15/16/17 和 ADC 做出调整； 增加 HALL_MID 模块，调整 DAC、ACMP、OPA 功能框图、GPIO 复用、封装图； 增加 DIV 模块说明，PLL 最大输出频率由 72MHz 修改为 144MHz	Hu/Wu
2.4	2020.12.25	1.芯片命名改为 LCM32F037 2.修正 H6S8 命名	Hu/Wu
2.5	2021.01.29	1.修改 ACMP/OPA 引脚注释 2.增加 QFN 封装：LCM32F037K6U8 3.表 5 中增加《可选复用功能》合并《注释》和《外部功能》	Hu/Wu
2.6	2021.05.26	1.修改引脚说明表格 2.删除 POR 3.环境温度改为 125 度 4.比较器输入由 IO 口改成对应 OPA0/1/2 的输出	Fu
2.7	2021.07.09	修改封装引脚 PF1 复用错误	Fu
2.8	2021.07.29	修改工作频率	Fu
2.9	2021.08.31	统一 OPA、ACMP 通道名称	Fu
3.0	2021.09.07	1.修改封装图中引脚复用的前后顺序 2.更换 OPA 框图	Fu
3.1	2021.09.29	文档校准	Fu
3.2	2021.11.09	工作频率更新为 96MHz	Fu
3.3	2021.11.30	校正表 5 引脚定义	Fu
3.4	2021.12.09	更新 ADC 转换速率	Fu
3.5	2022.11.07	调整电气特性中的推荐工作条件	Li
3.6	2022.12.13	修改全文笔误	Li
3.7	2023.03.30	增加电气特性	Li
3.8	2023.05.31	增加 LCP037A 系列、LCP037B 系列说明	Yang
3.9	2023.08.03	增加 LCP037CC32EU8 说明	Yang
3.10	2023.08.21	增加部分电气特性	Li
3.11	2023.08.30	增加 LCP037AH31GS8 说明	Yang
3.12	2023.09.18	增加 LCM32F037H6V8 说明	Yang
3.13	2024.05.09	修改全文笔误，调整产品命名规则的说明	Li

